

САМОСИНХРОННЫЙ УМНОЖИТЕЛЬ С НАКОПЛЕНИЕМ: ПРАКТИЧЕСКАЯ РЕАЛИЗАЦИЯ*

*Ю. А. Степченков¹, Ю. Г. Дьяченко², Ю. В. Рождественский³,
В. Н. Морозов⁴, Д. Ю. Степченков⁵, А. В. Рождественскене⁶, А. В. Сурков⁷*

Аннотация: Статья посвящена результатам разработки вариантов независимого от задержек устройства умножения-сложения (SIFMA — Speed-Independed Fused Multiply-Add), соответствующего стандарту IEEE 754 и выполняющего либо одну операцию умножения с накоплением двойной точности, либо одну или две операции одинарной точности над тремя операндами. Устройство разработано по стандартной технологии КМОП (комплементарная структура металл–оксид–полупроводник) с проектными нормами 65 нм. Оно работает с синхронным или асинхронным окружением и обеспечивает среднюю производительность на уровне 1 Гфлопса при напряжении питания 1 В и температуре 25 °С. Энергопотребление при этом не превышает 970 мДж/ГГц.

Ключевые слова: самосинхронная схема; троичное кодирование; умножитель; сумматор; вычитатель; конвейер; индикация

DOI: 10.14357/08696527140305

1 Введение

Операция «умножение двух операндов и сложение с третьим операндом» (Fused Multiply-Add, FMA) — одна из наиболее часто используемых в распределенных вычислениях. В литературе известны многочисленные реализации данной операции, относящиеся к классу синхронных схем (см., например, [1–7]). Однако наилучшее сочетание потребительских характеристик блока FMA обеспечивается применением самосинхронных (СС) схем, не зависящих от задержек элементов (Speed Independent, SI).

* Исследование выполнено при финансовой поддержке РФФИ (проект 13-07-12068 офи_м).

¹ Институт проблем информатики Российской академии наук, YStepchenkov@ipiran.ru

² Институт проблем информатики Российской академии наук, diaura@mail.ru

³ Институт проблем информатики Российской академии наук, YRogdest@ipiran.ru

⁴ Институт проблем информатики Российской академии наук, NMorozov@ipiran.ru

⁵ Институт проблем информатики Российской академии наук, Stepchenkov@mail.ru

⁶ Институт проблем информатики Российской академии наук, astarozd@yahoo.com

⁷ Научно-исследовательский институт системных исследований Российской академии наук, surkov@cs.niisi.ras.ru

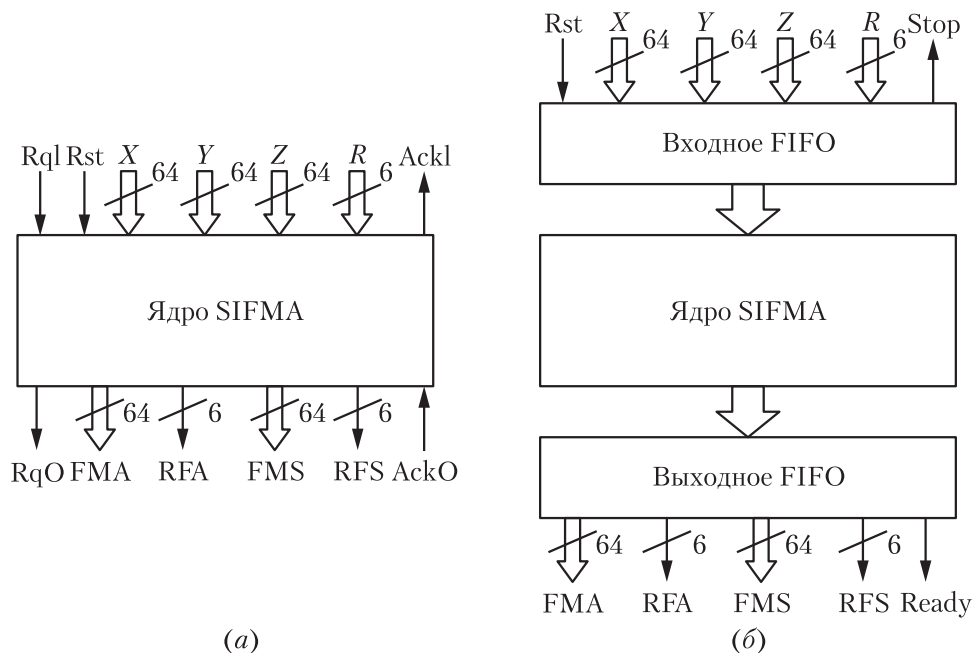


Рис. 1 Варианты реализации SIFMA: с асинхронным (а) и синхронным (б) окружением

Цель данной статьи — разработка двух вариантов устройства умножения-сложения (SIFMA), предназначенных для работы с разным окружением. Оба варианта соответствуют стандарту IEEE 754 [8], принадлежат к классу SI-устройств [9], обладают расширенными функциональными возможностями и имеют сбалансированные характеристики. Первый вариант SIFMA (далее по тексту — асинхронный) предназначен для работы с асинхронным окружением и позволяет в максимальной степени использовать преимущества СС схем (рис. 1, а). Второй вариант (синхронный) учитывает необходимость согласования входного и выходного интерфейса СС-устройства умножения-сложения с синхронным окружением (рис. 1, б).

2 Структурная схема SIFMA

Рассматриваемые варианты SIFMA разработаны на основе СС-ядра. Однако детерминированность процесса подачи операндов на вход SIFMA (на каждом такте системной частоты) при наличии синхронного окружения не позволяет в полной мере использовать тот факт, что время выполнения операции в SIFMA зависит от типа операции и значения операндов. Поэтому для обеспечения максимальной эффективности вычислительного процесса и достижения предель-

ного быстродействия вариант для синхронного окружения содержит устройства сопряжения с синхронным окружением — входное и выходное FIFO (first in, first out), также выполненные в стиле SI-устройств. Результирующая схема устройства показана на рис. 1, б.

Входные данные записываются в FIFO синхронно по фронту тактового сигнала Clk. Синхронное окружение не ждет подтверждения приема данных от SIFMA, но следит за дополнительным сигналом Stop, свидетельствующим о заполнении FIFO. Выходные данные также считываются синхронно по фронту тактового сигнала Clk, но только при наличии активного уровня на выходе Ready. В свою очередь, синхронное окружение информирует выходное FIFO сигналом Used о том, что оно приняло текущий результат и больше не нуждается в нем. В качестве такого сигнала может использоваться синхросигнал в регистре синхронного окружения, фиксирующем результат операции.

В качестве FIFO использованы СС полуплотные регистры сдвига [10, рис. 11.9] емкостью четыре слова данных. Схема одного FIFO показана на рис. 2. Отдельными оттенками изображены входная головка, внутренний элемент и выходная головка FIFO. За счет перекрестных обратных связей каждый разряд данного FIFO «проталкивает» принятый бит информации сразу до последней незанятой ячейки FIFO. Входная головка входного FIFO принимает от синхронного окружения информацию в традиционном для синхронных схем виде: данные плюс синхросигнал — и преобразует ее в парафазное представление.

Входная головка выходного FIFO работает с СС-устройствами, но ее схема идентична входной головке входного FIFO: роль синхросигнала играет поразрядный индикаторный выход предшествующего блока SIFMA.

Ядром обоих вариантов SIFMA является собственно вычислитель операции умножения-сложения, структурная схема которого показана на рис. 3. Его входной и выходной интерфейсы содержат все необходимые сигналы для организации взаимодействия SIFMA с асинхронным окружением.

Входные операнды — обрабатываемые числа X , Y , Z и признаки операции R (тип округления, точность и характер операции) поступают на вход SIFMA асинхронно. Их готовность подтверждается сигналом RqI со стороны источника. SIFMA запоминает данные во входных регистрах блоков множителя и обработки экспонент (УОЭ1 и УОЭ2) и извещает об окончании этой процедуры сигналом AckI. Вход Rst служит для начального сброса устройства.

Отметим, что SIFMA способен одновременно выполнить две операции: « $Z + X * Y$ » и « $Z - X * Y$ » — благодаря наличию двух параллельных путей обработки произведения и третьего операнда.

На выходе SIFMA формируется сумма FMA и/или разность FMS и сопутствующие флаги результата RFA и RFS. Готовность результата индицируется сигналом RqO. Окончание чтения результата асинхронное окружение SIFMA подтверждает сигналом AckO.

Наиболее сложным функциональным блоком в составе SIFMA является множитель мантисс 53×53 (старший разряд — подразумеваемая, но отсутствующая).

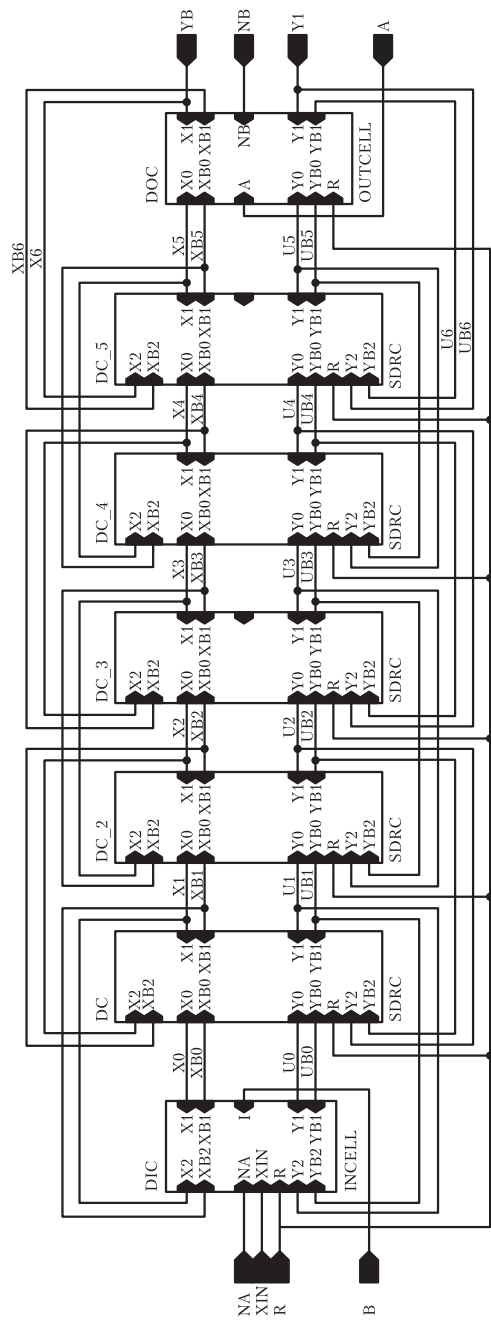


Рис. 2 Структурная схема FIFO

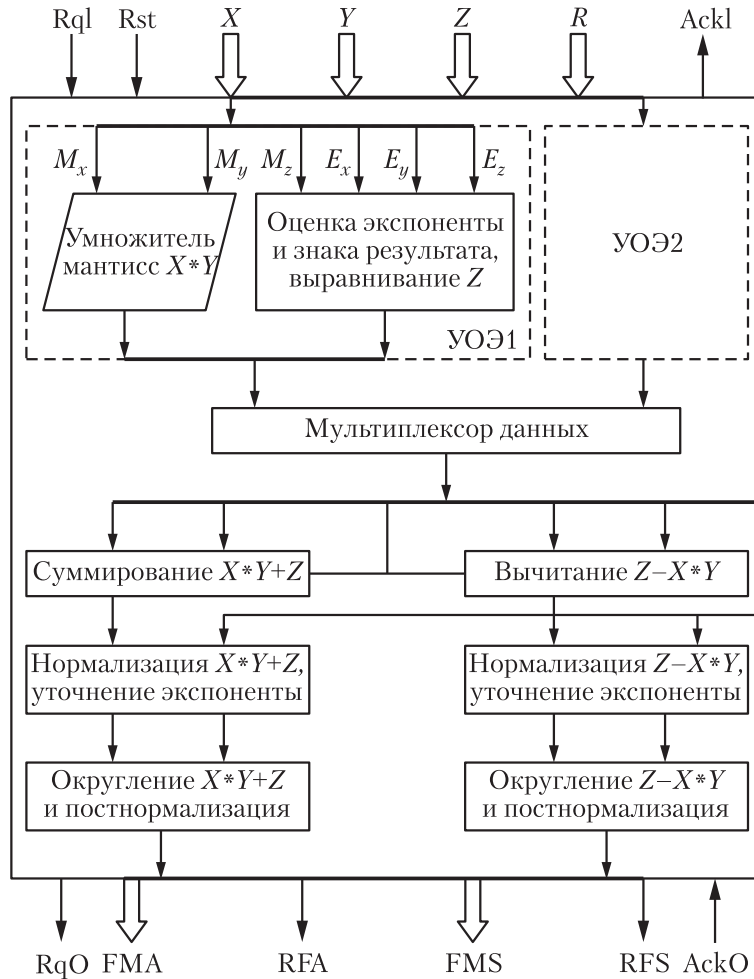


Рис. 3 Структурная схема ядра SIFMA

ющая в формате представления чисел по стандарту IEEE 754 единица целых; младшие 52-разряда — мантисса числа). Он реализован на основе модифицированного алгоритма Бута (Booth) с основанием Radix-2 и дерева Уоллеса (Wallace) [11, 12]. Выходом всего дерева Уоллеса являются два 106-разрядных операнда: суммы и межразрядного переноса. Двоичный результат перемножения двух входных операндов получается с помощью их сложения на 106-разрядном сумматоре с распространением переноса.

Исследования показали, что повышение быстродействия при практически таких же аппаратных затратах достигается при использовании специального

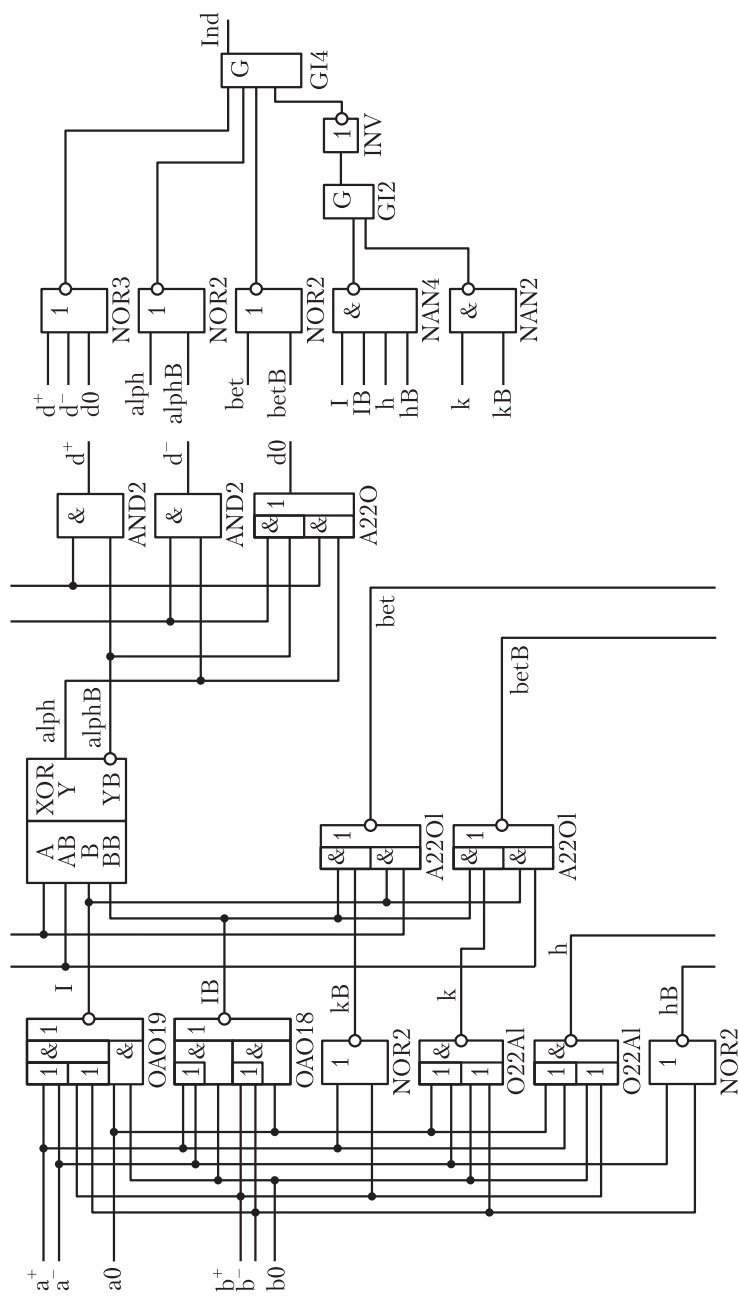


Рис. 4 Самосинхронный троичный сумматор

СС-кодирования, основанного на троичном избыточном представлении обрабатываемых операндов. Схема одного разряда сумматора таких операндов показана на рис. 4.

Специальное форматирование входных данных для алгоритма Бута позволяет в рамках одного умножения получить либо один результат операции двойной точности, либо сразу два результата двух операций одинарной точности.

Предлагаемая реализация SIFMA включает два блока УОЭ, работающих параллельно. Это обеспечивает максимальное быстроедействие и сбалансированность ступеней конвейера при разумных аппаратурных затратах. Каждый блок УОЭ выполняет умножение операндов X и Y , а также анализ и обработку экспонент всех трех операндов и выравнивание операнда Z .

Очередность предоставления новых операндов блокам УОЭ не зависит от времени вычисления каждого блока и определяется простым чередованием. Это позволяет отказаться от использования арбитража как на входе блоков УОЭ, так и на их выходе и сохранить последовательность появления результата на выходе SIFMA, соответствующей порядку задания операндов на входе. Таким образом, окружение SIFMA всегда знает, результат какой именно операции присутствует на его выходе: SIFMA представляет собой как бы одно FIFO со сложной функциональной начинкой.

Последующие блоки ядра SIFMA обрабатывают поступающие данные в СС-режиме: по мере готовности данные передаются из текущего блока в следующий. Причем мультиплексор данных на выходе блоков УОЭ выбирает произведение мантисс двух операндов, выравненную в соответствии со значением экспонент всех трех операндов мантиссу третьего операнда и экспоненту результата на выходе активного в данный момент канала и распараллеливает дальнейшие вычисления. Суммы и разность выравненного третьего операнда и произведения первых двух операндов вычисляются одновременно для ускорения работы SIFMA.

Результаты выполнения обеих операций записываются в выходное FIFO. Операция считается выполненной, если результаты и сложения, и вычитания зафиксированы в выходном FIFO. Максимальная производительность в СС-устройствах, как и в синхронных схемах, обеспечивается конвейерной архитектурой.

3 Конвейер SIFMA

Конвейер СС-устройства обычно строится на основе запрос-ответного взаимодействия между ступенями (рис. 5). Гистерезисные триггеры (Г-триггеры [10]) на основе индикаторных выходов предыдущей и последующей ступеней конвейера формируют сигналы управления, разрешающие переключение соответствующей ступени из рабочей фазы в спейсер и обратно.

В традиционной СС-схемотехнике одна ступень конвейера реализуется схемой, изображенной на рис. 6. Здесь индикаторные выходы комбинационной

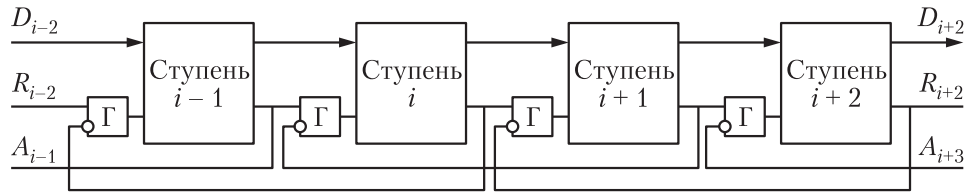


Рис. 5 Традиционное взаимодействие ступеней конвейера

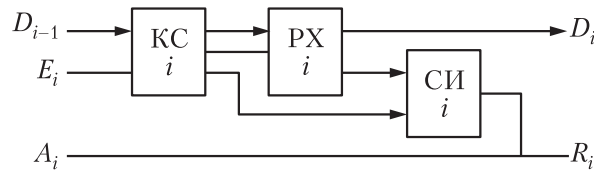


Рис. 6 Структурная схема одной ступени традиционного конвейера

схемы (КС) и регистра хранения (РХ) объединяются в один индикаторный выходной сигнал всей ступени, который используется для организации взаимодействия с предыдущей и последующей ступенями конвейера. Однако в ряде случаев удастся оптимизировать взаимодействие ступеней конвейера, повысив его быстродействие путем разделения индикаторных сигналов, управляющих предыдущей и последующей ступенями конвейера. В данном случае это оказалось возможным благодаря структуре каждой ступени конвейера, изображенной на рис. 7. Выходы DP_i индицируют поразрядные индикаторы и вместе с DR_i составляют общую совокупность парафазных информационных выходов ступени.

Каждая ступень конвейера, за исключением входного и выходного FIFO, включает три блока:

- (1) входной РХ;
- (2) КС, реализующую алгоритм обработки данных в текущей ступени;
- (3) выходной регистр индикации и хранения (РИХ).

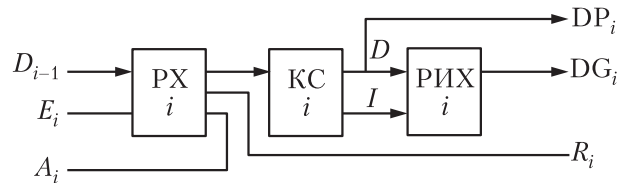


Рис. 7 Структурная схема одной ступени реализованного конвейера

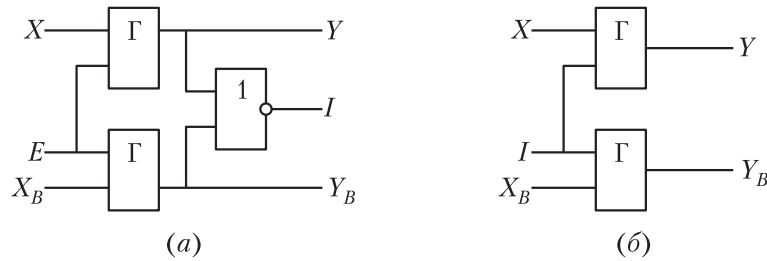


Рис. 8 Схема одного разряда регистров РХ (а) и РИХ (б)

Регистр хранения формирует два индикаторных выхода: A_i и R_i , — причем сигнал A_i , как в данной реализации, может иметь спекулятивную основу, позволяющую ускорить запрос-ответное взаимодействие многоразрядных устройств в составе конвейера. Сигнал же R_i является полноценным индикатором РХ, обеспечивая строгую самосинхронность приема данных этой ступенью конвейера.

Реализация РХ (рис. 8, а) и РИХ (рис. 8, б) на основе Г-триггера позволяет оптимизировать по быстродействию индикаторную подсхему SIFMA. Здесь X и X_B — информационные парафазные входы; E — общий для всех разрядов РХ сигнал управления; I — индикаторный выход соответствующего разряда РХ или поразрядный индикатор комбинационной части данной ступени для РИХ; Y и Y_B — парафазные выходы с нулевым спейсером. Индикаторные поразрядные выходы РХ «сжимаются» в общий индикаторный выход R_i РХ с помощью стандартных схем индикации СС-схемотехники [10].

Регистры РХ и РИХ хранят как рабочую фазу, так и спейсер входных сигналов X , X_B . Это избавляет от необходимости использовать дополнительно блок преобразования бифазного сигнала (выхода бистабильной ячейки триггера — разряда традиционного регистра хранения) в парафазный сигнал со спейсером, с которым работают комбинационные СС-схемы. Кроме того, РИХ индицирует своими выходами поразрядные индикаторы I схемы КС, а РХ — некоторый сигнал управления E , формируемый индикаторными выходами текущей и следующей ступеней конвейера. Тем самым упрощается и ускоряется формирование общего индикатора КС. Результирующая схема взаимодействия ступеней конвейера показана на рис. 9. Парафазные информационные выходы DP и DG объединяются в одну шину информационных данных.

Каждая ступень конвейера имеет спекулятивный (упрощенный на основе критического пути) и полный индикаторный выход. Спекулятивный индикаторный выход ступени A используется для формирования сигнала E управления предыдущей ступенью конвейера, а полный индикаторный выход R — для формирования сигнала управления текущей ступенью.

Такая реализация позволила достичь при типовых условиях средней производительности конвейера 1 Гфлопс и обеспечить среднее время выполнения операции не более 6 нс.

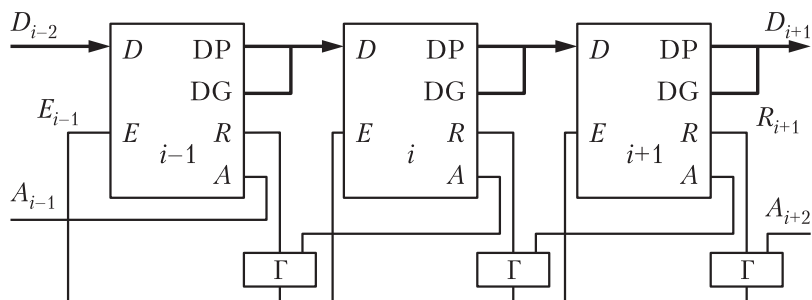


Рис. 9 Оптимизированная схема взаимодействия ступеней конвейера SIFMA

Описанная организация запрос-ответного взаимодействия между ступенями конвейера была проанализирована программами анализа схемы на самосинхронность АСПЕКТ [13] и АСИАН [14], которые подтвердили принадлежность схемы конвейера к классу SI-устройств.

С учетом необходимости и достаточности индизирования в полном объеме только спейсерной фазы SIFMA индикаторная подсхема КС строится с использованием только комбинационных логических элементов, без гистерезисных триггеров, и реализует логическую функцию «И» (для единичного спейсера) либо «ИЛИ» (для нулевого спейсера). Это сокращает аппаратные затраты и ускоряет формирование индикаторных сигналов, участвующих в запрос-ответном взаимодействии ступеней конвейера.

Разбиение SIFMA на ступени конвейера выполнялось исходя из принципа обеспечения максимального быстродействия SIFMA с учетом приемлемых аппаратных затрат и сбалансированности конвейера. В целом оно соответствует структурной схеме SIFMA на рис. 3. В варианте с синхронным окружением входное и выходное FIFO являются дополнительными ступенями конвейера.

Конвейер SIFMA обеспечивает производительность на уровне 1 Гфлопс для среднестатистической комбинации входных операндов при типовом напряжении питания 1 В и температуре окружающей среды 25 °С. Среднее время выполнения операции — не более 6 нс. При обработке наихудшей с точки зрения времени выполнения комбинации входных операндов производительность может снижаться, но в среднем она будет не хуже 1 Гфлопс.

4 Характеристики SIFMA

Характеристики любого устройства во многом определяются базисом его реализации. В настоящее время известны два основных базиса реализации SI-схем:

- (1) избыточная NCL (NULL convention logic) логика [15], обеспечивающая независимость не только от задержек элементов, но и от задержек в цепях межсоединений;

Характеристики вариантов SIFMA

Интерфейс SIFMA	Сложность реализации, транзисторы	Площадь, мм	Производительность, Гфлопс	Время выполнения операции, нс	Энергопотребление, мДж/ГГц
A	639 000	0,78	1,0	5,95	970
C	724 000	0,96	1,0	6,90	1140

- (2) избыточная КМОП-логика [16], обеспечивающая независимость от задержек элементов, а в пределах эквихронной зоны [10] — и от задержек в цепях межсоединений.

После сравнения преимуществ и недостатков обоих схемотехнических базисов [16] предпочтение было отдано избыточной КМОП-логике, так как она обеспечивает меньшие аппаратные затраты (в 4,49 раза при реализации двоичного счетчика, в 1,13 раза при реализации умножителя 4×4 , до 2 раз при реализации более простых логических схем), большую производительность и меньшее энергопотребление по сравнению с NCL-схемами.

При проектировании SIFMA использовалась библиотека элементов, разработанная для стандартной КМОП-технологии с проектными нормами 65 нм. Двадцать семь элементов, вошедших в состав библиотеки, являются подмножеством элементов из библиотеки для проектирования СС-схем [17]. Они были апробированы при разработке и изготовлении по КМОП-технологии 65-нанометровыми проектными нормами SI-вычислителя [9].

Характеристики вариантов SIFMA для асинхронного (A) и синхронного (C) окружения, выполненных по 65-нанометровой КМОП-технологии с шестью слоями металлизации, приведены в таблице. Они являются оценочными. Они получены путем моделирования схемы SIFMA с учетом паразитных параметров, извлеченных из топологии блока. Быстродействие определялось для типовых условий эксплуатации, так как производительность SI-схем всегда соответствует текущим условиям эксплуатации, а сами SI-схемы не требуют учета наихудшего случая.

В настоящее время вариант SIFMA для синхронного окружения находится на этапе завершения топологического проектирования и готовится к запуску в составе тестовой БИС (большой интегральной схемы).

5 Заключение

Представленные варианты устройства, выполняющего операцию FMA в соответствии со стандартом IEEE 754, относятся к классу устройств, поведение которых не зависит от задержек элементов (SI-устройств). Они позволяют получить сумму и разность третьего операнда и произведения двух первых операндов для одной тройки чисел двойной точности или для двух упакованных троек чисел одинарной точности.

Вариант с синхронным окружением отличается от варианта с асинхронным окружением наличием входного и выходного FIFO емкостью в 4 слова данных каждое.

Средняя производительность обоих вариантов устройства при типовых условиях равна 1,0 Гфлопс.

Энергопотребление SIFMA составляет 970 и 1140 мДж/ГГц для вариантов с асинхронным и синхронным окружением соответственно.

В настоящее время вариант SIFMA для синхронного окружения готовится к запуску в составе тестовой БИС.

Литература

1. *Chen C., Chen L.-A., Cheng J.-R.* Architectural design of a fast floating-point multiplication-add fused unit using signed-digit addition // IEE Proc. Comput. Dig. Tec., 2002. Vol. 149. No. 4. P. 113–120.
2. *Seidel P.* Multiple path IEEE floating-point fused multiply-add // 46th IEEE Midwest Symposium (International) on Circuits and Systems Proceedings. — Cairo, Egypt, 2003. P. 1359–1362.
3. *Lang T., Bruguera J.* Floating-point fused multiply-add with reduced latency // IEEE Trans. Comput., 2004. Vol. 53. No. 8. P. 42–51.
4. *Libo H., Li S., Kui D., Zhiying W.* A new architecture for multiple-precision floating-point multiply-add fused unit design // 18th IEEE Symposium on Computer Arithmetic Proceedings. — Montpellier, 2007. P. 69–76.
5. *Quinnell E. C., Swartzlander E., Lemonds C.* Floating-point fused multiply-add architectures // 41th Asilomar Conference on Signals, Systems and Computers Proceedings. — Pacific Grove, États-Unis, 2007. P. 42–51.
6. *Quinnell E. C., Swartzlander E., Lemonds C.* Three-path fused multiply adder circuit. United States Patent Application Publication No. 0256150. 2008.
7. *Walaa Abd El Aziz I.* Binary floating point fused multiply add unit. Master Thesis. — Giza, Egypt, 2012. 88 p.
8. IEEE Standard for floating-point arithmetic 754-2008. — IEEE, 2008. doi: 10.1109/IEEESTD.2008.4610935.
9. *Степченко Ю. А., Дьяченко Ю. Г., Рождественский Ю. В., Морозов Н. В., Степченко Д. Ю.* Разработка вычислителя, не зависящего от задержек элементов // Системы и средства информатики, 2010. Вып. 20. № 1. С. 5–23.
10. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В. И. Варшавского. — М.: Наука, 1986. 400 с.
11. *Makino H., Nakase Y., Suzuki H., Morinaka H., Shinohara H., Mashiko K.* An 8.8 ns 54×54 bit multiplier with high speed redundant binary architecture // IEEE J. Solid-St. Circ., 1996. Vol. 31. No. 6. P. 773–783.
12. *Hensley J., Lastra A., Singh M.* A scalable counterflow-pipelined asynchronous radix-4 booth multiplier // Symposium (International) on Asynchronous Circuits and Systems Proceedings, 2005. P. 128–137.

13. *Рождественский Ю. В., Морозов В. Н., Рождественскене А. В.* АСПЕКТ: Подсистема событийного анализа самосинхронных схем // Проблемы разработки перспективных микро- и наноэлектронных систем: IV Всеросс. науч.-технич. конф. (МЭС-2010). — М.: ИПИ РАН, 2010. С. 26–31.
14. *Рождественский Ю. В., Морозов В. Н., Степченков Ю. А., Рождественскене А. В.* Универсальная подсистема анализа самосинхронных схем // Системы и средства информатики, 2006. Вып. 16. № 2. С. 463–475.
15. *Fant K. M.* Logically determined design: Clockless system design with NULL convention logic. — New York: J. Wiley & Sons, 2005. 292 p.
16. *Соколов И. А., Степченков Ю. А., Бобков С. Г., Захаров В. Н., Дьяченко Ю. Г., Рождественский Ю. В., Сурков А. В.* Базис реализации супер-ЭВМ эксафлопсного класса // Информатика и её применения, 2014. Т. 8. Вып. 1. С. 45–70.
17. *Степченков Ю. А., Денисов А. Н., Дьяченко Ю. Г. и др.* Библиотека элементов для проектирования самосинхронных полужаказных БМК микросхем серий 5503/5507 и 5508/5509. — М.: ИПИ РАН, 2013. 391 с.

Поступила в редакцию 20.08.14

SELF-TIMED FUSED MULTIPLY-ADD UNIT: PRACTICAL IMPLEMENTATION

*Y. Stepchenkov¹, Y. Diachenko¹, Y. Rogtestvenski¹, N. Morozov¹, D. Stepchenkov¹,
A. Rogtestvenskene¹, and A. Surkov²*

¹Institute of Informatics Problems, Russian Academy of Sciences, Moscow 119333, 44-2 Vavilova Str., Russian Federation

²Scientific Research Institute for System Studies, Russian Academy of Sciences, 36 bld. 1 Nakhimovsky Prosp., Moscow 117218, Russian Federation

Abstract: Paper presents the results of designing Speed-Independed Fused Multiply-Add (SIFMA) variants compliant with the IEEE 754 Standard. SIFMA performs either one double precision FMA operation or one or two single precision operations simultaneously under three operands. SIFMA was designed for the standard 65-nanometer CMOS (complementary metal–oxide–semiconductor) technology. It uses both a standard cell library and a self-timed cell library designed in IPI RAS. One SIFMA variant operates with a synchronous environment, while another works with an asynchronous environment. Both variants provide an average performance up to 1 GFlops for 1-volt supply and environment temperature of 25 °C. At these conditions, energy consumption does not exceed 970 mJ/GHz.

Keywords: self-timed circuit; ternary coding; multiplier; adder; subtracter; pipeline; indication

DOI: 10.14357/08696527140305

Acknowledgments

This project was financially supported by the Russian Foundation for Basic Research (project 13-07-12068 ofi_m).

References

1. Chen, C., L.-A. Chen, and J.-R. Cheng. 2002. Architectural design of a fast floating-point multiplication-add fused unit using signed-digit addition. *IEE Proc. Comput. Dig. Tec.* 149(4):113–120.
2. Seidel, P. 2003. Multiple path IEEE floating-point fused multiply-add. *46th IEEE Midwest Symposium (International) on Circuits and Systems Proceedings*. Cairo, Egypt. 1359–1362.
3. Lang, T., and J. Bruguera. 2004. Floating-point fused multiply-add with reduced latency. *IEEE Trans. Comput.* 53(8):42–51.
4. Libo, H., S. Li, D. Kui, and W. Zhiying. 2007. A new architecture for multiple-precision floating-point multiply-add fused unit design. *18th IEEE Symposium on Computer Arithmetic Proceedings*. Montpellier. 69–76.
5. Quinnell, E. C., E. Swartzlander, and C. Lemonds. 2007. Floating-point fused multiply-add architectures. *41th Asilomar Conference on Signals, Systems and Computers Proceedings*. Pacific Grove, États-Unis. 42–51.
6. Quinnell, E. C., E. Swartzlander, and C. Lemonds. 2008. Three-path fused multiply adder circuit. United States Patent Application Publication No. 0256150.
7. Walaa Abd El Aziz, I. 2012. Binary floating point fused multiply add unit. Master Thesis. Giza, Egypt. 88 p.
8. IEEE Computer Society. 2008. IEEE standard for floating-point arithmetic 754-2008. doi: 10.1109/IEEESTD.2008.4610935.
9. Stepchenkov, Y. A., Y. G. Diachenko, Y. V. Rozhdestvenski, N. V. Morozov, and D. Y. Stepchenkov. 2010. Razrabotka vychislitelya, nezavisyashchego ot zaderzhkek elementov [Designing of the delay independent computing device]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 20(1):237–254.
10. Varshavsky, V. I., ed. 1990. *Self-timed control of concurrent processes: The design of aperiodic logical circuits in computers and discrete systems*. Mathematics and its applications ser. Dordrecht, The Netherlands: Kluwer Academic Publs. 418 p.
11. Makino, H., Y. Nakase, H. Suzuki, H. Morinaka, H. Shinohara, and K. Mashiko. 1996. An 8.8 ns 54×54 bit multiplier with high speed redundant binary architecture. *IEEE J. Solid-St. Circ.* 31(6):773–783.
12. Hensley, J., A. Lastra, and M. Singh. 2005. A scalable counterflow-pipelined asynchronous radix-4 booth multiplier. *Symposium (International) on Asynchronous Circuits and Systems Proceedings*. 128–137.
13. Rozhdestvenski, Y. V., N. V. Morozov, and A. Rozhdestvenskene. 2010. ASPEKT: Podsystema sobytiynogo analiza samosinkhronnykh skhem [ASPECT: A suite of self-timed event-driven analysis]. *Tr. Mezhdunar. konf. "Problemy Razrabotki Perspektivnykh mikro- i nanoelektronnykh sistem"* [Problems of the Perspective Micro- and Nanoelectronic Systems Development Proceedings]. Moscow. 26–31.

14. Rozhdestvenski, Y. V., N. V. Morozov, Y. A. Stepchenkov, and A. V. Rozhdestvenskene. 2006. Universal'naya podsistema analiza samosinkhronnykh skhem [The universal suite for self-timed circuit analysis]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 16(2):463–475.
15. Fant, K. M. 2005. *Logically determined design: Clockless system design with NULL convention logic*. New York: J. Wiley & Sons. 292 p.
16. Sokolov, I. A., Y. A. Stepchenkov, S. G. Bobkov, V. N. Zakharov, Y. G. Diachenko, Y. V. Rogdestvenski, and A. V. Surkov. 2014. Bazis realizatsii super-EVM eksaflop-snogo klassa [Implementation basis of ExaFlops class supercomputer]. *Informatika i ee Primeneniya — Inform. Appl.* 8(1):45–70.
17. *Stepchenkov, Y. A., A. N. Denisov, Y. G. Diachenko, et al.* 2013. *Biblioteka elementov dlya proektirovaniya samosinkhronnykh poluzakaznykh BMK seriy 5503/5507 i 5508/5509* [Cell library for designing self-timed 5503/5507 and 5508/5509 gate-arrays]. Moscow: IPI RAN. 391 p.

Received August 20, 2014

Contributors

Stepchenkov Yuri A. (b. 1951) — Candidate of Science (PhD) in technology, Head of Department, Institute of Informatics Problems, Russian Academy of Sciences, Moscow 119333, Russian Federation; YStepchenkov@ipiran.ru

Diachenko Yuri G. (b. 1958) — Candidate of Science (PhD) in technology, senior scientist, Institute of Informatics Problems, Russian Academy of Sciences, Moscow 119333, Russian Federation; diaura@mail.ru

Rogdestvenski Yuri V. (b. 1952) — Candidate of Science (PhD) in technology, Head of Laboratory, Institute of Informatics Problems, Russian Academy of Sciences, Moscow 119333, Russian Federation; YRogdest@ipiran.ru

Morozov Nikolay V. (b. 1956) — senior scientist, Institute of Informatics Problems, Russian Academy of Sciences, Moscow 119333, Russian Federation; NMorozov@ipiran.ru

Stepchenkov Dmitri Y. (b. 1973) — senior scientist, Institute of Informatics Problems, Russian Academy of Sciences, Moscow 119333, Russian Federation; Stepchenkov@mail.ru

Rogdestvenskene Asta V. (b. 1964) — senior scientist, Institute of Informatics Problems, Russian Academy of Sciences, Moscow 119333, Russian Federation; astarozd@yahoo.com

Surkov Alexei V. (b. 1978) — senior scientist, Scientific Research Institute for System Studies, Russian Academy of Sciences, Moscow 117218, Russian Federation; surkov@cs.niisi.ras.ru