

САМОСИНХРОННЫЙ БАЗИС РЕАЛИЗАЦИИ РАДИАЦИОННОСТОЙКИХ МИКРОСХЕМ*

д.т.н. Бобков С.Г.¹, к.т.н. Степченков Ю.А.², к.т.н. Плеханов Л.П.², к.т.н. Дьяченко Ю.Г.², Сурков А.В.¹
¹ Научно-исследовательский институт системных исследований Российской академии наук (НИИСИ РАН)
² Институт проблем информатики Российской академии наук (ИПИ РАН)

1 Введение

Проблемы, встающие перед разработчиками современной радиационнстойкой аппаратуры космического назначения (низкое энергопотребление, надежность работы в меняющихся условиях эксплуатации и при воздействии радиации и т.д.), заставляют по-новому взглянуть на принципы проектирования цифровой аппаратуры. С середины пятидесятых и особенно с семидесятых годов прошлого века активно исследовались альтернативные методологии проектирования цифровых схем: синхронная (С) и самосинхронная (СС). Корректная работа синхронной схемы обеспечивается выбором периода синхроимпульсов в расчете на "наихудший случай". В результате заведомо ухудшается быстродействие (до 130 % [1]) и схемы оказываются чувствительными к разбросу параметров транзисторов и элементов, возникающему по технологическим причинам и из-за воздействия внешней среды, в том числе и радиации.

Корректные СС системы базируются на механизме фиксации действительного окончания всех иницированных процессов. При этом обеспечивается их правильное функционирование независимо от задержек распространения сигналов в элементах схемы, отчего они также называются нечувствительными к задержкам – НЗ. С момента появления теории Маллера (Muller D.) [2] проектирование НЗ схем было областью активных исследований [3 - 4]. Однако, ввиду сравнительной сложности их проектирования и реализации, разработчики отдали предпочтение синхронным схемам.

В последние годы неуклонное развитие технологий и растущие требования выявляют все больше, встающих перед разработчиками задач: снижение энергопотребления при увеличении производительности, повышение надежности и помехозащищенности схем. Поиск решений этих проблем возродил интерес к НЗ схемотехнике, имеющей важные преимущества перед синхронными схемами [5]:

- устойчивая работа – отсутствие сбоев при любых возможных условиях эксплуатации и изменении параметров элементов из-за процессов старения и воздействия окружающей среды (радиации),
- безопасная работа – прекращение работы в момент появления отказа любого элемента,
- максимально возможная область эксплуатации (диапазон работоспособности), определяемая только физическим сохранением переключаемых свойств активных элементов базиса реализации,
- максимально возможное в текущих условиях эксплуатации быстродействие,
- отсутствие накладных расходов на реализацию тактового "дерева" (до 50% от общих расходов),
- уменьшение пиковых токов потребления и уровня электромагнитных помех,
- сокращение энергопотребления.

В России активным пропагандистом НЗ подхода был коллектив под руководством д.т.н. В.И.Варшавского. В работах [5-7] убедительно доказана целесообразность внедрения принципа самосинхронизации в практику проектирования цифровых СБИС. С 80-х годов прошлого века это направление проектирования аппаратуры активно поддерживает и развивает ИПИ РАН [8-11].

НЗ схемы органично вписываются в концепцию создания современных бортовых комплексов, обеспечивая низкое энергопотребление и сохранение работоспособности в изменяющихся условиях эксплуатации оборудования и при воздействии радиации. Данная работа посвящена сравнительному анализу вариантов реализации типовых представителей вычислительных устройств и обоснованию выбора схемотехнического базиса реализации радиационнстойких микросхем.

2 Сравнительный анализ синхронных и НЗ схем

С практической точки зрения, наиболее интересным среди НЗ схем является подкласс схем, нечувствительных к задержкам в элементах (НЗЭ). В пределах эквихронной зоны [6] они обладают всеми свойствами и преимуществами действительно НЗ схем. В современных цифровых СБИС НЗЭ схемы являются НЗ схемами, если связанные друг с другом блоки имеют соответствующие небольшие размеры и расположены относительно близко друг к другу. Практически целесообразными являются также квази-НЗЭ схемы (КНЗЭ). Основное их отличие от НЗЭ схем состоит в том, что они обеспечивают индикацию только элементов, стоящих в критических путях обработки информации, а не всех элементов схемы. За счет этого многоразрядные КНЗЭ схемы оказываются более быстродействующими и менее сложными.

В работе [12] представлены результаты сравнительных испытаний синхронных, КНЗЭ и НЗЭ вариантов реализации цифровых устройств различной сложности:

* Исследование выполнено при финансовой поддержке РФФИ в рамках научного проектов № 13-00-12068 офи_м и № 13-00-12062

- 4-разрядного микроядра, аналога ядра микроконтроллера PIC18 фирмы Microchip, США,
- 8-разрядного отказоустойчивого последовательно-параллельного порта (ПП-порта),
- 64-разрядного сопроцессора – IEEE-754 устройства деления и извлечения квадратного корня,

первые два в базисе БМК серии 5503 (МИЭТ), последний – в виде заказной КМОП схемы с топологическими нормами 0,18 мкм. Результаты измерений [12] показали следующее:

- НЗЭ микроядро по зоне работоспособности в 16 раз лучше (см. рис. 1), по быстродействию в 3,25 раз выше, но в 1,43 раза сложнее синхронного аналога, а ПП-порт на 34% проще и по быстродействию в 2,5 раза лучше, чем синхронный вариант,
- по добротности (отношению произведения производительности при номинальном питании на ширину зоны работоспособности к аппаратурным затратам) НЗЭ микроядро и ПП-порт лучше своих синхронных аналогов в 17,6 и 18 раз соответственно.

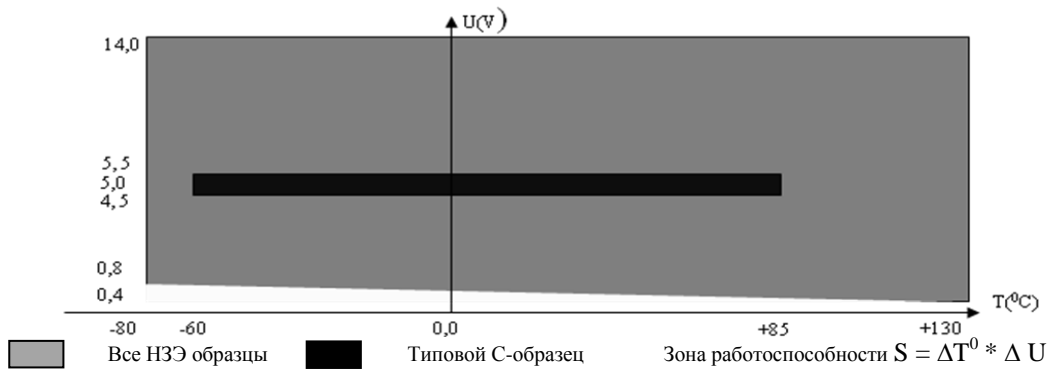


Рис. 1 Зона работоспособности С и НЗЭ образцов микроядра

Сравнительные результаты испытаний вариантов сопроцессора (КНЗЭ и синхронных, реализующих алгоритмы Ньютона (С-N) и SRT (С-SRT)), показаны на рис. 2. Производительность измерялась при напряжении питания 1,8 В и температуре 27⁰С. Зона работоспособности определялась как произведение диапазонов напряжения питания и температуры, в которых сопроцессор демонстрировал устойчивую работу.

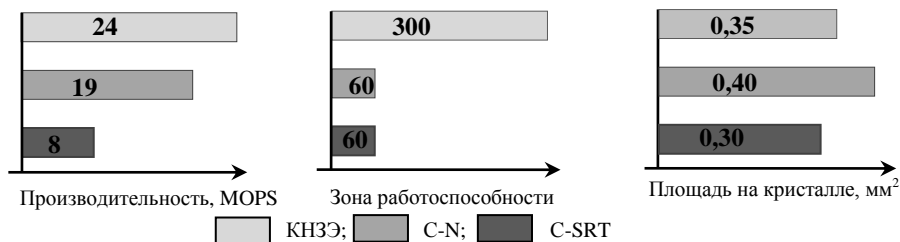


Рис. 2 Результаты испытаний вариантов сопроцессора

Таким образом, реализации микроядра, ПП-порта и сопроцессора в виде НЗЭ или КНЗЭ устройства экспериментально подтвердили преимущества СС схем по сравнению с синхронными аналогами.

3 Варианты методологии проектирования НЗ схем

Правильная работа построенных по методологии проектирования НЗ схем, разрабатываемой в ИПИ РАН, не зависит от *задержек составляющих их элементов*. Использование дополнительных логических и топологических приемов обеспечивает и их независимость *от задержек в соединительных проводах*. Типичными представителями НЗ схем среди зарубежных СС устройств являются NCL схемы [13].

Ниже представлен сравнительный анализ основных принципов проектирования НЗ схем, разрабатываемых в соответствии с методологиями ИПИ РАН и NCL. В дальнейшем будем называть первые просто НЗ схемами, а последние – NCL схемами.

Кодирование сигналов

NCL схемотехника основана на парафазном с нулевым спейсером кодировании всех информационных сигналов [13]. Кодирование информационных сигналов в методологии проектирования НЗ схем более гибкая. Оно включает использование как парафазных сигналов со спейсером, аналогичных сигналам NCL схем, так и других сигналов: парафазных без спейсера, бифазных, унарных, управляющих, мультифазных [14]. Это позволяет строить более компактные схемы.

Схемотехнический базис

Схемотехника NCL схем основана на использовании 27 фундаментальных *пороговых элементов*, обеспечивающих индикацию входов на своих выходах. Они служат основой для синтеза производных от них элементов, необходимых для проектирования практических цифровых устройств, например, триггеров с

асинхронным сбросом или установкой.

Схемотехника НЗ схем основана на использовании библиотеки элементов [14], содержащей 260 элементов и являющейся самосинхронным дополнением для типовых библиотек стандартных элементов. Библиотека включена в состав САПР "Ковчег" (МИЭТ) и внедрена в САПР фирмы Cadence для КМОП технологии 0,18 мкм и 65 нм. Она успешно прошла апробацию на ряде полузаказных и заказных БИС.

Принципы построения схемы

В NCL методологии любая схема строится в виде конвейера с регистром на выходе каждой ступени. Схема индикации регистра формирует фазовый сигнал, обеспечивающий взаимодействие соседних ступеней конвейера. Спейсер - нулевой (NULL) и одинаков для всех элементов и устройств NCL схемы. Все элементы схемы, кроме элементов индикаторной подсхемы, имеют неинверсные выходы. С одной стороны, это упрощает согласование соседних устройств в тракте обработки данных. С другой стороны, создает дополнительную задержку, которая не всегда оправдана.

В НЗ методологии элементы библиотеки объединяются в более сложные НЗ схемы в соответствии с дисциплиной формирования и согласования информационных, управляющих и индикаторных сигналов:

- информационные сигналы формируются с использованием любого вида самосинхронного кодирования, число вариантов кодирования в пределах одной НЗ схемы не ограничено,
- тип спейсера может быть произвольным,
- управляющие и парафазные сигналы схемы подчиняются запрос-ответной дисциплине,
- все информационные и управляющие сигналы схемы должны индицироваться на ее выходах, но не обязательно в каждом элементе.

Использование разных типов кодирования сигналов и произвольного типа спейсера позволяют в большинстве случаев получить менее сложную реализацию НЗ схемы с более высоким быстродействием.

Сложность реализации

Сложность реализации NCL схемы определяется избыточностью схемотехнического базиса из-за требования индицируемости входов каждого элемента на его выходах. Например, НЗ реализация элемента "неравнозначность" оказывается проще его NCL реализации в 2,05 – 4,25 раз, а NCL схема полного одно-разрядного сумматора [13] – в 1,19 – 2 раза в зависимости от степени индицируемости входов и выходов.

Регистровые NCL схемы оказываются в 1,33 раза сложнее своих НЗ аналогов по числу транзисторов.

Схема двоичного четырехразрядного НЗ счетчика проще NCL варианта в 4,49 раз, что объясняется ограниченностью NCL схемотехнического базиса и использованием одного типа кодирования сигналов.

Сравнение реализаций аппаратного одноканального умножителя 4x4 без знака в NCL и НЗ базисах также подтверждает преимущество НЗ варианта в 1,13 раза.

Таким образом, проектирование арифметических устройств в НЗ базисе оказывается эффективнее, чем в NCL базисе. Из-за ограниченности функционального элементного базиса и типов кодирования информационных сигналов NCL схемы получаются более сложными и более энергопотребляющими.

NCL схемы имеют некоторые преимущества в сравнении с НЗ схемами:

1. при реализации комбинационных схем достаточно проиндицировать только ее последние ярусы,
2. единственный парафазный способ кодирования сигналов упрощает построение NCL схем, облегчает формализацию и автоматизацию их синтеза.

Однако NCL схемы обладают и существенными недостатками по сравнению с НЗ схемами: большой избыточностью, худшим быстродействием и энергопотреблением. Например, использование NCL схем при разработке упомянутого выше сопроцессора группой Стешенко В.Б. (ЗАО "Ди Эс Технолоджи") привело к созданию комплекта микросхем площадью 14,436 и 11,556 мм² в 0,18 мкм КМОП технологии [15], в то время как НЗ реализация сопроцессора в той же технологии занимает всего 0,34 мм² [10]. Соответственно следует ожидать и гораздо большего энергопотребления NCL реализации сопроцессора.

Таким образом, НЗ схемотехнический базис является наилучшим решением при реализации радиационноустойчивых микросхем, обеспечивающим их высокую надежность, низкое энергопотребление, способность работать при самых низких напряжениях питания.

4 Заключение

Несмотря на изначально более сложную аппаратную реализацию НЗ схем по сравнению с синхронными аналогами (до 2,1 раза для регистровых структур и до 2,5 раз для комбинационных структур), НЗ схемы обеспечивают более высокое (в 1,7 – 3, раза) быстродействие аппаратуры в реальных условиях, а в ряде случаев – и существенно меньшее энергопотребление. С развитием же технологии и уменьшением стоимости одного транзистора на кристалле и излишние аппаратурные затраты становятся все менее значимыми.

Типовые вычислительные устройства, реализованные в базисе НЗ схем, оказываются лучше по производительности в реальных условиях. По добротности, учитывающей энергию потребления, производительность, допустимые диапазоны напряжения питания и температуры окружающей среды и аппаратурные затраты, НЗ схемы оказываются лучше синхронных аналогов в 15 – 18 раз.

Наиболее предпочтительно применение НЗ схемотехники в высоконадежных отказоустойчивых сис-

темах реального времени. Результаты испытаний отказоустойчивых вариантов исполнения ПП-порта показали, что НЗ исполнение по сравнению с синхронной реализацией характеризуется лучшими показателями по всем параметрам: в 2,5 раза по быстродействию, в 1,5 раз по аппаратным затратам, в 1,3 раза по энергетической эффективности и в 18 раз по добротности.

Независимо от сложности реализации НЗ схемы, зона ее работоспособности определяется физическими характеристиками транзисторов. Она гораздо шире зоны работоспособности традиционных синхронных схем с фиксированной частотой синхронизации и превышает аналогичную зону синхронных схем с адаптивной частотой синхронизации.

Маршрут проектирования НЗ схем поддерживается программными средствами ИПИ РАН:

- синтеза относительно простых НЗ схем (СИНТАБИВ),
- анализа разрабатываемой схемы на возможное нарушение самосинхронности (АСПЕКТ, ФАЗАН).

Они обеспечивают безошибочное проектирование НЗ устройств и гарантируют принадлежность разрабатываемой схемы к классу НЗ схем. Программы анализа способны обработать достаточно сложные цифровые устройства, например, 64-разрядное АЛУ.

Результаты практических исследований представителей различных подклассов самосинхронных схем подтвердили декларированные теоретически преимущества НЗ схем по зоне работоспособности, быстродействию и энергетической эффективности по сравнению с синхронными аналогами.

НЗ схемы, разрабатываемые в соответствии с методологией, продвигаемой ИПИ РАН, обладают меньшими аппаратными затратами (в 4,49 раза при реализации двоичного счетчика, в 1,13 раза при реализации умножителя 4x4, до 2 раз при реализации более простых логических схем), большей производительностью и меньшим энергопотреблением по сравнению с NCL схемами. Поэтому именно их целесообразно использовать в качестве схемотехнического базиса как для проектирования и изготовления радиационностойких БИС, так и в качестве схемотехнического базиса для проектирования и изготовления супер-ЭВМ эксафлопсного класса: они обеспечат пониженное энергопотребление и высокую надежность проектируемых цифровых устройств любой сложности.

Литература

1. Beerel P., Cortadella J., and Kondratyev A. Bridging the gap between asynchronous design and designers (Tutorial). "VLSI Design Conference" Proceedings. Mumbai, 2004 — P.18-20.
2. Muller D., Bartky W. A theory of asynchronous circuits. *Annals of computation laboratory of Harvard University*, V.29, 1959. — P. 204-243.
3. Singh N.P. A design methodology for self-timed systems. *M.Sc. Thesis*. Cambridge: MIT Laboratory for Computer Science, MIT, 1981, 98 p.
4. David I., Ginosar R., Yoeli M. An efficient implementation of Boolean functions as self-timed circuits. *IEEE Transactions on Computers*. 41/1 (1992) — P. 2–11.
5. Varshavsky V., Kishinevsky M., Marakhovsky V. eds. *Self-timed Control of Concurrent Processes*. Kluwer Academic Publishers, 1990. – 245 p
6. Варшавский В.И. и др. 1976. *Апериодические автоматы*. - М.: Наука, 1976, 424 с.
7. Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V. *Concurrent Hardware: The Theory and Practice of Self-timed Design*, J.Wiley, 1994.
8. Филин А.В., Степченко Ю.А. Компьютеры без синхронизации // Системы и средства информатики: Вып. 9, Под ред. И.А. Мизина. — М.: Наука. Физматлит, 1999. — С. 247-261.
9. Степченко Ю.А., Петрухин В.С., Дьяченко Ю.Г. Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле. // Нано- и микросистемная техника, №5, 2006. – С. 29-36.
10. Stepchenkov Y., Diachenko Y., Zakharov V., Rogdestvenski Y., Morozov N., Stepchenkov D. Quasi-Delay-Insensitive Computing Device: Methodological Aspects and Practical Implementation. The International Workshop on power and timing modeling, optimization and simulation, PATMOS2009, Delft, The Netherlands, September 09-11, 2009, 10 p.
11. Степченко Ю.А., Дьяченко Ю.Г., Рождественский Ю.В., Морозов В.Н., Степченко Д.Ю. Самосинхронный вычислитель для высоконадежных применений // В сб. "Проблемы разработки перспективных микро- и наноэлектронных систем 2010", под общ. ред. А.Л. Стемпковского – М.: ИПИМ РАН, 2010 – С. 418–423.
12. Степченко Ю.А., Дьяченко Ю.Г., Горелкин Г.А. 2011. Самосинхронные схемы – будущее микроэлектроники. Вопросы радиоэлектроники. Выпуск 2, 2011 – С. 153-184.
13. Smith S.C. and Jia Di. Designing Asynchronous Circuits using NULL Convention Logic (NCL). *Synthesis Lectures on Digital Circuits and Systems*. 4(1), 2009 — P. 61-73.
14. Степченко Ю.А., Денисов А.Н., Дьяченко Ю.Г., Гринфельд Ф.И., Филимоненко О.П., Фомин Ю.П. Библиотека элементов БМК для критических областей применения // Системы и средства информатики", М., Наука, вып. 14, 2004. - С. 318-361.
15. Разработка семейств и серий изделий микроэлектроники: разработка универсального микропроцессора для серверов и рабочих станций. Итоговый отчет по НИР. Шифр «2008-ЭКБР-59-30-03-002». Государственный контракт №01.426.11.0013 от 29 августа 2008 г.