

ОПЫТ РАЗРАБОТКИ САМОСИНХРОННОГО ЯДРА МИКРОКОНТРОЛЛЕРА НА БАЗОВОМ МАТРИЧНОМ КРИСТАЛЛЕ

Ю.А.Степченко, В.С.Петрухин, Ю.Г.Дьяченко

Институт проблем информатики РАН, YStepchenkov@ipiran.ru

1. Введение

Теоретические исследования подтверждают, что самосинхронные (СС) схемы обладают рядом неоспоримых преимуществ по сравнению с другими типами цифровых электронных схем: синхронными, асинхронными и квазисамосинхронными. Главные преимущества СС-схем – сохранение работоспособности (устойчивой работы без сбоев) в любых возможных условиях эксплуатации и прекращение функционирования (всех переключений) в момент возникновения константной неисправности элементов. Указанные особенности обеспечивают высокую эффективность создания надежных изделий и, в первую очередь, реализацию отказоустойчивой аппаратуры для бортовых вычислительных комплексов в базе СС-схем.

Достигнутый уровень разработки теории СС-схем и средств автоматизации их проектирования выдвигает в число первоочередных задач практическое подтверждение декларируемых свойств СС-схемотехники. При этом апробация методологии СС-проектирования должна учитывать возможности отечественной электронной промышленности и производиться на уровне представительного функционально-законченного устройства.

В докладе отражены предварительные результаты разработки (по итогам моделирования и топологического проектирования на отечественной промышленной САПР БМК "Ковчег 2.6") синхронного и самосинхронного вариантов исполнения тестового кристалла "Микроядро", реализующего функции вычислительного ядра 8-разрядного микроконтроллера PIC18CXX, широко используемого в отечественных разработках. Получение первых опытных образцов кристаллов, реализованных на БМК 5503, запланировано на 4 квартал 2005 года.

Оценка полученных результатов сравнительного проектирования синхронного и самосинхронного вариантов тестового кристалла будет малоинформативна без точной идентификации класса схем, к которой может быть отнесен разработанный СС-вариант "Микроядро".

В литературе для обозначения схем, обладающих вышеуказанными свойствами, используется (не всегда обоснованно) целый "букет" названий [1]: СС-схемы (self-timed circuits); не зависящие от скорости (speed-independent); аperiodические (dead-beat); не зависящие от задержек (delay-independent); полумодулярные (semimodular), не чувствительные к задержкам (delay-insensitive). В последнее время СС-схемами (в узком смысле) иногда стали называть схемы, где глобальная (на уровне системы) синхронизация заменена совокупностью локальных источников синхроимпульсов (self-clocking) или где синхронизация отсутствует (clockless circuits), но работоспособность зависит от некоторого соотношения задержек (например, считается, что задержка любых трех последовательно переключаемых элементов больше, чем задержка любого одного или двух элементов).

В работе [2] рассмотрено десять различных методологий проектирования асинхронных схем. Отвлекаясь от деталей, их можно разделить на две группы.

1) Методологии, базирующиеся на модели с ограниченной задержкой, например, схемы Haffman'a и микроконвейеры. Другие методологии предназначены для проектирования модулей, нечувствительных к задержкам (например, I-net), однако их объединение требует использования либо линий задержки в цепях обратной связи, либо системы локальной синхронизации. Подобно синхронным схемам, они вынуждены ориентироваться на худший случай срабатывания элементов (правда, не глобально, во всей схеме, а локально, в отдельных ее частях), т.е. не являются схемами, полностью самопроверяемыми относительно константных неисправностей. В дальнейшем такие схемотехнические решения будем называть *квазисамосинхронными*. Наиболее известные зарубежные самосинхронные микросхемы и реализованные проекты относятся именно к этому классу [3-6].

2) Подходы, базирующиеся на модели элементов и соединительных проводов до точки разветвления с неограниченной задержкой. При этом предполагается, что разница в задержке проводов после разветвления меньше, чем минимальная задержка элемента. Если используемая технология производства ИС удовлетворяет требованию изохронности ветвления, то подобные методологии проектирования позволяют разрабатывать СС-схемы, полностью самопроверяемые. Примеры таких методологий: графы сигнальных переходов (STG), диаграммы изменений (CD) и трансляция процессов связи Martin'a. При необходимости эти методологии могут быть расширены для разработки схем, не удовлетворяющих требованию изохронности ветвления, путем введения повторителей после разветвления. В настоящее время эти подходы носят, в основном, исследовательский характер. Во всяком случае, коммерчески выпускаемых изделий на их базе не обнаружено.

Схемы, методология которых разрабатывается в ИПИ РАН и, в том числе, использована в "Микроядре", относятся ко второй группе, и для их точной идентификации мы используем термин

“строго самосинхронные схемы” (ССС-схемы, strictly self-timed circuits). Они характеризуются совокупностью следующих особенностей:

– на концептуальном уровне они базируются на теории Muller D. [7]; правильная работа таких схем не зависит от *задержек составляющих их элементов* (задержка любого элемента схемы, например, элемента НЕ, может быть любой, но конечной величиной);

– на схмотехническом уровне использование дополнительных логических и топологических приемов позволяет обеспечить правильную работу СССР-схем независимо от *задержек соединительных проводов* (задержек проводов после разветвления, если такие задержки критичны);

– на уровне взаимодействия с внешней средой и другими СССР-схемами они используют асинхронный (запрос-ответный) принцип с фиксацией действительного окончания любого инициированного переходного процесса; функционирование самих СССР-схем обеспечивается без использования каких-либо синхросигналов, генераторы могут быть использованы только для сугубо второстепенных целей, например, для подсчета астрономического времени.

Только принадлежность к классу СССР-схем позволяет получить на практике все эти потенциальные преимущества [8].

2. Обоснование реализации тестовой схемы в виде БИС с программируемой структурой

Возможно несколько путей реализации тестовой СССР-схемы.

1) Разработка специализированной СССР-ИС высокого уровня интеграции, сравнимой со стандартными синхронными ИС. Однако это связано с очень большими затратами средств и времени на проектирование ИС, что, с учетом недостаточной отработанности СССР-схмотехнических решений, делает этот подход в настоящее время нецелесообразным.

2) Разработка СССР-схемы на базе микросхем малого и среднего уровней интеграции. Применение МИС и СИС приводит к резкому росту числа корпусов ИС и усложнению монтажа. В результате снижается надежность изделий и их быстродействие. Этот тупиковый путь может скомпрометировать саму идею самосинхронизации; ее основные достоинства – повышение надежности и быстродействия – сводятся на нет использованием ИС малой степени интеграции.

3) Наиболее предпочтительной представляется разработка на базе программируемых изделий, отвечающих, в том числе, требованию создания специфичной аппаратуры с оригинальной схмотехникой. Современные программируемые средства позволяют создавать целую "систему на кристалле". В настоящее время говорить о собственных российских разработках программируемых логических ИС (ПЛИС) высокой степени интеграции пока, к сожалению, не приходится. В то же время разработчикам ИС доступна целая гамма базовых матричных кристаллов (БМК), выпускаемых отечественной электронной промышленностью; сектор полузаказных микросхем на основе БМК развивается достаточно интенсивно. Именно эти изделия удовлетворяют потребности многих разработчиков радиоэлектронной аппаратуры и широко применяются в системах и комплексах специального и военного назначения.

В [9] подробно рассмотрено соответствие конструктивных, технологических и схмотехнических аспектов БМК требованиям самосинхронного исполнения аппаратуры, и делается вывод о практической непригодности базиса ПЛИС для проектирования СССР-схем. Схмотехнические решения, применяемые в ПЛИС, соответствуют принципу *синхронного* проектирования и определяются конструктивными особенностями ПЛИС. Это, прежде всего, наличие в ПЛИС глобальных сигналов синхронизации. Напротив, конструктивные решения, реализуемые в БМК, ориентированы на *асинхронное* проектирование, что соответствует требованию СССР-исполнения.

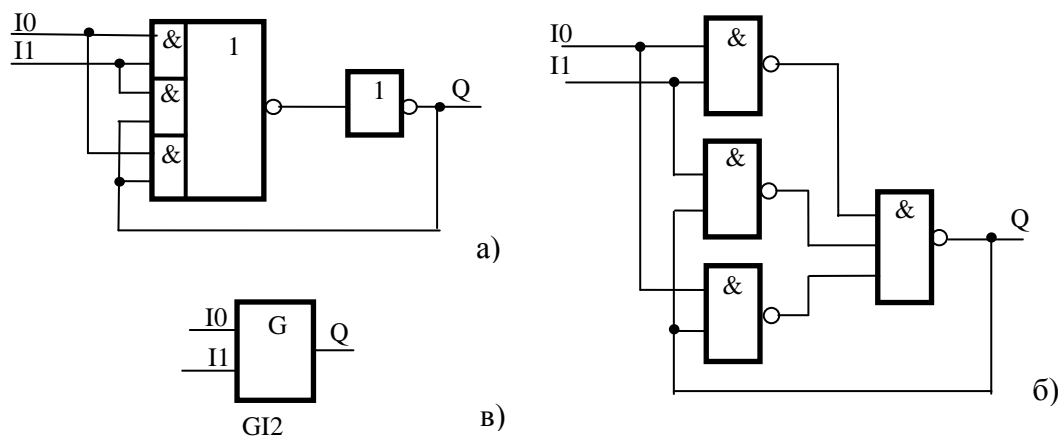
Целям проектирования тестовой БИС “Микроядро” отвечает тип БМК 5503БЦ7У в рамках БМК серии 5503 (5478 условных вентилей в поле БМК, тип приемки 5). Обширная библиотека логических (210) и периферийных (140) элементов в рамках этой серии обеспечивает эффективное проектирование синхронной аппаратуры. Однако требованиям разработки СССР-схем отвечают только 26 функционально простых элементов:

INV, INV2, INV3, INV4;
AND2, AND3;
OR2; OR3;
NAN2, NAN3;
NOR2, NOR3;
A21OI, A22OI, A31OI; A21O, A22O, A31O;
O21AI; O22AI; O31AI; O21A, O22A, O31A;
RS, RSB.

Любая СССР-схема условно разбивается на две части – функциональную (ФЧ), выполняющую обработку входных данных, и индикаторную (ИЧ), фиксирующую окончание переходных процессов в отдельных частях ФЧ и СССР-схемы в целом. Основная причина отказа от большинства элементов библиотеки – нарушение требования их индицируемости: любой инициированный переходный процесс (процесс возбуждения) в этом элементе должен быть завершен, и факт завершения должен быть зафиксирован (индицирован). Снятие возбуждения до завершения переходного процесса

является признаком нарушения самосинхронности, и такая реализация схемы не может быть аттестована как самосинхронная. Одно из наиболее простых (но не оптимальных и не обязательных) требований построения сложных многокаскадных элементов для ССС-реализаций – возможность индикации каждого его выхода, т.е. каждого каскада.

Любой однокаскадный элемент со стандартным (с двумя состояниями) выходом отвечает требованию индицируемости, а однокаскадная реализация ФЧ индикаторов является необходимым условием их реализации. Индикаторные элементы, по существу, это средство синхронизации процессов в ССС-схемах. Именно к их построению предъявляются наиболее жесткие требования, в данном случае – однокаскадность реализации. Теоретически и практически доказано, что корректные индикаторные элементы нельзя построить на упрощенном базисе И-НЕ и ИЛИ-НЕ. Для его построения необходим базис И-ИЛИ-НЕ. На рис. 1 приведены две реализации индикатора для двух инфазных (непарных) сигналов – так называемого гистерезисного триггера (G-триггера); табл. 1 – его таблица истинности.



$$Q^+ = I0 * I1 + Q * (I0 + I1)$$

Рис. 1. Реализация индикаторных G-триггеров для инфазных сигналов:
а) реализация, корректная (однокаскадная) в своей основной логической части;
б) некорректная (двухкаскадная) реализация;
в) условное графическое обозначение (УГО), наименование и формульная запись функционирования G-триггера (GI2)

Таблица 1
Таблица истинности элемента GI2

№	Входы		Выход
	I0	I1	Q
1	0	0	0
2	0	1	Хранение
3	1	0	Хранение
4	1	1	1

Если наборы на входах I0 и I1 (00 и 11) фиксируются на длительное время, за которое успевают закончиться все переходные процессы, оба варианта реализации свободны от состязаний. Однако если в схеме, показанной на рис. 1а, изменение выхода является признаком окончания всех переходных процессов, то в схеме на рисунке 1б после изменения выхода переходные процессы в элементах первого каскада могут продолжаться.

G-триггер должен индцировать окончание переходных процессов не только в схемах, подключенных к его входам, но и в себе самом. При этом предполагается, что логические состязания на уровне одного однокаскадного элемента невозможны, т.к. время его переключения определяется, в основном, временем перезаряда его выходной емкости.

Рассмотрим возможные состязания в схеме на рис. 1. Исходное состояние I0=I1=0, при котором на выходах всех элементов первого яруса сигналы равны 1, а Q=0. Изменение выхода (Q=1) произойдет после того, как выполнится условие I0=I1=1. Предположим, что задержки элементов первого яруса, охваченные обратной связью, так велики, что сигналы на их выходах (или на выходе

хотя бы одного элемента) остались равными 1¹, в то время как один из входов I0 или I1 перешел в исходное состояние 0. При этом выход элемента I0*I1/HE станет равным 1. Тогда выход Q может перейти из 1 в 0, не дожидаясь окончания переходных процессов в других элементах первого яруса – выполнения условия I0=I1=0; схема, таким образом, не выполнит функцию индикатора.

Однокаскадным называется элемент, перезаряд выходной емкости которого осуществляется только через транзисторы с затворами, соединенными с его входными сигналами. К выходу однокаскадного элемента может быть подключено любое число последовательно/параллельно включенных элементов HE, что удовлетворяет требованию индицируемости.

Для эффективной реализации самосинхронного тестового кристалла на БМК разработан минимальный состав базовых, типовых и периферийных ССС-элементов (56 элементов) и выполнено их топологическое проектирование. Библиотечные элементы введены в состав САПР БМК “Ковчег 2.6”. Кроме этого, в классе ССС-макроэлементов разработано 12 макроэлементов, представляющих собой устойчивые и часто используемые комбинации библиотечных элементов.

3. Основные задачи и функциональное наполнение тестового кристалла

Цель настоящей работы – подтверждение потенциальных преимуществ ССС-схемотехники на примере опытного образца вычислительного устройства (ВУ), удовлетворяющего требованиям критических областей применения, например, формирователя команд управления как части баллистического вычислителя. Разработка и реализация архитектуры отдельного ВУ создает практическую базу для проектирования широкого класса ССС-схем с использованием отечественных серий БМК, а также обеспечивает проверку на опытных образцах соответствии ССС-схемотехники требованиям аппаратуры специального и военного назначения. Было доказано, что этим целям отвечает программно-аппаратный вариант реализации ВУ на базе программной модели одного из семейств микроконтроллеров фирмы Microchip. При этом требованиям по вычислительным ресурсам отвечает семейство микроконтроллера PIC18CXX. Для реализации его вычислительного ядра нужно порядка 6000 ячеек (без учета затрат на реализацию памяти программ, памяти данных и стека). Для отработки *отдельных функционально-значимых элементов ССС-реализации архитектурно-совместимого ядра* данного семейства по экономическим соображениям было решено выбрать серию БМК 5503. К реализации архитектуры ССС-ВУ *в полном объеме* можно будет приступить только после проведения испытаний и подтверждения соответствия характеристик ССС-ВУ требованиям гарантированных изделий электронной техники.

Кроме основных задач, функциональное наполнение БИС “Микроядро” должно было облегчить решение следующих проблем:

- 1) состыковка стандартного контрольно-измерительного и тестового оборудования (КИТО) завода-изготовителя БИС БМК, которое предназначено для проверки стандартных синхронных и асинхронных изделий, с СС-изделием;
- 2) ограниченное число выводов БМК, удовлетворяющих требованиям 5 приемки;
- 3) ограничения со стороны КИТО и периферийных элементов входа БМК при проведении граничных испытаний по напряжению питания и температуре окружающей среды;
- 4) обеспечение как можно более точной локализации возможного дефекта при производстве опытных образцов с минимальной длиной тестовых последовательностей;
- 5) демонстрация работоспособности БМК-кристаллов и проведение сравнительных испытаний на площадке потенциальных пользователей.

Проблемы 1-3 были решены за счет организации подготовительных (настроечных) процедур со стороны КИТО на базе синхронного подхода, не требующего существенного увеличения контактов. В основном автоматическом режиме тестирования оборудование КИТО только осуществляет съем необходимой информации. Проблема 4 была решена с помощью метода сканирования точек индикации переходных процессов вместо использования метода периферийного сканирования, требующего существенных аппаратных затрат. Для решения проблемы 5 было использовано формирование сигналов, частота которых меньше рабочей частоты БИС в 256 раз.

В Микроядре можно выделить три функциональные части: формирователь потока команд (ФПК), собственно вычислитель и последовательно-параллельный порт (ПП-порт). Структура ФПК (см. рис. 2) функционально приближена к прототипу (контроллеру PIC18CXX), в том числе и по названиям элементов структуры. Имеющиеся отличия связаны с упрощением структуры прототипа и выводением части внутренних сигналов на внешние контакты Микроядра.

ФПК содержит: память программ (PM – Program Memory); регистр команд (IR – Instruction Register); мультиплексор адреса памяти программ (MX1); счетчик команд (PC – Program Counter); регистр перехода (JR – Jump Register); дешифратор команд (ID – Instruction Decoder), устройство управления (CU – Control Unit); буферы для организации шины данных (B1...B4, B – Bus).

¹ Напомним, что СС-схема (в данном случае G-триггер) должна работать корректно при любых величинах задержек элементов, ее составляющих.

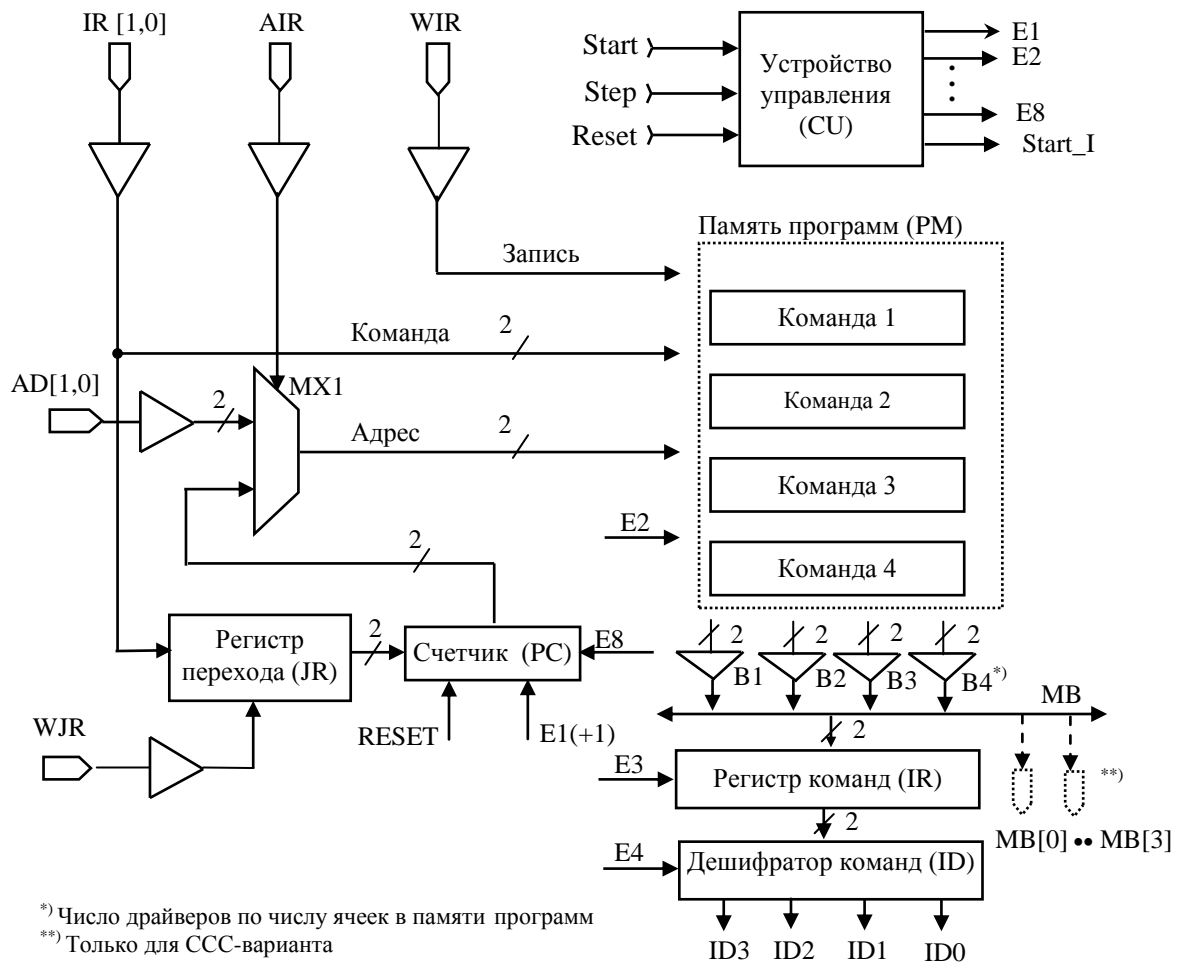


Рис. 2. Формирователь потока команд Микроядра

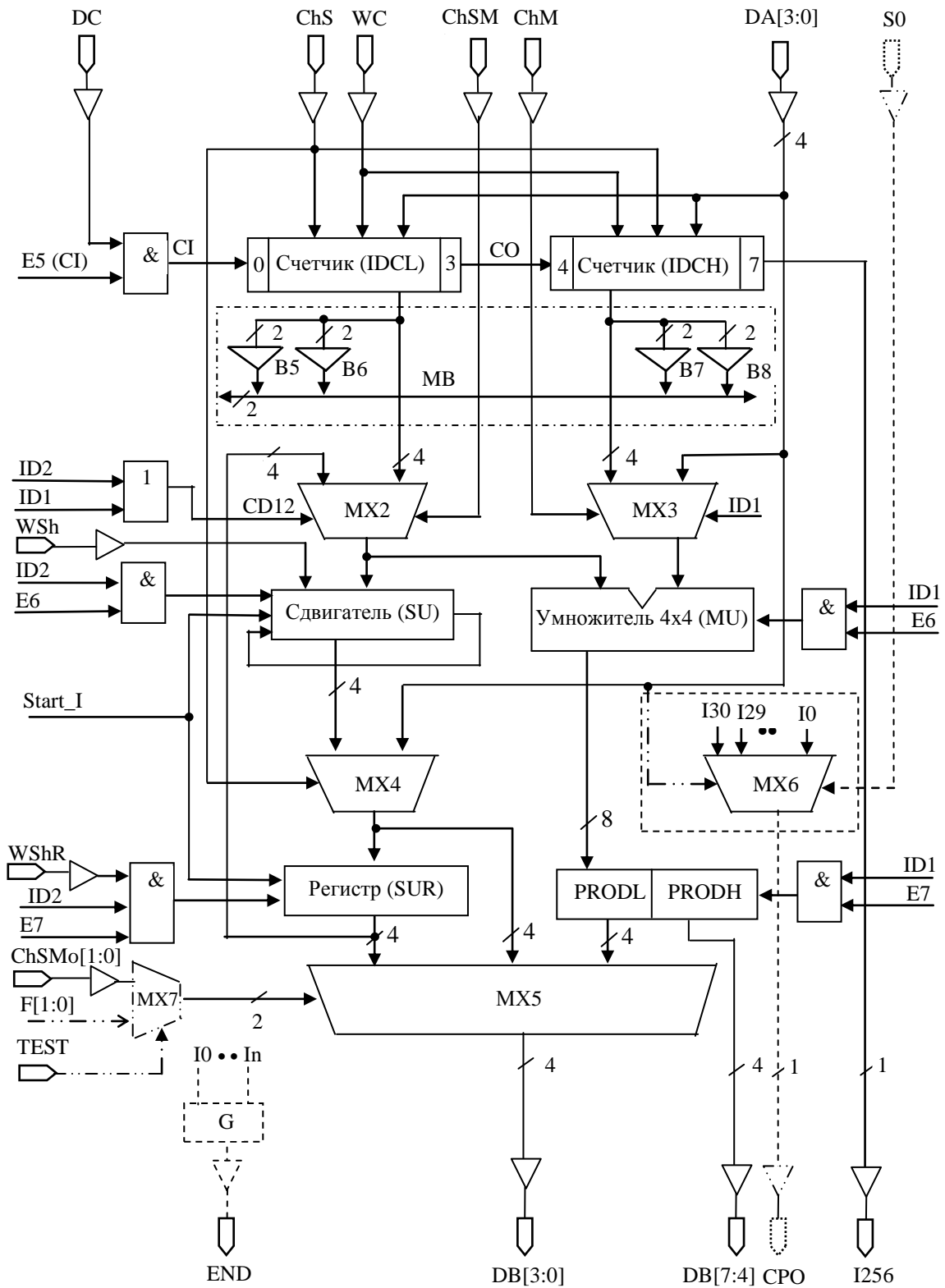
ФПК обеспечивает исполнение одиночной команды или четырех команд, располагаемых в программной памяти (PM) в произвольном порядке с возможностью циклического повтора. Одна и та же команда может располагаться в произвольной ячейке PM от 1 до 4 раз. Последний случай моделирует n-кратное исполнение команды. Небольшое число команд в Микроядре, тем не менее, позволяет имитировать основные этапы вычислительного процесса: процедуру вхождения в конвейер (первая команда после сброса требует для своего выполнения семь последовательных действий – 2 цикла, если следовать терминологии прототипа), исполнение команд в режиме насыщения конвейера (NOP, MUL и ROT за один цикл) и процедуру разрушения конвейера (команды GOTO и JUMP).

Напомним, что в функциональном плане прототип Микроядра (синхронный PIC18CXX2) содержит простейший двухступенчатый конвейер. Все команды (за исключением команд ветвления) выполняются за один машинный цикл [10].

Возможны четыре режима состояния Микроядра, которые определяются управляющими сигналами RESET, START и STEP: режим простоя, режим автономной работы, режим пошаговой работы и режим ожидания. Перед инициацией автономного или пошагового режимов необходимо определить состояние всех ячеек памяти программ. Запись в память программ осуществляется по сигналу WIR=0. Перед записью необходимо установить код команды на входах IR1, IR0 и адрес ячейки на входах AD1, AD0 и настроить мультиплексор на установку адреса извне (AIR=0).

Память PM построена на регистрах-зашелках и содержит дешифратор адреса ячейки памяти. В регистр JR заносится адрес перехода при выполнении команды JUMP. Для записи адреса перехода необходимо установить на шине IR адрес и активизировать сигнал WJR. При приходе команды JUMP в первом цикле активных действий не происходит; во втором цикле содержимое регистра JR переписывается в PC; в следующем цикле по значению PC команда считывается из PM.

Вычислитель Микроядра (рис. 3) – упрощенная структура соответствующей части контроллера PIC18CXX, которая содержит, вместе с тем, ряд дополнительных элементов, облегчающих тестирование экспериментального образца Микроядра и обеспечивающих выдачу пользователям ряда параметров при проведении сравнительных испытаний двух вариантов его реализации.



- - - - - диагностическое оборудование
 - - - - - только для CCC-варианта

Рис. 3. Вычислитель Микроядра

В состав вычислителя входят:

- два последовательных двоичных счетчика команд (IDC, IDCH:IDCL – IDCHhigh:IDCLow);
- устройство сдвига (SU – Shift Unit);
- аппаратный умножитель (MU – Multiplying Unit);
- регистр устройства сдвига (SUR – Shifter Unit Register);
- регистр умножителя (Product), состоящий из двух частей (PRODH:PRODL).

Память данных прототипа (DM, Data Memory) имитируется двумя последовательными двоичными 4-разрядными счетчиками IDC с параллельной записью информации (канал считывания данных) и регистром сдвигателя SUR (канал записи данных). Регистр умножителя PROD имитирует *регистровую память* (выход умножителя MU соединен непосредственно со входом регистра PROD).

Счетчик IDC выполняет две основные функции:

- является средством автоматизированного тестирования сдвигателя (SU) и умножителя (MU) на всем диапазоне обрабатываемых операндов;

- вырабатывает сигнал I256 (Instruction 256), формируемый один раз за 256 выполненных команд.

Третья функция, которая может быть возложена на счетчик – функция таймера, в том числе и для подсчета интервала времени тайм-аута (перехода на саморемонт).

Сравнительные результаты моделирования С- (синхронного) и ССС-вариантов исполнения основной части "Микроядра" в САПР КОВЧЕГ 2.6: по реальному быстродействию – в 1,5-3,1 раз в пользу ССС-варианта (в зависимости от смеси используемых команд); область устойчивой работоспособности по питающему напряжению – не менее 2 раз в пользу ССС-варианта; по числу используемых транзисторов – в 1,3 раза в пользу С-варианта.

3.3. Отказоустойчивый преобразователь последовательного кода в параллельный

Введение в состав тестовой БИС "Микроядро" отказоустойчивого фрагмента преследовало цель сопоставить эффективность реализации отказоустойчивости в рамках двух альтернативных схемотехник – синхронной и самосинхронной. Его функциями были:

- *обнаружение неисправности* – оперативная фиксация ошибки в работе устройства;
- *диагностирование неисправности* – локализация места, где произошла ошибка;
- *выполнение саморемонта*, например, замещение неисправного модуля резервным.

Реализация первой функции – "встроенный" атрибут любой ССС-схемы (100%-ное бестестовое обнаружение константных неисправностей). Вторая функция в ССС-схемах реализуется без труда, так как каждый индикаторный сигнал несет информацию об исправности (неисправности) конкретного мелкогранулированного фрагмента схемы – отдельного разряда регистра, отдельного разряда мультиплексора и т.д. Для регулярных параллельных участков ССС-схемы используется метод саморемонта, где неисправный элемент заменяется резервным по методу скользящего резервирования с замещением посредством сдвига [11]. Этот метод в полной мере использует возможности СС-схем по локализации неисправности. Однако, поскольку в вычислителе Микроядра для организации циклического сдвига используются последовательные регистровые структуры, было принято решение и в ППП-порту использовать их же. При этом удалось избежать разработки новых ССС-элементов для реализации ППП-порта.

В качестве примера на рис. 4 представлена схема синхронного преобразователя последовательного кода в параллельный. Восьмиразрядный сдвиговый регистр 3 предназначен для автоматизированного формирования кодовой последовательности на входе преобразователя кода.

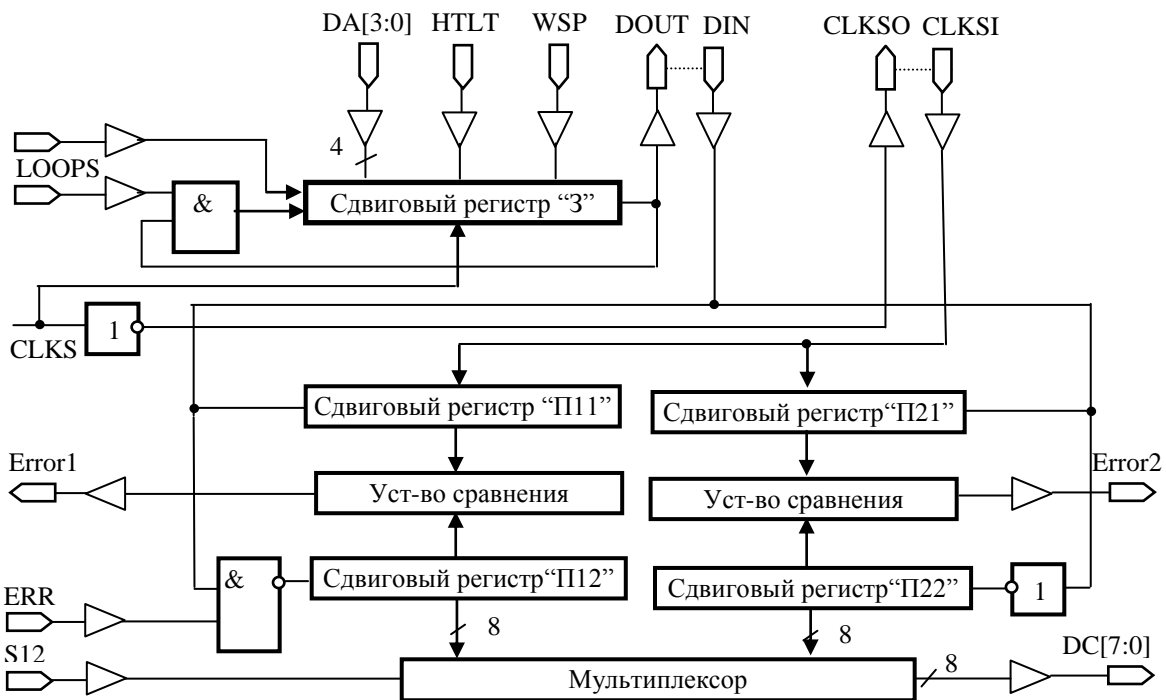


Рис. 4. Функциональная схема отказоустойчивого синхронного варианта последовательного порта тестового кристалла

Запись в сдвиговый регистр-задатчик (3) осуществляется тетрадами путем активизации сигнала WSP. Выбор соответствующей тетрады (младшей или старшей) осуществляется по сигналу HTLT

Кодовая последовательность от сдвигового регистра 3 поступает на вход двух приемных каналов. Первый приемный канал состоит из сдвиговых регистров П11, П12 и устройства сравнения, второй – из сдвиговых регистров П21, П22 и устройства сравнения. Мультиплексор позволяет переключать выходы приемных каналов в зависимости от состояния сигнала S12. Устройство сравнения в каждом приемном канале осуществляет проверку принятых кодовых комбинаций и в случае обнаружения ошибки формирует сигнал ошибки: Error1 – для первого канала, Error2 – для второго канала. Синхронизирующие импульсы для ППП-порта формирует сигнал CLKS.

Для проведения испытаний преобразователя кода необходимо кодовую последовательность, поступившую в приемный канал, снова передать в сдвиговый регистр 3. Для этого перед подачей синхросигналов CLKS сигнал LOOPS переводится в состояние логического нуля. Предусмотрена возможность анализа изменения характеристик ППП-порта при изменении длины последовательного канала – как между контактами DOUT и DIN, так и между CLKSO и CLKSI.

Для демонстрации отказоустойчивости преобразователя кода используется сигнал ERR. Если перед подачей синхроимпульсов CLKS этот сигнал перевести в состояние логического 0, это позволит внести изменения в кодовую последовательность, принятую в сдвиговый регистр П12. После подачи 8 синхроимпульсов устройство сравнения выдаст сигнал ошибки (Error1). Таким образом осуществляется имитация отказа в первом приемном канале преобразователя кода.

Сравнительные результаты моделирования ППП-портов С- и ССС-вариантов исполнения "Микроядра" – по всем показателям в пользу ССС-варианта: по реальному быстродействию в 1,3-1,7 раза (в зависимости от геометрической длины последовательного канала); по числу транзисторов в 1,3 раза; по области устойчивой работоспособности в 2 раза; по числу покрытия неисправностей в 3 раза.

Кроме того, ССС-схемы характеризуются двумя главными преимуществами:

- устойчивой работой без сбоев при любых задержках и любых возможных условиях эксплуатации;

- безопасной работой: прекращением всех переключений в момент появления константных неисправностей элементов.

Авторы приносят благодарность к.т.н. Л.П. Плеханову за предложения по оптимизации ряда схемотехнических решений.

Работа выполнена при частичной финансовой поддержке по Государственному контракту № 1.4/03 (регистрация РАН: № 10002-251/ОИТВС-04/103-098/260503-201).

ЛИТЕРАТУРА

1. Varshavsky V., Kishinevsky M., Marakhovsky V. et al. Self-timed Control of Concurrent Processes, Ed. by V.Varshavsky - Kluwer Academic Publishers, 1990. – 245 p.
2. Scott Hauck. Asynchronous Design Methodologies: An Overview, Proceedings of the IEEE, Vol. 83, No. 1, January, 1995. - P. 69-93
3. TIME Laboratory. ANNUAL REPORT 2002, May 2003. - 252 p.
4. Payne R. Self-timed FPGA systems. // Fifth International workshop on Field Programmable Logic and Applications (W. Moore and W. Luk, eds.), V. 975 of Lecture Notes in Computer Science. - 1995. - P. 21–35.
5. Karthik S., de Souza I., Rahmeh J., Abraham J. Interlock Schemes for Micropipelines: Application to a Self-Timed Rebound Sorter, in Proceedings of ICCD. – 1991. – P. 393-396.
6. Liebchen A., Gopalakrishnan G. Dynamic Reordering of High Latency Transactions Using a Modified Micropipeline, in Proceedings of ICCD. - 1992 - P. 336-340.
7. Muller D., Bartky W. A theory of asynchronous circuits. // Annals of computation laboratory of Harvard University, V.29, 1959. - P. 204-243.
8. Филин А.В., Степченко Ю.А. Компьютеры без синхронизации. Сборник "Системы и средства информатики", М., Наука, вып. 9, 1999. - С. 247-261.
9. Степченко Ю.А., Денисов А.Н., Дьяченко Ю.Г., Гринфельд Ф.И., Филимоненко О.П., Фомин Ю.П. Библиотека элементов БМК для критических областей применения. Сборник "Системы и средства информатики", М., Наука, вып. 14, 2004. - С. 318-361.
10. PIC18CXX2 Data Sheet. High-Performance Microcontrollers with 10-Bit A/D. – 1999. – 295 p.
11. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. / Под. Ред. В.И. Вавиловского. - М.: Наука, 1986. - 400 с.