

Квазисамосинхронный вычислитель: практическая реализация

Ю.Г. Дьяченко, Ю.В. Рождественский, В.Н. Морозов, Д.Ю. Степченков

Институт проблем информатики РАН, YRogdest@ipiran.ru

Аннотация — Представлены результаты практической разработки квазисамосинхронного вычислительного блока (в дальнейшем – вычислителя), выполняющего функции деления и извлечения квадратного корня в соответствии с алгоритмом, представленным в работе [3]. Обработываемыми операндами служат числа одинарной и двойной точности в соответствии со стандартом IEEE 754 [4].

I. ВВЕДЕНИЕ.

Самосинхронная (СС) схемотехника [1], [2] является альтернативой традиционной (синхронной) схемотехники. Она обладает рядом несомненных преимуществ по сравнению с последней, главное из которых – сохранение работоспособности при любых соотношениях задержек составляющих ее элементов. Это свойство гарантируется специальными схемотехническими приемами проектирования как принципиальных схем отдельных элементов, так и функционально-логических схем сложных устройств. Оно обеспечивает работоспособность СС-устройств в широком диапазоне напряжений питания и температуры окружающей среды. При ухудшении условий эксплуатации – понижении напряжения питания, увеличении температуры окружающей среды – или при деградации параметров активных элементов полупроводниковых структур быстродействие СС-схемы падает, но она продолжает правильно выполнять реализованный в ней алгоритм функционирования.

В тех приложениях, где такое падение производительности устройства не критично с точки зрения быстродействия всей системы в целом, но гораздо более важным является сохранение работоспособности при разряде, например, батарей питания, применение СС-схем обеспечивает улучшение потребительских характеристик оборудования. Платой за это является увеличение аппаратных затрат. Однако оно компенсируется отсутствием схемы синхронизации и в ряде практических случаев оказывается незначительным.

II. СТРУКТУРНАЯ СХЕМА ВЫЧИСЛИТЕЛЯ

Наиболее эффективно преимущества СС-устройств проявляются при их конвейерной реализации, причем числом ступеней конвейера должно быть не менее трех. Это обусловлено регламентом работы СС-устройств:

- наличием двух фаз работы любого СС-

устройства: рабочей (активной) и спейсерной (паузы);

- использованием запрос-ответных отношений между соседними в тракте обработки данных устройствами.

Первое условие необходимо для успешной реализации полного контроля за окончанием переходных процессов в каждом устройстве – ступени конвейера. Второе условие обеспечивает строгую последовательность переключений соседних ступеней конвейера, гарантирует достоверность данных на входе каждой ступени в любой момент времени и работоспособность СС-схемы при любых конечных задержках составляющих схему элементов.

В соответствии с принципами самосинхронизации СС-устройство не может начать переключение в очередную фазу до того, как предшествующее устройство перейдет в аналогичную фазу, а последующее устройство – в противоположную фазу работы. Чем больше ступеней конвейера, тем меньше суммарные непроизводительные затраты времени, когда каждое устройство в общей системе простаивает в ожидании разрешения перехода в следующую фазу работы от соседних устройств. Практически данное взаимодействие реализуется с помощью гистерезисных триггеров [1], входами которых являются индикаторные выходы предшествующего и следующего устройств, фиксирующие окончание переключения соответствующего устройства в очередную фазу работы.

Исходя из указанных предпосылок, заданных габаритных ограничений и требований к быстродействию вычислителя, выполняющего функции деления и извлечения квадратного корня [3], был выбран четырехстадийный вариант его реализации. Каждая стадия реализует ступень вычислительного конвейера, структурная схема которой показана на рис. 1.

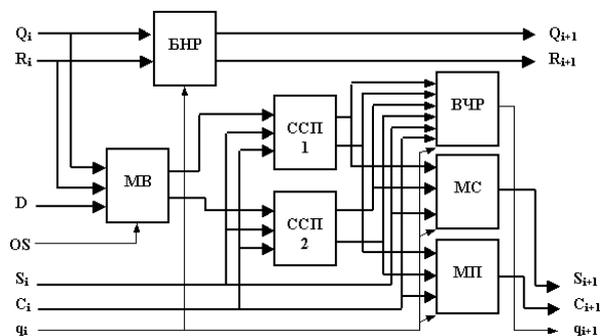


Рис. 1. Структурная схема одной стадии

Стадия содержит следующие основные блоки:

- блок накопления результата (БНР);
- мультиплексор вычитаемого в рекуррентной формуле (МВ);
- сумматоры с сохранением переноса (ССП1, ССП2);
- выбор частичного результата (ВЧР);
- мультиплексор суммы (МС);
- мультиплексор переноса (МП).

Более подробно схема одной стадии описана в [3].

Общая структурная схема вычислителя представлена на рис. 2. Кроме четырех однотипных стадий ST1 – ST4, в ней содержатся также блоки:

- входной регистр операндов и признаков операции (ВРО);
- входной мультиплексор операндов (МО);
- индикаторная схема (ИС) со схемой управления (СУ);
- схема обработки экспонент (СОЭ);
- блок постобработки мантиссы (БПО);
- выходной регистр результата (ВРР).

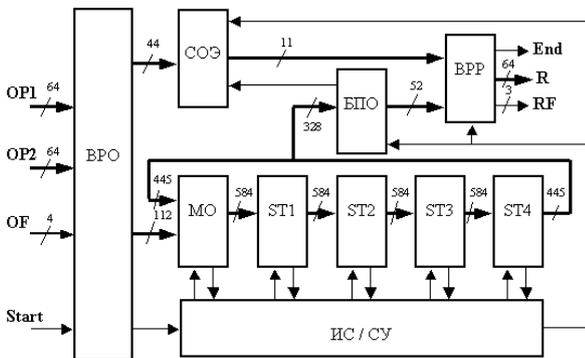


Рис. 2. Структурная схема вычислителя

Данный вычислитель предназначен для работы с синхронным окружением. Поэтому размерности входных операндов (OP1 и OP2) и результата (R), показанные на рис.2, соответствуют максимальной длине чисел двойной точности в стандарте IEEE 754 [4]. Размерности же внутренних шин учитывают тот факт, что традиционная СС-реализация предполагает использование парного (парафазного) представления для информационных сигналов [1]. Это позволяет кодировать два рабочих и одно спейсерное состояние для каждого информационного сигнала. При этом спейсер может быть нулевым (00) или единичным (11), а рабочие состояния (01) и (10) кодируют, соответственно, низкий и высокий уровень информационного сигнала. В данной реализации вычислителя используется нулевой спейсер для всех внутренних шинных сигналов.

Схема вычислителя работает следующим образом. Обрабатываемые операнды OP1 и OP2 (для операции извлечения квадратного корня только OP1) и признаки операции OF (одинарная или двойная точность, тип операции, тип округления результата) записываются во входной регистр ВРО синхронно по сигналу

Start. Экспоненты операндов обрабатываются в блоке СОЭ. На значение результирующей экспоненты может повлиять и мантисса результата, так как стандарт IEEE 754 использует нормализованное представление для всех чисел, в котором мантисса характеризует только дробную часть числа, а обязательная целая единица присутствует неявно. Поэтому, если результат обработки мантисс при делении оказывается меньше единицы, мантисса сдвигается в сторону старших разрядов, а экспонента уменьшается на единицу.

Знаковый разряд обрабатывается в схеме управления, после чего передается в выходной регистр ВРР и в блок постобработки БПО. На вычисление экспоненты результата операции он не оказывает влияния. Но при округлении к минус или плюс бесконечности его нужно учитывать.

Мантиссы обрабатываются в кольце, включающем четыре однотипные стадии и входной мультиплексор, необходимый для выполнения:

- ввода в кольцо исходных значений обрабатываемых операндов;
- начального обнуления промежуточных операндов;
- замыкания кольца.

За один цикл в кольце вычисляются четыре бита мантиссы результата. Максимальный размер мантиссы исходного операнда – 52 бита. В процессе вычисления формируется мантисса результата, состоящая из 56 битов; четыре младших бита мантиссы результата используются для округления и возможной нормализации. Таким образом, для вычисления мантиссы числа с двойной точностью требуется 14 циклов работы кольца. Для чисел с одинарной точностью достаточно 7 циклов, так как длина мантиссы в этом случае равна 23, и для получения правильного результата достаточно пяти дополнительных битов.

По окончании всех циклов мантисса и остаток передаются в блок постобработки для:

- вычисления окончательного остатка на основе его избыточного представления;
- округления мантиссы по четырем младшим битам;
- нормализации результата (при необходимости).

Сформированные мантисса и экспонента результата вместе с флагами результата RF фиксируются в выходном регистре ВРР. Синхронное окружение оповещается о готовности результата установкой флага End=1.

Особенностью данного проекта является отказ от использования промежуточных регистров внутри вычислителя. Это оказалось возможным благодаря применению псевдодинамических элементов и элементов с памятью на слабых инверторах. Пример псевдодинамического элемента, реализующего функцию мультиплексора 2:1, приведен на рис.3. Он имеет парафазные информационные входы {A, AB}, {B, BB}, инфазные сигналы выборки EA, EB, инфазный управляю-

щий сигнал E и парафазный выход $\{Y, YB\}$. Переход в спейсер обеспечивается подачей входного управляющего сигнала $E=0$. В этом случае N-часть схемы отключается от выходов, и последние переключаются в состояние $Y=YB=0$. За счет использования слабых транзисторов $WT0$ и $WT1$ выходы могут неограниченно долго поддерживать спейсерное состояние после перевода управляющего сигнала в состояние $E=1$, до тех пор, пока на информационные входы и на входы выборки не придет рабочая комбинация.

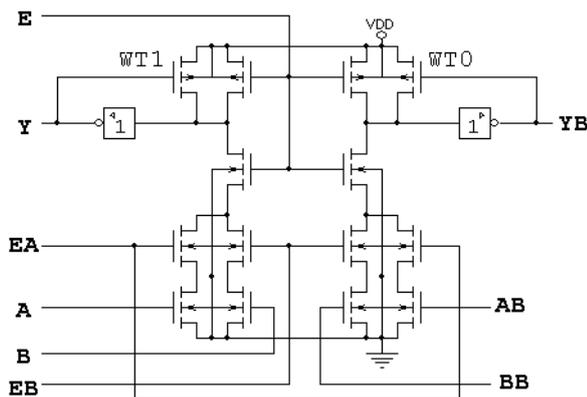


Рис. 3. Псевдинамический мультиплексор 2:1

Хранение рабочего состояния на выходах не поддерживается, но оно соответствует нулевому потенциалу на входах инверторов, формирующих выходы мультиплексора, и за счет паразитных емкостей может храниться достаточно долго, поскольку утечка заряда в данном случае не страшна. Кроме того, работа схемы организована таким образом, что управляющий вход переключается в рабочее состояние $E=1$ незадолго до формирования рабочей комбинации на прочих входах.

В наиболее важных устройствах схемы (блоках БНР, МС и МП на рис. 1, мультиплексоре блока ВЧР, входном мультиплексоре МО на рис. 2), формирующих информационные сигналы, которыми обмениваются между собой стадии вычислителя, и на чьих выходах рабочее состояние должно сохраняться произвольное время, используются элементы с памятью на слабых инверторах. Пример такого элемента, реализующего мультиплексор 3:1, показан на рис. 4. Он также имеет парафазные информационные входы $\{A, AB\}$, $\{B, BB\}$, $\{C, CB\}$, парафазный выход $\{Y, YB\}$, инфазные сигналы выборки EA, EB, EC и управляющий сигнал E . Слабые инверторы $D0$ и $D1$ обеспечивают надежное хранение на выходах $\{Y, YB\}$ не только спейсерного, но и рабочих состояний.

Введение сигнала E и минимальное количество последовательно соединенных транзисторов в схемах элементов на рис. 3 и 4 ускоряет их переключение в спейсер, повышая тем самым быстродействие всего вычислителя. Электрическое моделирование показывает, что средняя задержка переключения из спейсера в рабочую фазу и обратно у такого элемента меньше,

чем у его аналога, реализованного стандартной КМОП схемой без слабых инверторов.

СС-взаимодействие между соседними стадиями реализовано в полном соответствии с принципами построения СС-схем и с учетом особенностей работы

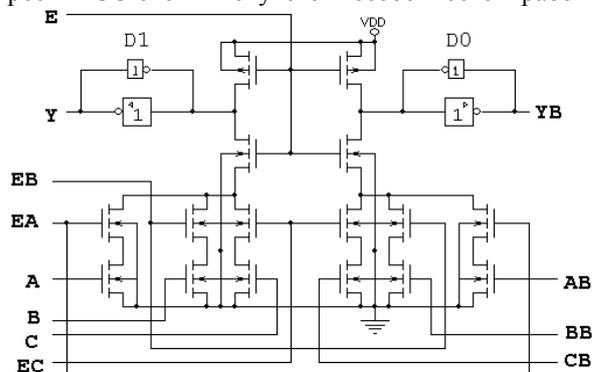


Рис. 4. Мультиплексор 3:1 с памятью

применяемых элементов с памятью. При этом входной мультиплексор также включен в самосинхронный конвейер. На рис. 5 показана схема взаимодействия трех соседних стадий в конвейере, реализуемая схемой индикации и управления (блок ИС/СУ на рис. 2). Связующим элементом является гистерезисный триггер (Г-триггер [1]). Управляющий сигнал E для каждой стадии формируется Г-триггером на основе индикаторного выхода I последующей стадии и управляющего сигнала предшествующей стадии. В результате обеспечивается строгая последовательность переключения соседних стадий, несмотря на то, что индикаторный выход стадии учитывается только в Г-триггере предыдущей стадии.

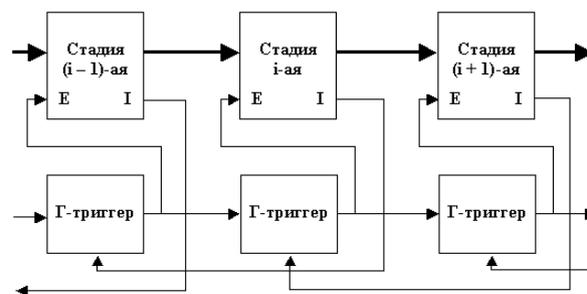


Рис. 5. Организация взаимодействия между стадиями

Текущая стадия не может перейти в рабочую фазу или в спейсер, пока следующая стадия находится в аналогичной фазе. Этого не дает сделать индикаторный выход I следующей стадии, фиксирующий окончание ее переключения в соответствующую фазу работы. Тем самым обеспечивается безошибочность обмена данными между стадиями: пока новые данные не будут восприняты и зафиксированы следующей стадией, текущая стадия не перейдет в спейсер. По отношению к предыдущей стадии такой строгой последовательности не требуется. Текущая стадия может начать переход в рабочую фазу одновременно с

предшествующей, поскольку завершить этот переход она сможет не раньше, чем на выходах предыдущей стадии появится новое рабочее состояние. Значит, последовательность переключения стадий будет соблюдена.

Из-за существенных ограничений по площади топологической реализации (со стороны заказчика) было принято решение ограничиться частичной реализацией принципа самосинхронности в вычислителе. Однако использованные принципы взаимодействия блоков вычислителя и псевдодинамические элементы позволили обеспечить строгую последовательность переключения ступеней конвейера.

Окончание циклов вычисления фиксируется схемой управления, после чего результат с выходов последней стадии подается в блок постобработки.

III. ПРАКТИЧЕСКАЯ РЕАЛИЗАЦИЯ ВЫЧИСЛИТЕЛЯ

Разработка вычислителя состояла в последовательном выполнении стадий традиционного нисходящего маршрута проектирования БИС на основе библиотеки стандартных элементов фирмы Artisan [5]. Однако для реализации элементов с памятью и псевдодинамических элементов готовых решений в составе библиотеки не оказалось. Поэтому маршрут проектирования включал в себя следующие стадии:

- разработку и отладку алгоритма работы вычислителя в соответствии со стандартом IEEE 754;
- функционально-логическое проектирование вычислителя, определение набора необходимых дополнительных библиотечных элементов;
- разработку схемотехнических и топологических представлений новых библиотечных элементов;
- характеризацию новых библиотечных элементов и составление их логических моделей на языке Verilog;
- логическое моделирование вычислителя и верификацию его функционирования на всех режимах работы на статистически полном наборе примеров, с использованием системы Modelsim;;
- разработку топологии вычислителя;
- верификацию топологического проекта;
- электрическое моделирование вычислителя с учетом извлеченных из топологии паразитных емкостей и резисторов с помощью программы Ultrasim;
- подготовку исходных данных для изготовления и разбровки вычислителя.

Отладка алгоритма работы вычислителя проводилась с использованием тестовой программы, разработанной в Институте системного программирования РАН. Эта программа позволяет проверить работу алгоритма на произвольных сочетаниях обрабатываемых операндов, в сложных случаях округления и при прочих особенностях реализации стандарта IEEE 754.

Для реализации делителя использовалась библиотека стандартных элементов фирмы Artisan. Дополни-

тельно потребовалось 27 элементов – псевдодинамических и с памятью. Они реализованы топологически в стиле стандартных библиотечных элементов. Для включения новых элементов в систему логического моделирования была проведена их характеризация.

Характеризация необходима для извлечения временных и энергетических параметров элементов – характеристик, которые используются системами логического моделирования. В рамках данной работы характеризация проводилась только по задержкам в зависимости от напряжения питания $U_{\text{пит}}$ и температуры T : при трех условиях функционирования: типовых ($U_{\text{пит}}=1.8$ В, $T=25^{\circ}\text{C}$), наихудших ($U_{\text{пит}}=1.62$ В, $T=125^{\circ}\text{C}$) и наилучших ($U_{\text{пит}}=1.98$ В, $T=-60^{\circ}\text{C}$).

Характеризация элементов осуществлялась с помощью программы SignalStorm, обеспечивающей автоматическую характеризацию с погрешность получаемых параметров не более 5%, что является приемлемым для наших целей. Часть элементов была характеризована в автоматическом режиме. Другую часть по различным причинам не удалось автоматически характеризовать. Основные причины этого:

- не проходит этап построения векторов с сообщением “illegal net” или “loop node”;
 - не проходит этап электрического моделирования;
 - этап выдачи результата завершается аварийно сообщением “can’t write output function”, иногда дополняемым сообщением “function too complicated”;
 - этап выдачи результата проходит, однако функциональное описание элемента в alf-файле не появляется, либо имеет непонятный вид;
 - этап выдачи результата заканчивается успешно, но команда получения модели элемента в виде Verilog-файла выдает сообщение “segmentation violation”;
 - команда получения Verilog-модели элемента обрабатывается успешно, однако функциональное описание элемента оказывается неправильным – отсутствует название выходного контакта в описании отдельных функций, либо указаны непонятные имена контактов, либо просто явно неверное описание;
- Эти проблемы почти для всех элементов удалось решить при помощи:
- построения gate-файла, задающего в явном виде структуру принципиальной схемы элемента;
 - использования команды db_diff, детализирующей описание выводов элемента;
 - составление функционального описания элемента в alf-файле вручную;
 - ручной правки Verilog-модели.

Однако характеризацию некоторых элементов пришлось все-таки провести вручную при помощи программы электрического моделирования SPECTRE.

Для верификации работы системы автоматической характеризации SignalStorm была проведена ручная характеризация некоторых простых элементов, успешно прошедших автоматическую характеризацию. Полученные обоими способами результаты оказались

фактически идентичными.

Следует отметить, что при ручной характеристике можно более точно описать условия переключения для сложных элементов, поскольку задержка переключения сигнала зависит иногда от состояния всех входов элемента, а не только изменяемого и, даже при одном и том же состоянии входов, от состояния внутренних элементов. В то же время только в рамках автоматической характеристики проще получить задержки типа setup и hold (предустановки) и зависимости.

На основе результатов характеристики были построены модели элементов, использованные при отладке аппаратной модели алгоритма делителя. Сравнительный анализ показал, что полученные таким образом модели оказались достаточно близкими по параметрам к реальным схемам. Разница в задержках между логическим моделированием (Modelsim), учитывающем параметры, полученные при характеристике, и электрическим моделированием (Ultrasim) без учета топологии оказалась менее 10%.

Вычислитель был реализован в составе микросхемы спецвычислителя по стандартной 0.18-мкм КМОП-технологии с шестью слоями металлизации. В соответствии с техническим заданием площадь блока делителя не должна была превышать 0.36 мм^2 . В результате тщательного ручного топологического проектирования в САПР CADENCE блок делителя имеет форму прямоугольника площадью 0.35 мм^2 с соотношением сторон 1.4 : 1. Общий вид топологической реализации блока делителя представлен на рис. 6.

Вторичное моделирование – с реальными паразитными емкостями и резисторами, извлеченными из топологии делителя – показало, что паразитные параметры оказывают существенное влияние на временные характеристики устройства. Это объясняется большим количеством сигналов в схеме и, соответственно, плотной трассировкой в топологической реализации делителя. Соседние трассы, идущие параллельно, оказывают сильное взаимное влияние, приводящее к увеличению задержки.

При типовых условиях задержка выполнения операции деления уменьшается до 50.3 нс. Для асинхронных и СС-схем тактовая частота значения не имеет. Поэтому не требуется рассчитывать заранее на наихудший случай. В реальных условиях эксплуатации наихудший случай получается далеко не всегда, поэтому оценка быстродействия СС-схем рассчитывается обычно по типовым условиям эксплуатации.

В данном случае при частоте синхронного окружения 250 МГц время выполнения операции деления с двойной точностью составит примерно 13 тактов синхросигнала. Такой же задержкой обладает и синхронная реализация операции извлечения квадратного корня. Распределение задержки по этапам алгоритма выглядит так: 4.2 нс – запись операндов и режимов операции во входные регистры и подготовка вычис-

лений мантиссы в цикле; 37.1 нс – циклическое вычисление мантиссы (0.66 нс на один бит результата); 9.0 нс – постобработка и запись результата в выходной регистр. Как видно, вычисление мантиссы в цикле выполняется достаточно быстро. Относительно большая задержка получается в блоке постобработки за счет использования 56- и 52-разрядных сумматоров с распространением переноса для вычисления полного остатка и окончательного результата, а также из-за организации строго самосинхронного контроля завершения формирования окончательного результата.

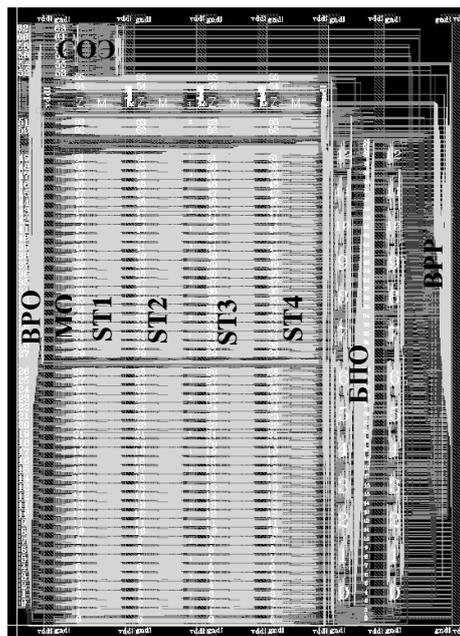


Рис. 6. Топологическая реализация вычислителя

Выбранный вариант совмещенного алгоритма деления и извлечения квадратного корня показывает примерно одинаковое время выполнения обеих операций при минимальных дополнительных аппаратных затратах на реализацию извлечения квадратного корня.

В таблице приведены усредненные данные по временам выполнения операций деления и извлечения квадратного корня по результатам моделирования ограниченного случайного набора операндов и режимов округления. Тем не менее, в этот набор попали все сложные случаи округления в соответствии с требованиями стандарта IEEE 754.

В строках 1–3 таблицы приведены результаты моделирования начального варианта вычислителя, разработанного путем формального применения методологии проектирования самосинхронных схем. В остальных строках показаны результаты моделирования оптимизированного по быстродействию варианта вычислителя, полученного из начального варианта с помощью упрочнения драйверов сильно нагруженных цепей и модификации управления конвейером.

Таблица

Время выполнения операций

№ п/п	Условия моделирования на Ultrasim (U _{пит} , T ⁰ C)	Деление (DIV), нс		Извлечение квадратного корня (SQRT), нс	
		точность вычислений			
		одинарная	двойная	одинарная	двойная
1	Лучшие по ТЗ (1,98 В, - 60 ⁰ C)	26.6 ¹⁾	44.4 ¹⁾	25.8 ¹⁾	44.2 ¹⁾
2	Типовые по ТЗ (1.8 В, 25 ⁰ C)	32.8 ¹⁾	50.3 ¹⁾	30.8 ¹⁾	52.5 ¹⁾
3	Худшие по ТЗ (1.62 В, +125 ⁰ C)	48.3 ¹⁾	81.0 ¹⁾	46.8 ¹⁾	80.5 ¹⁾
4	Лучшие по ТЗ (1,98 В, - 60 ⁰ C)	23.4 ²⁾	37.8 ²⁾	23.2 ²⁾	37.2 ²⁾
5	Типовые по ТЗ (1.8 В, 25 ⁰ C)	29.4 ²⁾	44.7 ²⁾	28.1 ²⁾	45.5 ²⁾
6	Худшие по ТЗ (1.62 В, +125 ⁰ C)	42.0 ²⁾	68.2 ²⁾	42.0 ²⁾	68.0 ²⁾
7	0.9 В, +125 ⁰ C	-	219 ²⁾	-	-
8	0.8 В, +125 ⁰ C	-	300 ²⁾	-	-
9	0.7 В, +125 ⁰ C	-	480 ²⁾	-	-
10	0.6 В, +125 ⁰ C	-	858 ²⁾	-	-
11	0.5 В, +125 ⁰ C	1293 ²⁾	2100 ²⁾	-	-
12	0.4 В, +125 ⁰ C	4656 ²⁾	-	-	-
13	0.35 В, +125 ⁰ C	12920 ²⁾	-	-	-
14	0.32 В, +125 ⁰ C	15760 ²⁾	-	-	-

¹⁾ параметры начального варианта вычислителя

²⁾ параметры оптимизированного вычислителя

Данные в таблице подтверждают, что времена выполнения вычислителем обеих операций практически совпадают и для типового режима эксплуатации имеют порядок 50 нс. Для более объективного сравнения синхронной и СС-реализаций вычислителя по быстродействию необходимо руководствоваться понятием его реального быстродействия; соответствующего фактическим задержкам его элементов, определяемым реальными условиями работы (температуры, питающего напряжения и т.д.). Из таблицы видно, что быстродействие вычислителя по условиям, заданным в ТЗ изменяется в широких пределах: лучшее и худшее времена исполнения отличаются почти в два раза.

Вычислитель, как и любое СС-устройство, характеризуется устойчивой работоспособностью при пониженном питающем напряжении, например, при падении напряжения батареи за допустимые нормы (см. строки 7 – 14 таблицы). Для тех приложений, где определяющим фактором является сохранение работоспособности даже за счет существенного падения быстродействия устройства, применение СС-аппаратуры является актуальным.

Несмотря на то, что реализация данного вычислителя является примером квазисамосинхронного исполнения, основной вычислительный тракт практически отвечает требованиям самосинхронности и харак-

теризуется бестестовой самопроверяемостью относительно константных неисправностей. Это свойство, наряду с другими, присущими СС-реализациям, предопределяют высокую эффективность создания надёжных изделий, в том числе и отказоустойчивых.

ЗАКЛЮЧЕНИЕ

Разработка квазисамосинхронного вычислительного устройства, совмещающего в себе деление и вычисление квадратного корня, показала следующее.

- Использование методологии проектирования СС-схем позволяет получить жизнеспособное эффективное решение даже для такого в значительной степени комбинационного устройства, как делитель, хотя традиционно комбинационные схемы наименее "удобны" для реализации в СС-базисе.

- Применение парафазной дисциплины для информационных сигналов автоматически увеличивает плотность трассировки СС-схемы, что негативно сказывается на временных характеристиках устройства в гораздо большей степени, чем для обычных синхронных реализаций.

- Блоки пред- и постобработки вносят существенный вклад в общую задержку выполнения операции деления и извлечения квадратного корня (до 20 %), и в этом заключается значительный резерв повышения быстродействия устройства.

- "Узким местом" многоразрядных СС-схем являются сигналы управления, общие для всех разрядов; они имеют самую большую нагрузку и в КМОП технологии должны формироваться мощными устройствами-усилителями для сокращения вносимых ими задержек.

- Моделирование показывает, что вычислитель имеет быстродействие на уровне лучших синхронных аналогов.

ЛИТЕРАТУРА

- [1] Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В.И. Варшавского. - М.: Наука, 1986. - 400 с.
- [2] Varshavsky V., Kishinevsky M., Marakhovsky V. et al. Self-timed Control of Concurrent Processes, Ed. by V.Varshavsky. - Kluwer Academic Publishers, 1990. – 245 p.
- [3] Ю.Г. Дьяченко, Ю.А. Степченко, С.Б. Бобков. Квазисамосинхронный вычислитель: методологические и алгоритмические аспекты / В настоящем сборнике трудов.
- [4] IEEE Standard for Binary Floating-Point Arithmetic / IEEE Std. 754. - New York ANSI—1985, Aug.
- [5] Chartered Semiconductor 0.18µm IB Process 1.8-Volt SAGE-XTM. Standard Cell Library Databook / Artisan Components. - February 2003. - Release 1.0.