

Самосинхронный вычислитель для высоконадежных применений

Ю.А. Степченков, Ю.Г. Дьяченко, Ю.В. Рождественский, Н.В. Морозов, Д.Ю. Степченков
Учреждение Российской академии наук Институт проблем информатики РАН (ИПИ РАН),
{YStepchenkov, YDiachenko, YRogdest, NMorozov, DStepchenkov}@ipiran.ru

Аннотация — Представлены результаты разработки полностью самосинхронного вычислительного блока (в дальнейшем – вычислителя), выполняющего функции деления и извлечения квадратного корня в соответствии со стандартом IEEE 754. Оптимизированная индикаторная подсхема гарантирует стопроцентный контроль окончания переключений всех элементов схемы на каждой фазе работы. Достоверность самосинхронности обеспечивается иерархическим анализом.

Ключевые слова — Самосинхронные схемы; самопроверяемость; вычислитель; иерархический анализ.

I. ВВЕДЕНИЕ

Все практические реализации сложных цифровых устройств [1]-[3], представляемых как самосинхронные (СС), на самом деле являются квазисамосинхронными. Они обеспечивают СС-режим работы схемы при соблюдении некоторых "практически выполняющихся" условий, например, равенства задержек переключения одинаковых функциональных элементов, находящихся в одинаковом окружении источников их входных сигналов и элементов нагрузки, но в разных местах на кристалле БИС. Однако в реальных условиях эксплуатации микросхемы существует отличная от нуля вероятность появления каких-либо дефектов или локального разогрева БИС. Различие же задержек в определенной ситуации может привести к критическому отказу квазисамосинхронной схемы.

В отличие от квазисамосинхронных устройств, самосинхронные схемы (СС-схемы) нечувствительны к любым различиям в параметрах однотипных элементов. Реальное быстродействие СС-схем зависит от быстродействия составляющих ее элементов, но при любых соотношениях задержек элементов СС-схема остается работоспособной. Она может работать существенно медленнее при ухудшении условий функционирования (увеличении температуры, понижении напряжения питания, изменения пороговых напряжений транзисторов), но по-прежнему будет правильно выполнять заложенный в нее алгоритм вплоть до достижения порога физической работоспособности активных элементов – транзисторов.

Реализация такого свойства требует дополнительных аппаратных затрат, но при современном уровне развития технологии изготовления БИС увеличение количества транзисторов оказывается не столь критичным, что делает использование идеологии построения СС-устройств практически рентабельным и целесообразным.

Следствиями независимости поведения схем от задержек элементов являются их следующие свойства [4]:

- устойчивая работа без сбоев в любых условиях эксплуатации, что обеспечивает максимально возможную область эксплуатации, определяемую только физическим сохранением переключаемых свойств элементов базиса реализации;
- естественная устойчивость к параметрической деградации, вызываемой старением элементов и изменением их параметров;
- прекращение всех переключений в момент появления любой константной неисправности элементов, естественная стопроцентная самопроверяемость и самодиагностируемость по отношению к множественным константным неисправностям.

Перечисленные свойства СС-схем определяют высокую эффективность создания на их базе надежных изделий, в том числе и отказоустойчивых. Методология проектирования СС-схем успешно разрабатывается в Институте проблем информатики РАН (ИПИ РАН) [5]-[7] и в скором времени станет доступной широкому кругу разработчиков цифровых БИС.

Однако разработка сложных устройств цифровой обработки данных, которые можно было бы в полной мере считать действительно самосинхронными (независящими от задержек составляющих элементов), наталкивается на значительные трудности, связанные, во-первых, с отсутствием средств автоматизированного проектирования СС-устройств, а во-вторых, с подтверждением соответствия разрабатываемой схемы данной категории устройств.

Настоящий доклад посвящен описанию проекта СС-вычислителя, выполняющего деление и извлечение квадратного корня в соответствии со стандартом IEEE 754 [8], маршрута его проектирования и программных средств, обеспечивших его успешную разработку.

II. АНАЛИЗ НА САМОСИНХРОННОСТЬ

Важнейшей частью процесса проектирования СС-схем является достоверный анализ их на самосинхронность, особенно в отсутствие средств автоматизированного синтеза СС-схем на основе их алгоритмического описания.

Постановка задачи анализа на самосинхронность состоит в проверке и подтверждении того, что при работе схемы любой элемент, который при заданном алгоритме и текущем наборе входных данных был

или мог быть возбужден и должен был переключиться в противоположное состояние, действительно успел это сделать до того, как условие возбуждения данного элемента снимется [9].

Однако строгое решение этой задачи требует проверки сформулированного условия для всех возможных наборов входных и промежуточных данных. Это нетрудно обеспечить для простых логических схем, и программные средства для автоматизации такого анализа в настоящее время существуют – БТРАН и АСИАН [10]. Они гарантируют стопроцентную полноту и достоверность анализа путем фактически полного перебора всех возможных комбинаций входных данных для относительно простых схем.

В Институте проблем информатики (ИПИ) РАН в настоящее время разработана более мощная программа анализа на самосинхронность, не требующая полного просмотра всех наборов входных сигналов схемы – АСПЕКТ [11]. Она способна эффективно анализировать сложные функциональные устройства. В таблице 1 показано время анализа ряда устройств тремя программами на компьютере с двухъядерным процессором Intel Pentium D 3,4 ГГц, ОЗУ 4 Гбайт.

Таблица 1

Время анализа на самосинхронность

№№ пп	Тип устройства	Время анализа, с		
		БТРАН	АСИАН	АСПЕКТ
1	4-разрядный счетчик	0,31	7,0	1,2
2	4-разрядный регистр сдвига	12,64	58,0	1,1
3	4-разрядный последовательно-параллельный порт	2432,0	341,0	10,8
4	4-разрядное микроядро [7]	–	–	1,0
5	64-разрядное АЛУ	–	–	4,7

Но при анализе на самосинхронность сложной схемы, состоящей из нескольких функциональных многоразрядных блоков, возникают проблемы из-за большого количества переменных даже при использовании программы АСПЕКТ.

Решение заключается в иерархическом анализе схемы.

Этап 1. Анализ на самосинхронность отдельных функционально законченных блоков или их фрагментов, для которых может быть обеспечена стопроцентная полнота анализа за приемлемое время с использованием имеющихся программных средств.

Этап 2. Замена проанализированных блоков макроэлементами, имеющими только управляющие входы, в том числе и входы предустановки, статические входы выбора режима работы и индикаторные выходы. Макроэлемент гарантирует сохранение самосинхронности схемы, в которой он используется, для любых наборов своих входных информационных сигналов при соблюдении правильной последовательности и требуе-

мых значений сигналов управления. При этом информационные сигналы выводятся из рассмотрения, что существенно сокращает размерность решаемой задачи.

Этап 3. Анализ на самосинхронность схемы из макроэлементов с добавлением логики управления их взаимодействием.

Повторение этапов 1–3 анализа на все более высоких уровнях иерархии схемы приводит к ее постепенному целенаправленному упрощению и обеспечивает успешный анализ на самосинхронность.

Модель макроэлемента составляется разработчиком схемы на основе алгоритма работы соответствующего блока по следующим правилам:

1) каждый независимый входной парафазный сигнал [5] любой разрядности замещается одним сигналом управления, эквивалентным общему сигналу, индицирующему данный парафазный сигнал;

2) каждый независимый парафазный выход, в том числе и многоразрядный, замещается одним индицирующим его сигналом; если такой сигнал уже есть, парафазный выход просто не учитывается;

3) бифазные сигналы [5] не учитываются;

4) входы синхронной предустановки не учитываются, за исключением тех случаев, когда без них не выполняется инициализация схемы;

5) уравнения модели описывают взаимосвязи между управляющими входами (исходными и введенными вместо парафазных информационных входов), входами предустановки, статическими входами выбора режима и индикаторными выходами (исходными и введенными вместо парафазных информационных выходов).

В результате на структурном уровне фактически анализируются индикаторная подсхема и схема управления блоками, представленными своими макроэлементами.

Достоверность полученных результатов определяется:

1) правомочностью исключения из рассмотрения информационных сигналов на этапе структурного анализа схемы;

2) достоверностью моделей макроэлементов.

Действительно, работа СС-схемы регулируется управляющими и индикаторными сигналами. Индикаторные сигналы формируются внутри функциональных блоков на основе входных информационных и управляющих сигналов. Правильность их формирования при любых комбинациях входных сигналов проверяется и гарантируется предварительным анализом блоков на самосинхронность.

Успешный анализ на самосинхронность функционального блока гарантирует, что поведение самого блока останется самосинхронным при любой комбинации входных информационных сигналов, если обеспечена правильная последовательность подачи управляющих сигналов. Следовательно, можно ограничиться рассмотрением взаимодействия только управляющих и индикаторных сигналов и соответ-

вующей дополнительной подсистемы управления.

Достоверность моделей макроэлементов зависит от способа их получения. При ручной разработке модели есть риск внесения ошибки. При автоматической генерации модели макроэлемента программа гарантирует достоверность результата преобразования полного функционального описания блока в модель макроэлемента на его основе.

Таким образом, иерархический подход к анализу схемы на самосинхронность позволяет принципиально решить задачу подтверждения принадлежности схемы любой сложности к классу СС-схем и обеспечить ее практическую реализуемость. Именно такой подход был использован при проектировании СС-вычислителя, позволив ускорить его разработку.

Однако успешный анализ схемы на самосинхронность не избавляет от необходимости ее функционально-логического моделирования в полном объеме.

III. ФУНКЦИОНАЛЬНАЯ СХЕМА ВЫЧИСЛИТЕЛЯ

Структурная схема вычислителя, подробно рассмотренного в работах [12] и [13], представлена на рис. 1. В ее состав входят следующие основные блоки:

- входной регистр операндов и признаков операции (ВРО), обеспечивающий входной интерфейс вычислителя с внешней синхронной схемой;
- входной мультиплексор операндов (МО), организуемый итерационное выполнение операции;
- четыре однотипные стадии С1–С4, каждая из которых вычисляет один бит результата операции;
- индикаторная схема (ИС) со схемой управления (СУ), обеспечивающие СС-дисциплину обмена данными между блоками вычислителя;
- схема обработки экспонент (СОЭ);
- блок постобработки мантиссы (БПО);
- выходной регистр результата (ВРР), обеспечивающий выходной интерфейс вычислителя с внешней синхронной схемой.

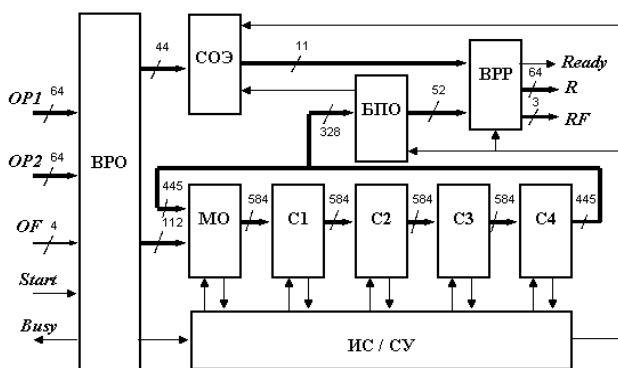


Рис. 1. Структурная схема вычислителя

Поскольку СС-вычислитель предназначен для работы с синхронным окружением, размерности вход-

ных операндов ($OP1$ и $OP2$) и результата (R) соответствуют максимальной длине чисел двойной точности в стандарте IEEE 754 [8]. Размерности же внутренних шин учитывают тот факт, что традиционная СС-реализация предполагает использование парафазного представления информационных сигналов [4], [5].

Наиболее эффективно преимущества СС-устройств проявляются при их конвейерной реализации, причем число ступеней конвейера должно быть не менее трех. Это обусловлено регламентом работы СС-устройств [12]:

- наличием двух фаз работы любого СС-устройства: рабочей (активной) и спейсерной (паузы);
- использованием запрос-ответных отношений между соседними в тракте обработки данных устройствами.

В соответствии с принципами построения СС-схем СС-устройство не может начать переключение в очередную фазу до того, как предшествующее СС-устройство перейдет в аналогичную фазу, а последующее – в противоположную фазу работы. Чем больше ступеней в конвейере, тем меньше непродуктивные затраты времени, когда каждое СС-устройство в общей системе простаивает в ожидании разрешения перехода в следующую фазу работы от соседних устройств.

Конвейер на рис. 1 представляет собой кольцевую структуру с первой ступенью в виде мультиплексора операндов (МО) и остальными – однотипными стадиями. Оценки, приведенные в таблице 2, показывают время вычисления 56-битной мантиссы в зависимости от числа однотипных стадий в конвейере вычислителя. Здесь T – задержка переключения стадии в рабочую фазу, m – отношение задержек переключения стадии в спейсер и в рабочую фазу, k – отношение задержки переключения входного мультиплексора операндов к задержке одной стадии. Три последних столбца показывают величину оценки для статистически значимого набора обрабатываемых операндов для различных значений коэффициентов k и m .

Таблица 2

Оценка быстродействия конвейера

Число стадий	Время выполнения операции			
	k, m	$k=0,5, m=0,4$	$k=0,5, m=0,6$	$k=0,3, m=0,6$
1	$56(k+1)(m+1)T$	$117,6T$	$134,4T$	$116,5T$
2	$28(k+2)(m+1)T$	$98T$	$112T$	$103T$
3	$19(k+3)T$	$66,5T$	$66,5T$	$62,7T$
4	$14(k+4)T$	$63T$	$63T$	$60,2T$
5	$12(k+5)T$	$66T$	$66T$	$63,6T$

Благодаря схемотехническому базису реализации СС-вычислителя, который идентичен базису квазисамосинхронного варианта [13], переключение в спейсер происходит всегда быстрее, чем в рабочую фазу, хотя степень этого различия определяется конструктивно-технологическими параметрами изготовления и

условиями эксплуатации вычислителя. Поэтому при количестве стадий конвейера более двух переключение в спейсер данной стадии успевает закончиться на фоне переключения в рабочую фазу соседних стадий и не оказывает влияния на общее время выполнения операции. В результате время выполнения операции существенно сокращается из-за фактического отсутствия непродуктивного ожидания.

Из таблицы 2 видно, что предпочтительным оказывается вариант с использованием четырех стадий вычислительного конвейера, который и был реализован.

На рис. 2 показана структурная схема одной стадии.

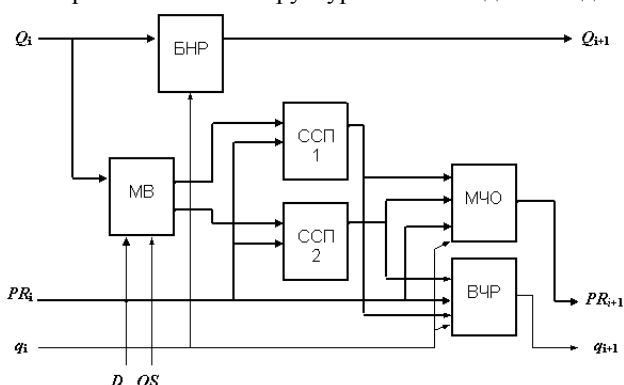


Рис. 2. Структурная схема вычислительной стадии

Она содержит следующие основные блоки:

- накопления результата (БНР) Q ;
- мультиплексора вычитаемого из рекуррентной формулы операции деления или извлечения квадратного корня (МВ) [12];
- сумматоров с сохранением переноса (ССП1, ССП2), формирующих варианты частичного остатка;
- выбора частичного результата (ВЧР) – очередного бита результата выполнения операции q ;
- мультиплексор частичного остатка (МЧО) PR , выбирающий один из вариантов в зависимости от бита результата, вычисленного на предыдущем шаге.

Дополнительные обозначения на рис. 2: D – делитель, OS – признак типа операции.

Блоки в составе каждой стадии конвейера, работают с разными потоками данных. Из схемы стадии видно, что можно выделить два основных потока промежуточных данных:

- текущий накапливаемый результат выполнения операции Q , пополняемый каждой стадией вычислителя одним битом;
- частичный остаток PR .

Задержки обработки данных по этим потокам различны. Два потока сходятся в блоках ССП1 и ССП2. Для обеспечения оптимального быстродействия накапливаемый результат перед этим должен успеть пройти через блок МВ. Поэтому целесообразно разрешить блоку МВ текущей стадии конвейера переход в новую рабочую фазу, не дожидаясь формирования частично-

го остатка на предыдущей стадии вычислителя.

Указанные особенности организации вычислений позволяют оптимизировать запрос-ответное взаимодействие между ступенями конвейера и тем самым повысить быстродействие вычислителя в целом.

IV. ИНДИКАЦИЯ ВЫЧИСЛИТЕЛЯ

Представляемый СС-вычислитель структурно и алгоритмически идентичен квазисамосинхронному вычислителю, описанному в [12]. Отличие его заключается в реализации *стопроцентной индикации* окончания переходных процессов во всех элементах, без которой ни одно устройство не может считаться самосинхронным.

В схеме не должно быть элементов, которые при определенных условиях и наборах промежуточных данных могли бы переключиться из текущего состояния в противоположное, но не успели этого сделать по каким-либо причинам. При этом неважно, что несостоявшееся переключение никак не сказалось бы на результате обработки данных. Иницированное, но не завершившееся переключение элемента может сказаться на работе устройства в дальнейшем, привести к рассогласованию фаз работы его отдельных частей и, в конечном итоге, к ошибке в вычислениях.

Принципы индикации комбинационных и триггерных устройств достаточно хорошо исследованы и проработаны [9]. Они обеспечивают фиксацию окончания переключений всех элементов в составе устройства при его переходе в очередную фазу работы.

В итоге каждое СС-устройство, помимо собственно функциональной части, имеет и индикаторную подструктуру, реализованную как на комбинационных элементах, "опрашивающих" парафазные и бифазные сигналы и формирующих индикаторные сигналы, так и на гистерезисных триггерах (Г-триггерах или С-элементах), объединяющих частичные индикаторные сигналы в общий индикаторный выход устройства.

Каждый блок в составе одной стадии представляет собой 56-разрядную схему, построенную на комбинационных элементах и мультиплексорах с памятью на слабых КМОП транзисторах [13], в которых отношение ширины канала к его длине меньше единицы. В частном случае индикация такого рода устройств при их последовательном включении возможна без использования сборки всех поразрядных индикаторных сигналов в один индикаторный выход стадии. Но при замыкании такой последовательности в кольцо для реализации рекурсивной обработки данных, как в данном случае, возникают проблемы согласования фаз работы ступеней конвейера из-за разности в задержках потоков преобразования данных. Поэтому мы использовали подструктуру индикации со сборкой всех поразрядных индикаторных сигналов в один общий сигнал I для каждого блока стадии конвейера.

Наличие двух потоков промежуточных данных в вычислительном тракте позволяет "расщепить" индикаторную схему каждой стадии и использовать в общей индикаторной подсхеме СС-вычислителя несколько независимых индикаторных выходов от каждой стадии вместо одного. Такой подход ускоряет запрос-ответное взаимодействие между соседними ступенями конвейера. Он учитывает взаимосвязи между составными частями ступеней конвейера вместо взаимосвязи ступеней как таковых. Устраняется "узкое горло" в общей подсхеме индикации, когда индикаторный выход ступени конвейера объединяет в себе информацию о состоянии всех блоков и элементов в составе стадии вычислителя без учета их внутренней функциональной зависимости. В результате пятистадийный последовательный конвейер превращается в параллельно-последовательный, что повышает его быстродействие.

Общая идеология организации запрос-ответного взаимодействия осталась такой же, как и в квазисамосинхронном вычислителе [12], но одиночные Г-триггеры, формирующие сигналы управления стадий конвейера, заменяются индикаторной подсхемой, учитывающей соподчиненность этапов обработки данных и блоков в составе соседних ступеней вычислительного конвейера. Это показано на рис. 3 на примере трех соседних стадий конвейера.

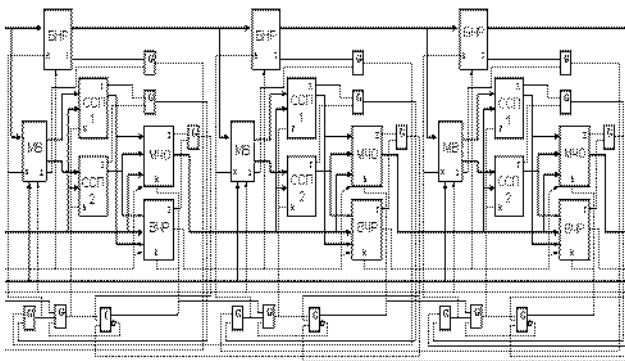


Рис. 3. Индикация конвейера

Здесь символы *E* и *I* внутри блоков стадий обозначают вход управления, регулирующий переход блока из текущей фазы работы в противоположную, и индикаторный выход блока.

Из рис. 3 видно, что индикаторные сигналы, формируемые блоками БНР и МВ текущей стадии, образуют индикаторный сигнал, разрешающий блокам БНР и МВ предыдущей стадии переключаться в очередную фазу работы, ускоряя тем самым взаимодействие стадий. Это повышает быстродействие СС-вычислителя на 10-15%.

Индикаторная подсхема обеспечивает также четкую последовательность операций, выполняемых СС-вычислителем. После завершения текущей операции следующая операция может начаться не раньше, чем вычислитель подготовит свое внутреннее состояние к

приему и обработке новых операндов. До тех пор, пока стадии конвейера вычислителя и прочие блоки не перейдут в начальное состояние, входной регистр операндов не станет записывать новые операнды, подаваемые на вход вычислителя. Тем самым гарантируется СС-режим работы всего вычислителя.

Ввод в схему вычислителя индикаторной подсхемы, обеспечивающей ему статус СС-устройства, вливается в увеличение не только аппаратных затрат в 1,3 раза по сравнению с квазисамосинхронным вариантом вычислителя [12], но и времени выполнения операций деления и извлечения квадратного корня в 1,3–1,4 раза. Это неизбежная плата за получение устройства со свойствами действительно СС-схем. Получающаяся при этом схема обладает более широким диапазоном работоспособности и становится более надежной. Она обладает гарантированной работоспособностью при любых соотношениях параметров активных элементов – транзисторов – и при любых условиях эксплуатации, вплоть до граничных, при которых транзисторные схемы теряют переключаемые свойства. Реализованный по стандартной 0,18-мкм КМОП-технологии с шестью слоями металлизации [14] с номинальным напряжением питания 1,8 В, СС-вычислитель работает вплоть до напряжения питания 0,32 В, в то время как квазисамосинхронный аналог перестает работать уже при 0,6 В при некоторых соотношениях параметров транзисторов.

Кроме того, СС-вычислитель обладает стопроцентным покрытием константных неисправностей – "залипаний" сигнала в одном состоянии. Он блокирует вычисления при появлении любой константной неисправности за счет индикации всех элементов схемы. Квазисамосинхронный вариант вычислителя покрывает существенно меньший процент константных неисправностей. Таким образом, СС-вычислитель характеризуется большей отказобезопасностью: на его выходе никогда не появится испорченный из-за константной неисправности результат.

На рис. 4 показана топология СС-вычислителя, спроектированная по КМОП-технологии [14]. По сравнению с топологией квазисамосинхронного вычислителя занимаемая площадь увеличилась в 1,4 раза. Индикаторная подсхема не может быть столь же плотно упакованной, как в значительной степени регулярный вычислительный тракт. Причиной тому – пирамидальная структура индикаторной схемы и большое число разрядов схемы вычислителя.

Интерфейс СС-вычислителя с синхронным окружением обеспечивается блоками ВРО и ВРР на рис. 1. Блок ВРО индицирует момент окончания записи входных операндов во внутренние регистры и выдает сигнал занятости $Busy=1$. Этот сигнал служит синхронному окружению признаком того, что можно снимать входные операнды с соответствующих шин и

переключаться на наблюдение за сигналом готовности результата операции *Ready*. Сигнал *Ready*=1 формируется блоком ВРР по окончании вычисления результата операции. Одновременно СС-вычислитель сбрасывает сигнал занятости *Busy*=0. Синхронное окружение по сигналу готовности считывает результат из СС-вычислителя и готовит новые данные для него. Появление новых данных на входе СС-вычислителя, сопровождающихся сигналом *Start*=1, запускает выполнение новой операции и служит основанием для сброса сигнала готовности *Ready*=1.

В настоящее время схема СС-вычислителя находится на этапе изготовления в составе тестовой БИС. Тестовые модули, введенные в ее состав, позволяют оценить ее быстродействие, энергопотребление и работоспособность при разных условиях эксплуатации.

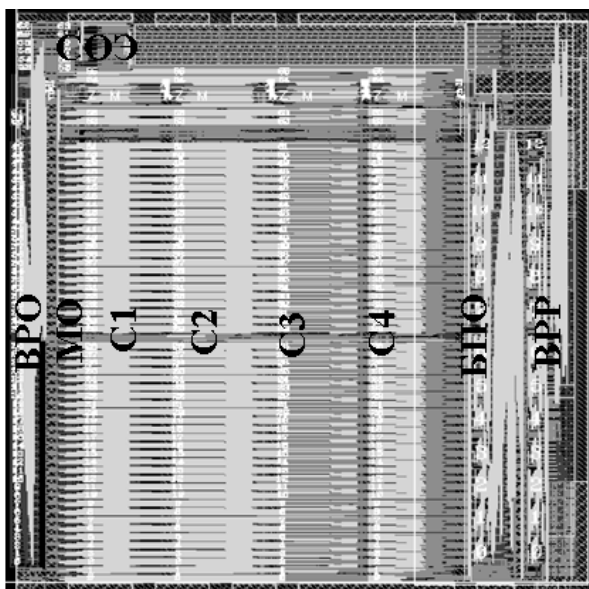


Рис. 4. Топология СС-вычислителя

V. ЗАКЛЮЧЕНИЕ

Реализация вычислителя, выполняющего деление и извлечение квадратного корня в соответствии со стандартом IEEE 754, в виде СС-устройства обеспечивает его устойчивую работу при любых допустимых условиях эксплуатации за счет увеличения площади топологической реализации в 1,4 раза по сравнению с квазисамосинхронным вариантом.

Безошибочное проектирование СС-схем невозможно без использования программ анализа устройства на самосинхронность. Достоверный анализ на самосинхронность сложных устройств цифровой обработки данных с многоразрядной архитектурой обеспечивается разработанными в ИПИ РАН программными средствами и предложенным иерархическим подходом.

Учет взаимосвязи блоков соседних стадий кольцевого конвейера СС-вычислителя и двухпоточного

тракта обработки данных при построении индикаторной схемы позволил повысить быстродействие вычислителя на 15%.

ЛИТЕРАТУРА

- [1] S.B. Furber, J.D. Garside, D.A. Gilbert - AMULET3: A High-Performance Self-Timed ARM Microprocessor // Proceedings ICCD'98 (October 5-7). URL: <http://intranet.cs.man.ac.uk/apt/publications/papers/ICCD98.php> (дата обр.: 25.01.10).
- [2] P. Balasubramanian, D.A. Edwards Hetero-geneously encoded dual-bit self-timed adder // Proc. 5th International Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), Cork, Ireland, July 12-17, 2009. - P. 120–123.
- [3] G. Matsubara, N. Ide, H. Tago, S. Suzuki and N. Goto. 30-m 55-b Shared Radix 2 Division and Square Root Using a Self-Timed Circuit // In Proceedings of the 12th Symposium on Computer Arithmetic (ARITH '95), 1995. - P. 98–105.
- [4] Степченков Ю.А., Дьяченко Ю.Г., Петрухин В.С., Плеханов Л.П. Самосинхронные схемы — ключ к построению эффективной и надежной аппаратуры долговременного действия // Системы высокой доступности, 2007, т. 3, № 1-2. - С. 73–88.
- [5] Л.П. Плеханов. Принципы построения и работы строго самосинхронных электронных схем // Системы и средства информатики. Спец. выпуск. - М.: Наука, 2004. - С. 57–65.
- [6] Степченков Ю.А., Дьяченко Ю.Г., Петрухин В.С. Самосинхронные последовательностные схемы: опыт разработки и рекомендации по проектированию // В сб. "Системы и средства информатики". М.: Наука, 2007. вып. 17. - С. 503–529.
- [7] Степченков Ю.А., Дьяченко Ю.Г., Петрухин В.С. Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле // Нано- и микросистемная техника. 2006, № 5. - С. 29–36.
- [8] IEEE Standard for Binary Floating-Point Arithmetic / IEEE Std. 754. URL: <http://grouper.ieee.org/groups/754>.
- [9] Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В.И. Варшавского. М.: Наука, 1986. - 400 с.
- [10] Ю.В. Рождественский, Н.В. Морозов, Ю.А. Степченков, А.В. Рождественскене. Универсальная подсистема анализа самосинхронных схем // Ежегодник трудов ИПИ РАН "Системы и средства информатики". М.: Наука, 2006. вып. 16. - С. 463–475.
- [11] Рождественский Ю.В., Рождественскене А.В. Новый подход к анализу параллельных процессов в самосинхронных схемах // Ежегодник трудов ИПИ РАН "Системы и средства информатики". М.: Наука, 2001. вып. 11. - С. 321–331.
- [12] Степченков Ю.А., Дьяченко Ю.Г., Бобков С.Г. Квазисамосинхронный вычислитель: методологические и алгоритмические аспекты // Проблемы разработки перспективных микро- и наноэлектронных систем – 2008. Сборник научных трудов / под общ. ред. А.Л. Стемпковского. - М.: ИПИ РАН, 2008. - С. 441–446.
- [13] Дьяченко Ю.Г., Рождественский Ю.В., Морозов Н.В., Степченков Д.Ю. Квазисамосинхронный вычислитель: практическая реализация // Проблемы разработки перспективных микро- и наноэлектронных систем – 2008. Сборник научных трудов / под общ. ред. А.Л. Стемпковского. - М.: ИПИ РАН, 2008. - С. 435–440.
- [14] Chartered Semiconductor 0.18µm 1V Process 1.8-Volt SAGE-XTM. Standard Cell Library Databook / Artisan Components, February 2003, Release 1.0.