

Функциональный метод анализа самосинхронных схем любого размера

Л.П. Плеханов

Институт проблем информатики РАН, L.Plekhanov@ipiran.ru

Аннотация — Развитию и внедрению самосинхронных схем, обладающих уникальными свойствами, во многом препятствуют трудности проектирования, в частности, анализ на самосинхронность «больших» схем. В докладе предлагается метод анализа схем неограниченного размера, основанный на функциональном подходе. В литературе подобного подхода не отмечено, и метод здесь приводится впервые.

Ключевые слова — самосинхронные схемы, асинхронные схемы, проектирование схем, анализ самосинхронности.

I. ВВЕДЕНИЕ

Самосинхронные схемы (СС-схемы) обладают уникальными свойствами, недостижимыми в реализации других типов схем, синхронных или асинхронных. К ним относятся независимость поведения от задержек элементов, полное отсутствие состязаний, отказобезопасность, правильность функционирования в максимально широком диапазоне внешних условий (температуры и напряжения питания) и некоторые другие. Эти свойства были обоснованы теоретически в [1]-[3] и подтверждены несколькими экспериментами [4].

Однако СС-схемы пока не получили широкого распространения по ряду причин, в частности, индустриальной инерции. Другой важной причиной является трудность проектирования таких схем. Для обеспечения свойства самосинхронности схемы необходимо тем или иным способом вычислить и проверить на самосинхронность все возможные состояния, в которые попадает схема в реальной работе, а также все возможные переходы между этими состояниями.

Основные существующие методы проектирования СС-схем основаны на представлении поведения схем в форме переключений сигналов – событий. Такие методы далее будут называться *событийными*. Это метод диаграмм переходов (ДП), восходящий к Маллеру [1], и метод диаграмм изменений (ДИ), предложенный группой В.И. Варшавского [5]. Методы поддержаны и программными средствами ФОРСАЖ [6] и АСПЕКТ [7]. Эти методы требуют полной системы уравнений, описывающих все элементы.

Другой подход – функциональный – основан на анализе поведения схем в представлении логическими функциями. Анализ СС-схем в этом подходе предложен в [8], а сам подход более подробно приведён в [9].

Следует отметить, что в силу отмеченной выше объективной необходимости проверки всех состояний и переходов, никакие методы анализа, основанные на исследовании полной системы уравнений схемы (учёта всех её элементов), не позволяют неограниченно наращивать размер схемы. Причина – в экспоненциальной зависимости вычислительной сложности от параметров схемы.

Существующие программы, реализующие упомянутые методы, позволяют анализировать с необходимой полнотой схемы, содержащие до нескольких десятков элементов (уравнений).

Перспектива анализа СС-схем, следовательно, лежит в разработке методов, дающих возможность корректно сокращать исследуемые сущности (события, уравнения и т.д.).

Один из возможных подходов к такому анализу в событийных представлениях по методу ДИ есть в [6]. Однако материал изложен в форме доказательств теорем и не разработан как практический метод.

Как заявлялось в докладе [9], функциональный подход даёт возможность иерархического анализа. Конкретным способом его достижения и посвящён настоящий доклад.

II. МЕТОД АНАЛИЗА

Аналогов предлагаемого (функционального) подхода и метода в литературе не найдено.

Любая СС-схема в конечном применении должна быть замкнутой (с помощью общей обратной связи) и самогенерирующей. Схема поэтому автоматически переходит поочерёдно из одной фазы (стадии) в другую, что требуется для обеспечения самосинхронности [3]. Фазы носят название *рабочей* и *спейсера* (промежуточной).

В событийных методах анализа схемы рассматриваются именно как замкнутые (система уравнений, соответственно, также замкнута).

Однако для целей анализа можно исследовать и разомкнутые схемы [3, с. 118], что реализуется в функциональном подходе. Для этого необходимо обозначить интерфейс схемы – её внешние входы и выходы.

Каждому входному и выходному сигналу должны быть присвоены атрибуты, отражающие их особенности взаимодействия с окружением, специфичные для самосинхронности. Основные атрибуты (не считая вспомогательных, которые для простоты рассматриваться не будут) приведены на рис. 1.

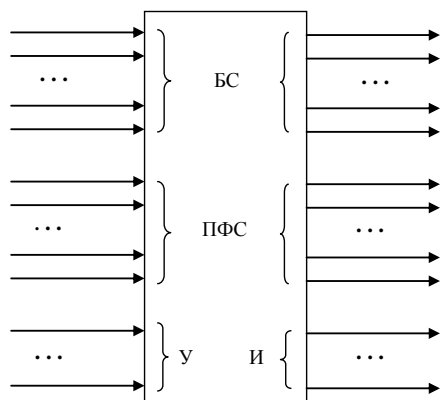


Рис. 1. Типовой интерфейс разомкнутой СС-схемы

На рисунке обозначено:

БС – бистабильные сигналы (пары) – входы и выходы бистабильных ячеек (БСЯ),

ПФС – пары сигналов, закодированные парафазным кодом со спейсером [3],

У и И – соответственно управляющие и индикаторные сигналы (одиночные).

БС и ПФС сигналы несут обрабатываемую информацию и называются *информационными*.

Сигналы ПФС, У и И имеют значения, отличающиеся в разных фазах, и потому называются *фазовыми*. БС-сигналы в разных фазах могут не отличаться.

Расчёты проводятся в общем виде, при всех возможных значениях входных информационных сигналов и переменных памяти схемы. Предположим, в начальной фазе входной сигнал A получает значение a_0 . Если в следующей фазе этот сигнал может меняться, то ему даётся значение a_1 . Таким образом учитываются все четыре ситуации изменения сигнала A : либо он остаётся неизменным, либо меняется в любом направлении. Вместе с учётом переменных памяти данная форма расчётов обеспечивает необходимую полноту анализа [10]. Приведённые

значения информационных входов и переменных памяти остаются постоянными для расчётов в одной фазе, и далее будут называться *параметрами анализа*.

Текущая фаза схемы задаётся входными фазовыми сигналами: момент, когда все фазовые входы установятся в значения одной фазы, считается началом этой фазы для схемы.

Как определено в [3] и более подробно описано в [11], для обеспечения самосинхронности разомкнутой схемы необходимо и достаточно выполнение двух условий в каждой фазе: индицируемости внутренних сигналов на фазовых выходах и отсутствие состязаний на элементах схемы.

Предлагаемый метод состоит из двух частей (этапов): анализа схем нижнего уровня и иерархического анализа. На первом этапе анализ выполняется «обычным» (не иерархическим) образом, то есть по уравнениям всех элементов. Для того, чтобы эффективно пройти анализ с разумными вычислительными затратами, размер анализируемых фрагментов может быть сделан достаточно малым, вплоть до отдельных триггеров и небольших ячеек комбинационных схем. На практике это обычно не вызывает затруднений, так как создание небольших СС-схем уже хорошо отработано.

На более высоких уровнях иерархии для анализа используются не уравнения элементов, а взаимосвязи фрагментов и информация, полученная на предыдущем уровне.

III. АНАЛИЗ СХЕМ НИЖНЕГО УРОВНЯ

В задачу данного этапа входит не только проверка двух основных условий самосинхронности, но и подготовка информации для иерархического анализа.

A. Индицируемость внутренних сигналов

Понятие индицируемости введено В.И. Варшавским в книге [3]. Индицируемость – своего рода чувствительность схемы (её фазовых выходов) к изменениям сигналов.

Индицируемость в функциональном подходе определяется прямым методом отдельно в каждой фазе. Для этого в текущей фазе сначала делается расчёт всех значений сигналов в норме. Затем поочередно выходу каждого элемента придаётся «залипание» (рис. 2) – присваивается его значение в предыдущей фазе – и делается новый расчёт.

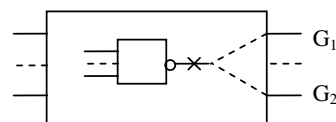


Рис. 2. Индицируемость сигнала: G_1, G_2 – фазовые выходы схемы

Если после нового расчёта значение хотя бы одного фазового выхода схемы отличается от значения в норме, проверяемый сигнал (выход элемента) индицируется, в противном случае – нет.

Аналогично вычисляется индицируемость и внешних сигналов, входных и выходных, на фазовых выходах.

В. Определение состязаний

Существующие способы обнаружения состязаний, основанные на моделировании в расширенных алфавитах (троичном и более), либо не позволяють обобщить их на случай зависимости от параметров анализа, либо не решают задачу до конца (выявляют только «кандидатов» на состязания).

Вместе с тем, СС-схемы имеют свою специфику – самосинхронное кодирование и двухфазный порядок работы. Эти особенности дают возможность применения других способов определения состязаний. Одна из важных особенностей СС-схем – каждый элемент в каждой фазе может переключаться не более одного раза.

В предлагаемом методе используются известные свойства монотонных логических функций. Пусть все аргументы функции меняются из 0 в 1 в любом порядке. Тогда, следуя [3], будем называть функцию *изотонной*, если она либо остаётся неизменной, либо меняется только из 0 в 1, и *антитонной*, если она не меняется или меняется только из 1 в 0.

Важно отметить, что если аргументы монотонной функции изменяются в одном направлении, состязания в ней не возникают при любом порядке изменения аргументов.

Признаком изотонной функции является существование её дизъюнктивная нормальная форма (ДНФ) со всеми вхождениями аргументов без отрицаний, а признаком антитонной – то же со всеми вхождениями с отрицаниями.

Расчёты выполняются отдельно для каждой фазы. Вначале определяются выражения входов схемы и выходов элементов в предыдущей фазе, затем – в текущей. Специальной заменой переменных строятся проверочные функции каждого элемента, свойства которых связаны с наличием состязаний в схеме.

Здесь и далее знак '^' означает отрицание, знак '∨' – операцию ИЛИ, отсутствие знака – операцию И. Обозначим:

G – множество параметров анализа,

$P_k(G)$ – выражение k -го сигнала в предыдущей фазе,

$T_k(G)$ – то же в текущей фазе,

h_k – переменная, меняющаяся из 0 в 1 (*изо-переменная*),

H – множество изо-переменных,

$V_k = P_k(G) \wedge h_k \vee T_k(G) \wedge \bar{h}_k$ – вспомогательная функция сигнала. Вспомогательная функция меняется

от выражения предыдущей фазы к текущей, когда изо-переменная меняется из 0 в 1.

Сделаем новый расчёт схемы в текущей фазе, но вместо истинных выражений сигналов будем подставлять их вспомогательные функции.

Рассмотрим один из элементов схемы. В результате нового расчёта выражение его выхода можно представить в виде $F(G, H)$. Когда все изо-переменные в этом выражении перейдут из 0 в 1, то и выражение перейдёт от предыдущей фазы к текущей.

В зависимости от параметров анализа выход элемента в текущей фазе может либо остаться неизменным, либо измениться из 0 в 1, или из 1 в 0. Начальное и конечное значения определяются выражениями $P(G)$ и $T(G)$.

Для анализа состязаний на элементе сформируем три проверочные функции:

$$F_1 = [P(G) \wedge T(G)] F(G, H),$$

$$F_2 = [P(G) \wedge \bar{T}(G)] F(G, H),$$

$$F_3 = [P(G) \equiv T(G)] [F(G, H) \oplus P(G)].$$

Выражения в левых квадратных скобках обращаются в единицу в следующих случаях: в первой функции – когда выход элемента переходит из 0 в 1, во второй – из 1 в 0, в третьей – если выход не изменяется. В остальных случаях выражения равны нулю.

По проверочным функциям можно сформулировать критерии отсутствия состязаний.

Функция F_1 должна быть изотонной по всем изо-переменным при всех параметрах анализа.

Функция F_2 должна быть антитонной по всем изо-переменным при всех параметрах анализа.

Функция F_3 должна быть равна нулю.

Смысл последнего критерия заключается в том, чтобы обнаружить возможный ложный импульс, когда начальные и конечные выражения совпадают.

Если какой-либо критерий нарушается, параметры анализа, при которых произошло нарушение, дадут необходимую диагностику анализа.

С. Подготовка данных для иерархического анализа

Данный шаг является ключевым для перехода к иерархическому анализу. Необходимо вычислить ряд данных:

1) Значения спейсеров выходных фазовых сигналов (спейсеры входных сигналов должны быть заданы до начала анализа).

2) Списки индицируемости внешних сигналов. Каждому выходному фазовому сигналу сопоставляется список внешних сигналов схемы, которые он индицирует.

3) Для каждой пары БС-сигналов – указание фазы, когда эта пара меняется. В соответствии с двухфазным

режимом работы СС-схем, каждая пара БС-сигналов может меняться только в одной из фаз. Такая фаза называется *транзитной* для пары. Для входных БС-сигналов транзитная фаза – это фаза, когда изменения разрешены по условиям самосинхронности. Для выходных БС-сигналов – это фаза, когда изменения могут происходить фактически.

4) Информация, связанная с дисциплиной (порядком изменений) БС- и фазовых сигналов. Эта информация нужна для определения состязаний во внешней схеме и будет объяснена в разделе IV.

Все вычисленные данные записываются как атрибуты интерфейса с тем, чтобы с верхнего уровня не обращаться к внутреннему описанию схемы.

IV. ИЕРАРХИЧЕСКИЙ АНАЛИЗ

На этом этапе схема имеет такой же интерфейс, как показано на рис. 1, и представляется в виде соединений фрагментов (блоков), ранее уже прошедших анализ. Соответственно для каждого фрагмента известны его интерфейсные атрибуты.

Идея иерархического анализа состоит в том, чтобы используя только взаимосвязи и интерфейсы фрагментов и не обращая к их внутренним описаниям, проверить оба условия самосинхронности.

Кроме того, в задачу этапа, как и ранее, входит подготовка атрибутов интерфейса всей схемы для следующего верхнего уровня иерархии.

A. Предварительная проверка

На данном шаге проводится проверка правильности соединений фрагментов. Требуется, чтобы ПФС-сигналы соединялись с ПФС-сигналами, И-сигналы подключались к У-сигналам, БС-сигналы соединялись с БС-сигналами.

Необходимо также следить, чтобы в цепях соединений БС-сигналов не было никаких элементов – инверторов, повторителей или других, так как заранее установлено, что это приводит к нарушению самосинхронности. Транзитные фазы соединяемых БС-сигналов должны быть согласованы с сопровождающими их И и У сигналами в соответствии с правилом дисциплины, приведённым в п. С этого раздела.

B. Проверка индицируемости

Как и ранее, все внутренние сигналы схемы (здесь – соединения фрагментов) должны индицироваться на фазовых выходах. Используется свойство транзитивности индикации [3]: если сигнал *A* индицируется на сигнале *B*, а *B* индицируется на *C*, то и *A* индицируется на *C*.

Каждому фазовому сигналу, внешнему и внутреннему, сопоставляется список сигналов, которые он индицирует. Изначально в этот список записывается и сам сигнал.

Рассмотрим некоторый фрагмент схемы. Пусть каждый входной фазовый сигнал имеет свой список индикации. Из атрибутов интерфейса фрагмента известно, какие его фазовые входы индицируются на фазовых выходах. Если на каком-то выходе индицируются входы, то все списки индикации этих входов объединяются и приписываются фазовому выходу.

Проверка начинается с входов схемы. БС-входы не подлежат проверке, так как должны индицироваться в тех схемах, откуда приходят. Далее рассматриваются фрагменты, подключённые ко входам схемы. На их выходах формируются списки индикации по приведённому выше правилу. Затем делается переход к следующему ярусу схемы, и так до её выходов. В результате на фазовых выходах схемы накоплены списки всех её индицируемых сигналов.

Обязательным для успешной проверки индицируемости является присутствие всех внутренних сигналов схемы хотя бы в одном из выходных списков индикации.

C. Проверка отсутствия состязаний

При условии успешного выполнения предыдущих проверок источниками состязаний могут быть только несогласованности переключений БС-сигналов фрагментов и сопровождающих их фазовых сигналов.

Рассмотрим схематично пример соединения БС-сигналов двух фрагментов на рис. 3, где показана выходная БСЯ одного фрагмента и входная другого. (Хотя разрешающих сигналов может быть несколько, для простоты рассматривается по одному).

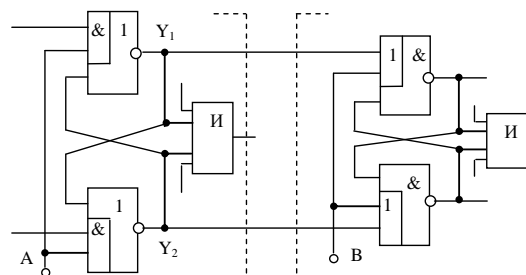


Рис. 3. Соединение БС-сигналов СС-фрагментов: Y_1, Y_2 – БС-сигналы, *A* – разрешающий сигнал выхода, *B* – разрешающий сигнал входа, *И* – индикаторы, пунктир – границы фрагментов

Основное правило дисциплины БС-сигналов при соединении фрагментов состоит в следующем.

*В период времени, когда выходные БС-сигналы (Y_1, Y_2) могут меняться, сигнал *B* должен запретить изменение входной БСЯ (заблокировать её входы).*

Рассмотрим последовательность изменений сигналов в соединении.

Выходные БС-сигналы меняются в одной из фаз – транзитной. В этой фазе сигнал *B* блокирует подключённые БС-входы. В следующей –

нетранзитной – фазе сигнал B открывает БС-входы, и фаза заканчивается, когда переходные процессы во входной БСЯ завершились, а сигнал B ещё остаётся в разрешающем состоянии.

Как видно, в нетранзитной фазе дисциплина соблюдается, и состязания не возникают.

В наступающей далее транзитной фазе изменяются и сигнал B , и выходные БС-сигналы. Чтобы не возникли состязания, должен соблюдаться порядок этих изменений, и предыдущее правило можно теперь сформулировать так.

В транзитной фазе сначала должен измениться сигнал B , заблокировав входы, и лишь затем могут меняться выходные БС-сигналы.

Данное правило уже можно выразить в схемотехнических терминах. Предварительно введём понятия очередности изменений сигналов. Для СС-схем из-за произвольности задержек вместо понятия времени имеет смысл понятие очередности.

На рис. 4 W_1 и W_2 – цепочки последовательных элементов, имеющие не менее одного элемента.

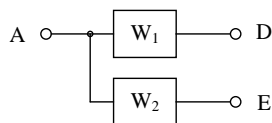


Рис. 4. К понятию очередности переключений

По условиям теории, задержки элементов хотя и произвольны, но не равны нулю. Поэтому справедливо утверждение, что изменения сигналов D и E всегда будут происходить *после* изменения сигнала A .

Назовём сигнал A *инициатором* для сигналов D и E , а сигналы D и E – *континуаторами* (продолжателями) сигнала A .

Таким образом, изменение инициатора всегда будет предшествовать изменению любого его континуатора. Очевидно и свойство транзитивности: континуатор континуатора будет континуатором их общего инициатора.

Будем называть также *конкурентными* сигналы, очередность изменений которых по отношению друг к другу произвольна. Конкурентными могут быть как сигналы, имеющие общий инициатор, например, D и E , так и сигналы с разными инициаторами (независимые).

Отметим, что индикаторные сигналы всегда являются континуаторами тех сигналов, которые они индицируют. На рис. 3 БС-сигналы (Y_1 , Y_2) являются континуаторами сигнала A , а выход индикатора, в свою очередь, есть континуатор этих БС-сигналов.

Поскольку в нетранзитной фазе отношение очередности рассматриваемых сигналов отсутствует, правило дисциплины можно распространить на обе фазы. Окончательно оно формулируется так.

В соединении БС-сигналов фрагменты выходные сигналы (Y_1 , Y_2) и блокирующий сигнал B не могут быть конкурентными. Сигнал B должен быть инициатором сигналов (Y_1 , Y_2), а те, в свою очередь, должны быть континуаторами сигнала B .

Это правило дисциплины будет основным при проверке возможных состязаний в иерархическом анализе.

В реальных СС-схемах возможны четыре основных варианта соединений БС-сигналов: три из них отличаются способом соединения разрешающих сигналов (рис. 5), четвёртый – вариант с обратной связью (рис. 6).

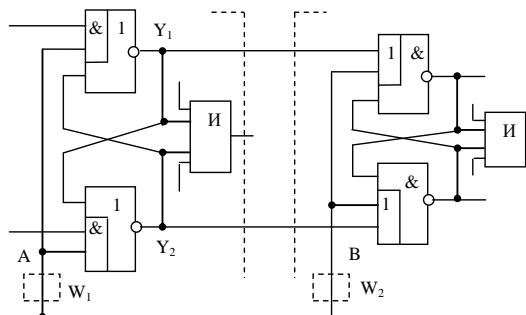


Рис. 5. Варианты соединений разрешающих сигналов: W_1 и W_2 – возможные цепочки элементов

Варианты соединений таковы.

- 1) Непосредственное соединение разрешающих сигналов A и B (цепочки W_1 и W_2 отсутствуют). БС-сигналы есть континуаторы сигнала A , который совпадает с B . Правило дисциплины соблюдено, и соединение корректно.
- 2) Вариант с задержкой сигнала A . В наличии цепочка W_1 (обычно это усиливающие инверторы или повторители), а W_2 отсутствует. БС-сигналы (Y_1 , Y_2) по-прежнему остаются континуаторами сигнала B , и соединение также корректно.
- 3) Соединение с задержкой сигнала B – присутствует цепочка W_2 . Вне зависимости от наличия цепочки W_1 БС-сигналы и сигнал B являются конкурентными, и такое соединение некорректно.
- 4) На рис. 6 показан вариант с обратной связью. Обратная связь может быть локальной или глобальной (общей обратной связью всей схемы) с любой задержкой в цепи. Для корректности соединения сигнал B должен через обратную связь индицироваться на сигнале A , иначе сигнал A будет независимым от B , что нарушает дисциплину. Поскольку правило дисциплины обеспечивается обратной связью, сигнал B может формироваться любым подходящим по схемотехнике образом. Например, он может быть усилен от сигнала A или подсоединён к выходу индикатора левого на рисунке фрагмента.

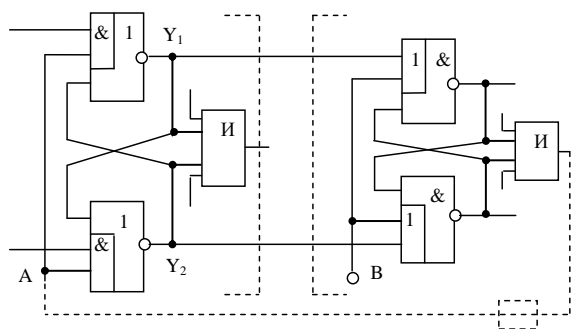


Рис. 6. Соединение БС-сигналов с использованием обратной связи

Из изложенного выше видно, что для проверки отсутствия состязаний в атрибутах интерфейсов должна содержаться информация о входных и выходных БСЯ: какими входами фрагментов они блокируются и существуют ли задержки в цепях блокировки. При наличии этой информации, а также списков индирования, обнаружение возможных состязаний делается по взаимосвязям фрагментов и не представляет сложности.

Таким образом, для обнаружения состязаний используются только взаимосвязи и атрибуты интерфейсов фрагментов схемы.

D. Подготовка интерфейсной информации

На этом шаге готовится информация для следующего верхнего уровня иерархии об индикации всех внешних сигналов и параметрах соединений внешних БС-сигналов схемы.

Из полученных ранее списков индикации фазовых выходов выбираются внешние сигналы, которые и составляют внешние списки индикации.

Параметры сигналов, блокирующих внешние БС-сигналы, определяются непосредственно, так как БС-сигналы соединяются без промежуточных элементов.

Полученная информация помещается в соответствующие атрибуты интерфейса схемы.

V. ЗАКЛЮЧЕНИЕ

Одной из главных трудностей проектирования «больших» самосинхронных схем, необходимых для практики, является анализ самосинхронности. Во всех случаях требуется вычислить и проверить все рабочие состояния схемы и переходы между ними. Существующие методы требуют полного раскрытия схем, то есть исследования уравнений всех её элементов. С увеличением размеров схемы сложность вычислений растёт экспоненциально с её параметрами (числом элементов и/или входов), что не позволяет анализировать схемы всё увеличивающихся размеров.

Впервые представлен метод иерархического анализа самосинхронных схем, основанный на функциональном подходе.

По полным уравнениям в нём анализируются только фрагменты нижнего уровня, размер которых может быть выбран достаточно малым. На всех уровнях иерархии выше нижнего для анализа используются не уравнения элементов, а взаимосвязи фрагментов и информация, полученная на предыдущем уровне. Сложность вычислений здесь практически линейна от числа фрагментов и сигналов.

Такой порядок позволяет неограниченно, снизу вверх, наращивать размеры анализируемых схем и тем самым решить одну из главных проблем проектирования самосинхронных схем.

ЛИТЕРАТУРА

- [1] Muller D.E., Bartky W.C. A theory of asynchronous circuits // Proc. Int Symp. On the Theory of Switching, Part 1. Harvard University Press, 1959. P. 204-243.
- [2] Аperiodические автоматы / Под ред. В.И. Варшавского. М.: Наука, 1976. 423 с.
- [3] Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В.И. Варшавского. М.: Наука, 1986. 398 с.
- [4] Плеханов Л.П., Степченко Ю.А. Экспериментальная проверка некоторых свойств строго самосинхронных схем // Системы и средства информатики. М.: Наука, 2006. Вып. 16. С. 476-485.
- [5] Варшавский В.И., Кишиневский М.А., Кондратьев А.Ю., Розенблюм Л.Я., Таубин А.Р. Модели для спецификации и анализа процессов в асинхронных схемах // Техническая кибернетика. 1988. № 2. С. 171-190.
- [6] Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V. Concurrent Hardware: The Theory and Practice of Self-Timed Design. London: John Wiley and Sons. 1993. 388 p.
- [7] Рождественский Ю.В. Морозов Н.В., Рождественкене А.В. Подсистема событийного анализа самосинхронных схем АСПЕКТ // IV Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС-2010)». Сб. трудов. М.: ИППМ РАН, 2010. С. 26-31.
- [8] Плеханов Л.П. Анализ самосинхронности электронных схем функциональным методом // Системы и средства информатики. М.: Наука, 2008. Вып. 18. С. 225-233.
- [9] Плеханов Л.П. Проектирование самосинхронных схем: функциональный подход // IV Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС-2010)». Сб. трудов. М.: ИППМ РАН, 2010. С. 424-429.
- [10] Плеханов Л.П. Полнота анализа электронных схем на самосинхронность // Системы и средства информатики. М.: Торус Пресс, 2010. Вып. 20. № 1. С. 48-58.
- [11] Плеханов Л.П. О свойстве самосинхронности цифровых электронных схем // Системы и средства информатики. М.: Торус Пресс, 2011. Вып. 21. № 1. С. 84-91.