



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21), (22) Заявка: 2006128929/09, 09.08.2006

(24) Дата начала отсчета срока действия патента:
09.08.2006

(45) Опубликовано: 10.03.2008 Бюл. № 7

(56) Список документов, цитированных в отчете о
поиске: RU 1276222 C, 27.01.1995. US
2002047736 A1, 25.04.2002. SU 2036550 C1,
27.05.1995. US 2006109040 A1, 25.05.2006.Адрес для переписки:
119333, Москва, ул. Вавилова, 44, к.2, ИПИ РАН

(72) Автор(ы):

Степченко Юрий Афанасьевич (RU),
Дьяченко Юрий Георгиевич (RU),
Рождественский Юрий Владимирович (RU),
Филин Адольф Васильевич (RU)

(73) Патентообладатель(и):

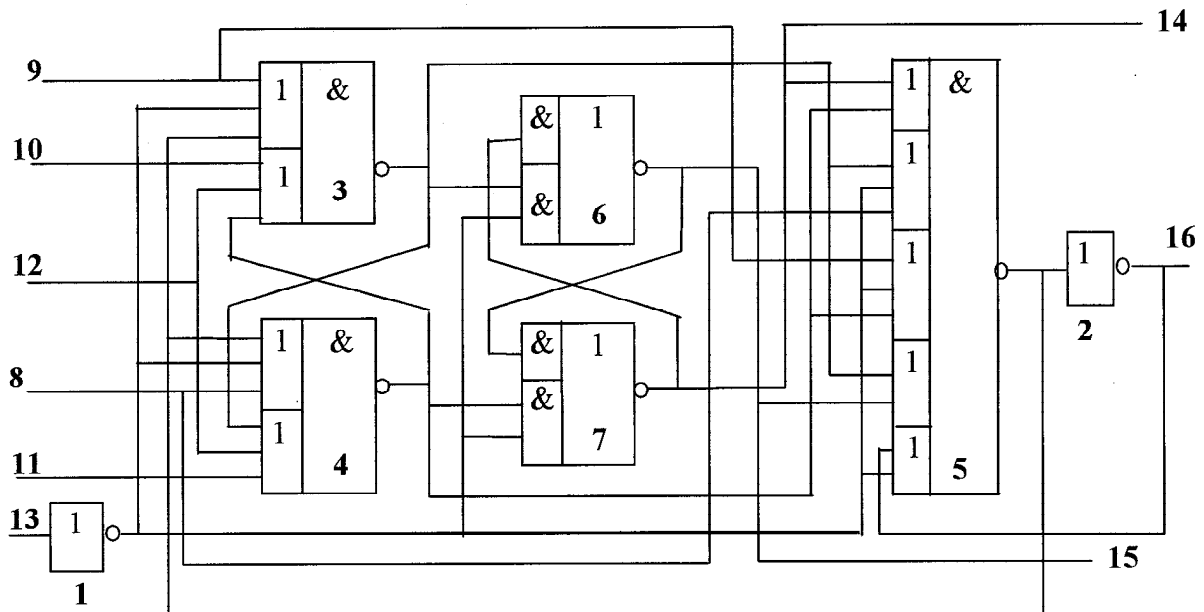
Институт проблем информатики Российской
академии наук (ИПИ РАН) (RU)

(54) D-ТРИГГЕР С САМОСИНХРОННОЙ ПРЕДУСТАНОВКОЙ

(57) Реферат:

Изобретение относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации. Техническим результатом является обеспечение самосинхронной реализации D-триггера с

предустановкой с произвольной дисциплиной кодирования информационного входа: парафазной или бифазной. Указанный технический результат достигается тем, что в схему введены входы управляющий и разрешения установки, два инвертора, три элемента ИЛИ-И-НЕ и новые конструктивные связи. 1 ил.





FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY,
PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: **2006128929/09, 09.08.2006**

(24) Effective date for property rights: **09.08.2006**

(45) Date of publication: **10.03.2008 Bull. 7**

Mail address:
119333, Moskva, ul. Vavilova, 44, k.2, IPI RAN

(72) Inventor(s):
**Stepchenkov Jurij Afanas'evich (RU),
D'jachenko Jurij Georgievich (RU),
Rozhdestvenskij Jurij Vladimirovich (RU),
Filin Adol'f Vasil'evich (RU)**

(73) Proprietor(s):
**Institut problem informatiki Rossijskoj
akademii nauk (IPI RAN) (RU)**

(54) **D-TRIGGER WITH SELF-SYNCHRONOUS PRESET**

(57) Abstract:

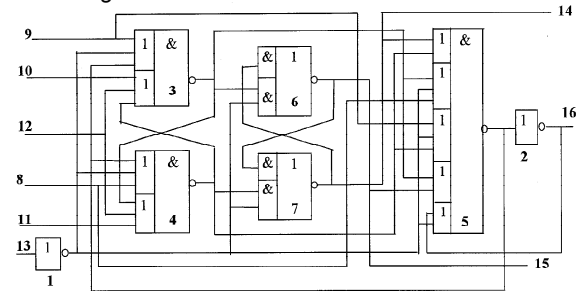
FIELD: impulse and computer engineering, possible application for designing self-synchronous trigger-based, registering and computing devices, systems for digital processing of information.

SUBSTANCE: in accordance to the invention, circuit additionally contains control input and setting permission input, two inverters, three OR-AND-NOT elements and new structural connections.

EFFECT: ensured self-synchronous realization of D-trigger with preset with arbitrary encoding

discipline of information input: paraphase one or biphase one.

1 dwg



RU 2 319 297 C1

RU 2 319 297 C1

Изобретение относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации.

Известен D-триггер с предустановкой [1], содержащий шесть элементов И-НЕ и входы 5 информационный, синхросигнала и установки нуля и единицы.

Недостаток известного устройства - отсутствие средств индикации окончания переходных процессов, что не позволяет использовать его в составе самосинхронного регистра сдвига.

Наиболее близким к предлагаемому решению по технической сущности и принятым в 10 качестве прототипа является D-триггер с предустановкой [2], содержащий двухтактный триггер с предустановкой нуля и единицы и элемент индикации.

Недостаток прототипа - обязательность использования парафазного кодирования информационного входа триггера.

Задача, решаемая в изобретении, заключается в реализации двухтактного D-триггера с 15 предустановкой, информационный вход которого может иметь как парафазное, так и парафазное со спейсером кодирование.

Это достигается тем, что в D-триггере, содержащем два элемента И-ИЛИ-НЕ, парафазный со спейсером информационный вход, состоящий из прямой и инверсной составляющих, вход установки нуля, вход установки единицы, парафазный 20 информационный выход, состоящий из прямой и инверсной составляющих, и индикаторный выход, причем выход первого элемента И-ИЛИ-НЕ подключен к инверсному информационному выходу и входу первой группы входов И второго элемента И-ИЛИ-НЕ, а выход второго элемента И-ИЛИ-НЕ подключен к прямому информационному выходу и входу первой группы входов И первого элемента И-ИЛИ-НЕ, введены управляющий вход, 25 вход разрешения установки, два инвертора и три элемента ИЛИ-И-НЕ, инверсный информационный вход подключен к первому входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ и первому входу третьей группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, прямой информационный вход подключен к третьему входу первой группы входов ИЛИ второго элемента ИЛИ-И-НЕ и третьему входу второй группы входов ИЛИ третьего 30 элемента ИЛИ-И-НЕ, управляющий вход подключен ко входу первого инвертора, выход которого соединен со вторыми входами первых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ, вторыми входами вторых групп входов И первого и второго элементов И-ИЛИ-НЕ и вторыми входами второй, третьей и пятой групп входов ИЛИ третьего элемента ИЛИ-И-НЕ, вход установки нуля подключен к первому входу второй 35 группы входов ИЛИ первого элемента ИЛИ-И-НЕ, вход установки единицы подключен к третьему входу второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ, вход разрешения установки подключен ко вторым входам вторых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ, выход первого элемента ИЛИ-И-НЕ подключен к первому входу второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ, первому входу второй группы 40 входов И первого элемента И-ИЛИ-НЕ и первым входам второй и четвертой групп входов ИЛИ третьего элемента ИЛИ-И-НЕ, выход второго элемента ИЛИ-И-НЕ подключен к третьему входу второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ, первому входу второй группы входов И второго элемента И-ИЛИ-НЕ, второму входу первой группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, выход первого элемента И-ИЛИ-НЕ подключен к первому входу 45 первой группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, выход второго элемента И-ИЛИ-НЕ подключен ко второму входу четвертой группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, выход третьего элемента ИЛИ-И-НЕ соединен со входом второго инвертора, третьим входом первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ и первым входом первой группы входов ИЛИ второго элемента ИЛИ-И-НЕ, выход второго инвертора подключен к индикаторному выходу и первому входу пятой группы входов ИЛИ третьего элемента ИЛИ-И-НЕ.

Предлагаемое устройство удовлетворяет критерию "существенные отличия".

Использование элементов И-ИЛИ-НЕ, ИЛИ-И-НЕ и инверторов для реализации D-триггера с самосинхронной предустановкой известно. Однако использование их в данном случае позволило достичь эффекта, выраженного целью изобретения.

Поскольку введенные конструктивные связи в аналогичных технических решениях не известны, устройство может считаться имеющим существенные отличия.

На чертеже изображена схема D-триггера с самосинхронной предустановкой.

Схема D-триггера с самосинхронной предустановкой содержит инверторы 1-2, три элемента ИЛИ-И-НЕ 3-5, два элемента И-ИЛИ-НЕ 6-7, прямой 8 и инверсный 9 информационные входы с парафазным кодированием, вход установки нуля 10, вход установки единицы 11, вход разрешения установки 12, управляющий вход 13, прямой информационный выход 14, инверсный информационный выход 15 и индикаторный выход 16, инверсный информационный вход 9 подключен к первому входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ 3 и первому входу третьей группы входов ИЛИ элемента ИЛИ-И-НЕ 5, прямой информационный вход 8 подключен к третьему входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ 4 и третьему входу второй группы входов ИЛИ элемента ИЛИ-И-НЕ 5, управляющий вход 13 подключен ко входу первого инвертора 1, выход которого соединен со вторыми входами первых групп входов ИЛИ элементов ИЛИ-И-НЕ 3 и 4, вторыми входами вторых групп входов И элементов И-ИЛИ-НЕ 6 и 7 и вторыми входами второй, третьей и пятой групп входов ИЛИ элемента ИЛИ-И-НЕ 5, вход установки нуля 10 подключен к первому входу второй группы входов ИЛИ элемента ИЛИ-И-НЕ 3, вход установки единицы 11 подключен к третьему входу второй группы входов ИЛИ элемента ИЛИ-И-НЕ 4, вход разрешения установки 12 подключен ко вторым входам вторых групп входов ИЛИ элементов ИЛИ-И-НЕ 3 и 4, выход элемента ИЛИ-И-НЕ 3 подключен к первому входу второй группы входов ИЛИ элемента ИЛИ-И-НЕ 4, первому входу второй группы входов И элемента И-ИЛИ-НЕ 6 и первым входам второй и четвертой групп входов ИЛИ элемента ИЛИ-И-НЕ 5, выход элемента ИЛИ-И-НЕ 4 подключен к третьему входу второй группы входов ИЛИ элемента ИЛИ-И-НЕ 3, первому входу второй группы входов И элемента И-ИЛИ-НЕ 7, второму входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ 5 и третьему входу третьей группы входов ИЛИ элемента ИЛИ-И-НЕ 5, выход элемента И-ИЛИ-НЕ 7 подключен ко входу первой группы входов И элемента И-ИЛИ-НЕ 6, первому входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ 5 и прямому информационному выходу 14, выход элемента И-ИЛИ-НЕ 6 подключен ко входу первой группы входов И элемента И-ИЛИ-НЕ 7, второму входу четвертой группы входов ИЛИ элемента ИЛИ-И-НЕ 5 и инверсному информационному выходу 15, выход элемента ИЛИ-И-НЕ 5 соединен со входом инвертора 2, третьим входом первой группы входов ИЛИ элемента ИЛИ-И-НЕ 3 и первым входом первой группы входов ИЛИ элемента ИЛИ-И-НЕ 4, выход инвертора 2 подключен к индикаторному выходу 16 и первому входу пятой группы входов ИЛИ элемента ИЛИ-И-НЕ 5.

Особенности данной схемы по сравнению с прототипом следующие.

Ввод входа управления позволил расширить функциональные возможности триггера, разрешив использовать информационный вход как в парафазном, так и в парафазном со спейсером кодировании. Использование входа разрешения установки обеспечивает последовательную смену состояний индикаторного выхода триггера при установке нуля или единицы, что необходимо для самосинхронного применения триггера.

Различие парафазных и парафазных со спейсером сигналов заключается в том, что парафазный сигнал со спейсером, состоящий из прямого сигнала и его дополнения (инверсии), имеет три устойчивых состояния: два рабочих, в которых две составляющие парафазного сигнала принимают противоположные значения, - высокий и низкий логические уровни, - и так называемое спейсерное состояние, в котором обе составляющие принимают одинаковое значение [2]. Таким образом, понятия «прямой» и «инверсный» применимы в полной мере к составляющим парафазного со спейсером сигнала только в рабочем состоянии. Парафазный же сигнал, также состоящий из двух составляющих, имеет только два устойчивых состояния (рабочих), в которых его

составляющие принимают противоположные значения. Состояние, при котором обе составляющие парафазного сигнала имеют одинаковое значение, является динамическим, кратковременным. Оно появляется только при переключении элемента, являющегося источником парафазного сигнала, например, триггера.

5 Схема работает следующим образом. При значении сигнала на управляющем входе 13, равном логической единице ("1"), на выходе инвертора 1 формируется уровень логического нуля ("0"), обеспечивающий запись в первую ступень триггера, образованную элементами 3 и 4, состояния, определяемого входным информационным сигналом 8, 9, и хранение состояния второй ступени, образованной элементами 6 и 7. По окончании записи
10 в первую ступень триггера индикаторный элемент 5 переключается в состояние логической единицы. Переключение управляющего входа 13 в состояние "0" приводит к запираанию первой ступени (информационный вход 8,9 блокируется на входах элементов 3 и 4) и разрешению перезаписи состояния первой ступени триггера во вторую. Окончание перезаписи фиксируется переключением индикаторного элемента 5 в состояние "0".

15 Самосинхронная установка нуля и единицы проводится при "0" на управляющем входе 13, входах установки 10, 11 и разрешения установки 12 в следующем порядке. На вход разрешения установки 12 подается "1". При этом выходы элементов 3 и 4 переключаются в "0", а выход индикаторного элемента 5 - в состояние "1". Затем на вход установки 10 (для установки нуля) или 11 (для установки единицы) подается "1", после чего на вход разрешения установки 12 подается "0". Состояние, определяемое значениями входов
20 установки 10 и 11, записывается в первую ступень триггера (элементы 3 и 4), а затем и во вторую ступень триггера (элементы 6 и 7). По завершении установки индикаторный элемент 5 переключается в "0", индицируя окончание установки. После этого входы установки переводятся в "0" и триггер готов к продолжению работы.

25 Таким образом, в предлагаемом устройстве самосинхронная работа и установка нуля и единицы обеспечиваются независимо от типа кодирования информационного входа (парафазного или парафазного со спейсером). Цель изобретения достигнута.

Источники информации

1. Шило В.Л. Популярные цифровые микросхемы: Справочник 2-е изд., испр. -
30 Челябинск: Металлургия, Челябинское отд., 1989. - Рис.1.54а.
2. Самосинхронизация в СБИС и СБИС-системах: Аванпроект. Часть II. Теоретическое и практическое обоснование самосинхронизации в СБИС и СБИС-системах. / В.И.Варшавский, М.А.Кишиневский, А.Ю.Кондратьев и др. // Отчет о НИР «Ниверга-ВТК1» - М.: ППИ «Научный центр», 1991. - Рис.1.6а

35

Формула изобретения

D-триггер с самосинхронной предустановкой, содержащий два элемента И-ИЛИ-НЕ, парафазный информационный вход, состоящий из прямой и инверсной составляющих, вход установки нуля, вход установки единицы, прямой и инверсный информационные
40 выходы и индикаторный выход, причем выход первого элемента И-ИЛИ-НЕ подключен к инверсному информационному выходу и входу первой группы входов И второго элемента И-ИЛИ-НЕ, а выход второго элемента И-ИЛИ-НЕ подключен к прямому информационному выходу и входу первой группы входов И первого элемента И-ИЛИ-НЕ, отличающийся тем, что в схему введены управляющий вход, вход разрешения установки, два инвертора и три
45 элемента ИЛИ-И-НЕ, инверсный информационный вход подключен к первому входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ и первому входу третьей группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, прямой информационный вход подключен к третьему входу первой группы входов ИЛИ второго элемента ИЛИ-И-НЕ и третьему входу второй группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, управляющий вход подключен ко входу
50 первого инвертора, выход которого соединен со вторыми входами первых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ, вторыми входами вторых групп входов И первого и второго элементов И-ИЛИ-НЕ и вторыми входами второй, третьей и пятой групп входов ИЛИ третьего элемента ИЛИ-И-НЕ, вход установки нуля подключен к первому входу

второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ, вход установки единицы
подключен к третьему входу второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ, вход
разрешения установки подключен ко вторым входам вторых групп входов ИЛИ первого и
второго элементов ИЛИ-И-НЕ, выход первого элемента ИЛИ-И-НЕ подключен к первому
5 входу второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ, первому входу второй
группы И первого элемента И-ИЛИ-НЕ и первым входам второй и четвертой групп входов
ИЛИ третьего элемента ИЛИ-И-НЕ, выход второго элемента ИЛИ-И-НЕ подключен к
третьему входу второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ, первому входу
второй группы И второго элемента И-ИЛИ-НЕ, второму входу первой группы входов ИЛИ
10 третьего элемента ИЛИ-И-НЕ и третьему входу третьей группы входов ИЛИ третьего
элемента ИЛИ-И-НЕ, выход первого элемента И-ИЛИ-НЕ подключен ко второму входу
четвертой группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, выход второго элемента И-
ИЛИ-НЕ подключен к первому входу первой группы входов ИЛИ третьего элемента ИЛИ-И-
НЕ, выход третьего элемента ИЛИ-И-НЕ соединен со входом второго инвертора, третьим
15 входом первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ и первым входом первой
группы входов ИЛИ второго элемента ИЛИ-И-НЕ, выход второго инвертора подключен к
индикаторному выходу и первому входу пятой группы входов ИЛИ третьего элемента ИЛИ-
И-НЕ.

20

25

30

35

40

45

50