



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21), (22) Заявка: 2007141585/09, 12.11.2007

(24) Дата начала отсчета срока действия патента:
12.11.2007

(45) Опубликовано: 20.08.2009 Бюл. № 23

(56) Список документов, цитированных в отчете о
поиске: АСТАХАНОВСКИЙ А.Г. и др.

Апериодические автоматы./ Под редакцией
В.И. Варшавского. - М.: Наука, 1976,
рис.2.16(б). SU 1420647 А1, 30.08.1988. JP
3211912 А, 17.09.1991. US 6323710 В1,
27.11.2001.

Адрес для переписки:

119333, Москва, ул. Вавилова, 44, к.2,
Институт проблем информатики Российской
академии наук (ИПИ РАН)

(72) Автор(ы):

Степченков Юрий Афанасьевич (RU),
Дьяченко Юрий Георгиевич (RU),
Плеханов Леонид Петрович (RU),
Гринфельд Фрума Исааковна (RU),
Степченков Дмитрий Юрьевич (RU)

(73) Патентообладатель(и):

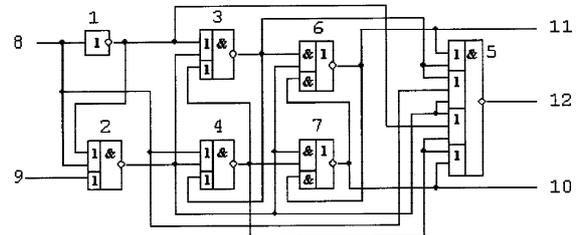
Институт проблем информатики Российской
академии наук (ИПИ РАН) (RU)

(54) САМОСИНХРОННЫЙ ДВУХТАКТНЫЙ D-ТРИГГЕР С ВЫСОКИМ АКТИВНЫМ
УРОВНЕМ СИГНАЛА УПРАВЛЕНИЯ

(57) Реферат:

Изобретение относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации. Техническим результатом изобретения является обеспечение самосинхронной реализации двухтактного D-триггера с высоким активным уровнем сигнала управления, однофазным кодированием информационного входа и парафазным кодированием информационного

выхода. Этот результат достигается тем, что в схему, содержащую два элемента И-ИЛИ-НЕ, информационный вход, управляющий вход, прямой и инверсный информационные выходы и индикаторный выход, введены инвертор и четыре элемента ИЛИ-И-НЕ. 7 з.п. ф-лы, 8 ил.



Фиг. 1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY,
PATENTS AND TRADEMARKS

(12) ABSTRACT OF INVENTION

(21), (22) Application: **2007141585/09, 12.11.2007**

(24) Effective date for property rights:
12.11.2007

(45) Date of publication: **20.08.2009 Bull. 23**

Mail address:
**119333, Moskva, ul. Vavilova, 44, k.2, Institut
problem informatiki Rossijskoj akademii nauk (IPI
RAN)**

(72) Inventor(s):
**Stepchenkov Jurij Afanas'evich (RU),
D'jachenko Jurij Georgievich (RU),
Plekhanov Leonid Petrovich (RU),
Grinfel'd Fruma Isaakovna (RU),
Stepchenkov Dmitrij Jur'evich (RU)**

(73) Proprietor(s):
**Institut problem informatiki Rossijskoj akademii
nauk (IPI RAN) (RU)**

(54) SELF-SYNCHRONOUS DUPL D FLIP-FLOP WITH HIGH ACTIVE LEVEL OF CONTROL SIGNAL

(57) Abstract:

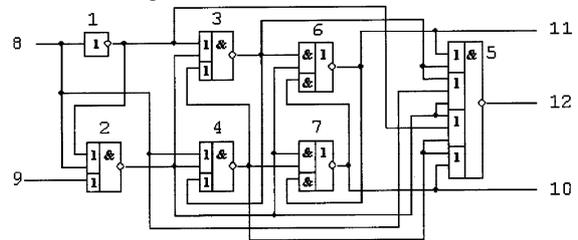
FIELD: physics; computer technology.

SUBSTANCE: invention concerns to pulse and computer technology and can use at construction of self-synchronous flip-flop, register and computing circuits, systems of digital information processing. This result is reached because the inverting element and four elements OR-AND-NOT are entered in the scheme containing two elements AND-OR-NOT, an information input, an operating input, direct and inverse information outputs and a display output are entered .

EFFECT: maintenance of self-synchronous

realisation of the duple D flip-flop with high active level of a control signal, single-phase coding of an information input and paraphase coding of an information output.

7 cl, 8 dwg



Фиг. 1

RU 2 365 031 C1

RU 2 365 031 C1

Самосинхронный двухтактный D-триггер с высоким активным уровнем сигнала управления относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации.

Известен D-триггер [1], содержащий шесть элементов И-НЕ.

Недостаток известного устройства - отсутствие средств индикации окончания переходных процессов.

Наиболее близким к предлагаемому решению по технической сущности и принятым в качестве прототипа является RS-триггер [2], содержащий пять элементов И-ИЛИ-НЕ, с парафазным кодированием информационных входов и выходов и средства индикации окончания переходных процессов.

Недостаток прототипа - работа только с данными, представленными в парафазном коде, что удваивает число информационных связей между многоуровневым источником входной информации и регистром на базе данного триггера и не позволяет использовать его в качестве элемента интерфейса между синхронными и самосинхронными схемами.

Задача, решаемая в изобретении, заключается в обеспечении самосинхронной реализации двухтактного D-триггера с однофазным информационным входом и высоким активным уровнем сигнала управления, гарантирующей работоспособность триггера при любых задержках составляющих его элементов.

Это достигается тем, что в триггере, содержащем два элемента И-ИЛИ-НЕ, информационный вход, управляющий вход, прямой и инверсный информационные выходы и индикаторный выход, введены инвертор на информационном входе и четыре элемента ИЛИ-И-НЕ, информационный вход подключен к входу инвертора, второму входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ, первому входу первой группы входов ИЛИ третьего элемента ИЛИ-И-НЕ и второму входу второй группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, управляющий вход соединен с входом второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ, выход которого подключен ко вторым входам первых групп входов ИЛИ второго и третьего элементов ИЛИ-И-НЕ, третьему входу второй группы входов ИЛИ и первому входу третьей группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, второму входу первой группы входов ИЛИ первого элемента И-ИЛИ-НЕ и первому входу первой группы входов ИЛИ второго элемента И-ИЛИ-НЕ, выход инвертора подключен к первым входам первых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ и второму входу третьей группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, выход второго элемента ИЛИ-И-НЕ подключен ко второму входу первой группы входов ИЛИ и первому входу второй группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, входу второй группы входов ИЛИ третьего элемента ИЛИ-И-НЕ и первому входу первой группы входов ИЛИ первого элемента И-ИЛИ-НЕ, выход первого элемента И-ИЛИ-НЕ соединен с входом второй группы входов ИЛИ второго элемента И-ИЛИ-НЕ, первым входом первой группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ и инверсным информационным выходом триггера, выход третьего элемента ИЛИ-И-НЕ соединен с третьим входом третьей группы входов ИЛИ и первым входом четвертой группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, входом второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ и вторым входом первой группы входов ИЛИ второго элемента И-ИЛИ-НЕ, выход второго элемента И-ИЛИ-НЕ соединен с входом второй группы входов ИЛИ первого элемента И-ИЛИ-НЕ, вторым входом четвертой группы входов ИЛИ четвертого

элемента ИЛИ-И-НЕ и прямым информационным выходом триггера, выход четвертого элемента ИЛИ-И-НЕ подключен к индикаторному выходу триггера.

Предлагаемое устройство удовлетворяет критерию "существенные отличия".
Использование элементов ИЛИ-И-НЕ, И-ИЛИ-НЕ и инвертора для реализации
5 двухтактного D-триггера известно. Однако использование их в данном случае позволило достичь эффекта, выраженного целью изобретения.

Поскольку введенные конструктивные связи в аналогичных технических решениях не известны, устройство может считаться имеющим существенные отличия.

10 На фиг.1 изображена схема самосинхронного двухтактного D-триггера с однофазным входом данных и высоким активным уровнем сигнала управления.

Схема D-триггера содержит инвертор 1, четыре элемента ИЛИ-И-НЕ 2-5, два
элемента И-ИЛИ-НЕ 6-7, информационный вход 8, управляющий вход 9, прямой
информационный выход 10, инверсный информационный выход 11 и индикаторный
15 выход 12, информационный вход подключен к входу инвертора 1, второму входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ 2, первому входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ 4 и второму входу второй группы входов ИЛИ
элемента ИЛИ-И-НЕ 5, управляющий вход 9 соединен с входом второй группы
20 входов ИЛИ элемента ИЛИ-И-НЕ 2, выход которого подключен ко вторым входам первых групп входов ИЛИ элементов ИЛИ-И-НЕ 3 и 4, третьему входу второй группы входов ИЛИ и первому входу третьей группы входов ИЛИ элемента ИЛИ-И-НЕ 5, второму входу первой группы входов И элемента И-ИЛИ-НЕ 6 и
первому входу первой группы входов И элемента И-ИЛИ-НЕ 7, выход инвертора 1
25 подключен к первым входам первых групп входов ИЛИ элементов ИЛИ-И-НЕ 2 и 3 и второму входу третьей группы входов ИЛИ элемента ИЛИ-И-НЕ 5, выход элемента ИЛИ-И-НЕ 3 подключен ко второму входу первой группы входов ИЛИ и первому входу второй группы входов ИЛИ элемента ИЛИ-И-НЕ 5, входу второй группы входов ИЛИ элемента ИЛИ-И-НЕ 4 и первому входу первой группы входов И
30 элемента И-ИЛИ-НЕ 6, выход которого соединен с входом второй группы входов И элемента И-ИЛИ-НЕ 7, первым входом первой группы входов ИЛИ элемента ИЛИ-И-НЕ 5 и инверсным информационным выходом триггера 11, выход элемента ИЛИ-И-НЕ 4 соединен с третьим входом третьей группы входов ИЛИ и первым
35 входом четвертой группы входов ИЛИ элемента ИЛИ-И-НЕ 5, входом второй группы входов ИЛИ элемента ИЛИ-И-НЕ 3 и вторым входом первой группы входов И элемента И-ИЛИ-НЕ 7, выход которого соединен с входом второй группы входов И элемента И-ИЛИ-НЕ 6, вторым входом четвертой группы входов ИЛИ элемента ИЛИ-И-НЕ 5 и прямым информационным выходом триггера 10, выход элемента
40 ИЛИ-И-НЕ 5 подключен к индикаторному выходу триггера 12.

Схема работает следующим образом. Запись нового состояния с информационного
входа 8 в бистабильную ячейку, образованную элементами 3 и 4, обеспечивается
45 подачей на управляющий вход 9 высокого уровня. Выход элемента 2 переключается в низкое состояние, открывая тем самым входы бистабильной ячейки на элементах 3 и 4. Если на информационном входе 8 низкий уровень, элемент ИЛИ-И-НЕ 4 переключится в состояние "1", а элемент ИЛИ-И-НЕ 3 - в состояние "0". При этом индикаторный выход 12 переходит в состояние "1". При низком уровне сигнала на
50 управляющем входе 9 выход элемента 2 переключается в высокое состояние и бистабильная ячейка на элементах 3 и 4 запирается по входам, сохраняя состояние своих выходов. При этом запирается по входам вторая бистабильная ячейка на элементах И-ИЛИ-НЕ 6 и 7 и состояние выходов первой бистабильной ячейки

перезаписывается во вторую бистабильную ячейку. Состояние выходов триггера 10 и 11 обновляется, а индикаторный выход 12 переходит в состояние "0". Элемент 5 выполняет функцию индикатора окончания переходных процессов во всех элементах двухтактного D-триггера и регулятора фаз его переключения. Значение "1" на выходе элемента 5 свидетельствует об окончании переключения триггера в рабочую фазу - фазу фиксации значения информационного входа 8 на выходах первой бистабильной ячейки, а значение "0" - об окончании переключения триггера в спейсер - фазу хранения состояния первой бистабильной ячейки и обновления состояния выходов второй бистабильной ячейки, обеспечивая тем самым самосинхронность его функционирования.

Особенности данной схемы по сравнению с прототипом следующие.

Информационный вход триггера является однофазным, что позволяет использовать D-триггер в качестве элемента интерфейса между синхронной и самосинхронной схемами. Уточненный индикаторный выход фиксирует момент окончания переходных процессов во всех элементах триггера, как тех, которые были в составе прототипа, так и вновь введенных, что обеспечивает индикацию всех элементов в составе самосинхронной схемы.

Таким образом, предлагаемое устройство обеспечивает самосинхронную работу двухтактного D-триггера с однофазным информационным входом. Цель изобретения достигнута.

Кроме того, предлагаемый двухтактный D-триггер позволяет вдвое сократить число информационных связей между многоуровневым источником входной информации и регистром на базе данного самосинхронного D-триггера.

Данный двухтактный D-триггер не имеет входов установки "0" и "1", что в ряде практических случаев является существенным недостатком. Однако предлагаемый вариант легко преобразуется в триггер с предустановкой.

На фиг.2 изображена схема самосинхронного двухтактного D-триггера с входом установки нуля 13 и высоким активным уровнем сигнала управления. Схема отличается от схемы на фиг.1 тем, что вторая группа входов ИЛИ элемента ИЛИ-И-НЕ 3 содержит два входа, первый из которых подключен к входу установки нуля 13, а второй - к выходу элемента ИЛИ-И-НЕ 4, как и в схеме на фиг.1. Установка нуля осуществляется подачей на управляющий вход 9 низкого уровня, а на вход установки 13 - высокого уровня. В результате выход элемента 2 переключается в состояние высокого уровня, выход элемента ИЛИ-И-НЕ 3 переключается в "0" (состояние низкого уровня), элемент ИЛИ-И-НЕ 4 - в "1" (состояние низкого уровня), элемент И-ИЛИ-НЕ 6, формирующий инверсный выход триггера 11, - в "1", а элемент И-ИЛИ-НЕ 7, формирующий прямой выход триггера 10, - в "0", завершая установку.

На фиг.3 изображена схема самосинхронного двухтактного D-триггера с установкой единицы 13 и высоким активным уровнем сигнала управления. Схема отличается от схемы на фиг.1 тем, что вторая группа входов ИЛИ элемента ИЛИ-И-НЕ 4 содержит два входа, первый из которых подключен к входу установки единицы 13, а второй - к выходу элемента ИЛИ-И-НЕ 3, как и в схеме на фиг.1. Установка единицы осуществляется подачей на управляющий вход 9 низкого уровня ("0"), а на вход установки 13 - высокого уровня ("1"). В результате выход элемента 2 переключается в состояние высокого уровня, выход элемента ИЛИ-И-НЕ 4 переключается в состояние "0", выход элемента ИЛИ-И-НЕ 3 - в "1", элемент И-ИЛИ-НЕ 7, формирующий прямой выход триггера 10, - в "1", а элемент И-ИЛИ-НЕ 6, формирующий инверсный выход триггера 11, - в "0", завершая

установку.

На фиг.4 изображена схема самосинхронного двухтактного D-триггера с установкой единицы и нуля и высоким активным уровнем сигнала управления. Схема отличается от схемы на фиг.2 тем, что вторая группа входов ИЛИ элемента

ИЛИ-И-НЕ 4 содержит два входа, первый из которых подключен к входу установки

единицы 14, а второй - к выходу элемента ИЛИ-И-НЕ 3, как и в схеме на фиг.2. Установка нуля или единицы осуществляется способом, описанным выше. Одновременная подача на входы установки нуля 13 и единицы 14 высокого уровня

запрещена. Описанные варианты самосинхронного двухтактного D-триггера с установкой нуля и/или единицы характеризуются тем, что установка не является самосинхронной. В процессе установки выходы первой и второй бистабильной ячейки переключаются, приводя к кратковременному неконтролируемому переключению выхода индикаторного элемента 5. В большинстве практических случаев этого оказывается достаточно, поскольку установка триггеров осуществляется одноразово - в момент запуска, подачи питания на устройство, в составе которого используется триггер. Однако такое решение не годится для динамической установки нуля или единицы на выходах триггера в строго самосинхронных устройствах. Одним из условий принадлежности устройства к классу строго самосинхронных является требование отсутствия неконтролируемых переключений элементов, "дребезга" на входах элементов.

На фиг.5 изображена схема самосинхронного двухтактного D-триггера с высоким активным уровнем сигнала управления с однофазным входом данных и входом установки нуля, удовлетворяющая требованиям, предъявляемым к строго самосинхронным схемам. Данный вариант триггера отличается от схемы на фиг.2 тем, что в элементе ИЛИ-И-НЕ 5 расширены составы первой и четвертой групп входов ИЛИ: в них введены третьи входы, подключенные к входу установки нуля 13. Установка нуля осуществляется способом, описанным выше. Но при этом выход индикаторного элемента ИЛИ-И-НЕ 5 не изменяется, поскольку все его группы входов блокированы высокими уровнями на входе установки нуля 13 и выходе элемента ИЛИ-И-НЕ 2. Индикация окончания процесса установки триггера осуществляется дополнительной логикой, контролирующей переключение в "1" инверсного выхода триггера 11.

На фиг.6 изображена схема самосинхронного двухтактного D-триггера с высоким активным уровнем сигнала управления с однофазным входом данных и входом установки единицы, удовлетворяющая требованиям, предъявляемым к строго самосинхронным схемам. Данный вариант триггера отличается от схемы на фиг.3 тем, что в элементе ИЛИ-И-НЕ 5 расширены составы первой и четвертой групп входов ИЛИ: в них введены третьи входы, подключенные к входу установки единицы 13. Установка единицы осуществляется способом, описанным выше. Но при этом выход индикаторного элемента ИЛИ-И-НЕ 5 не изменяется, поскольку все его группы входов блокированы высокими уровнями на входе установки единицы 13 и выходе элемента ИЛИ-И-НЕ 2. Индикация окончания процесса установки триггера осуществляется дополнительной логикой, контролирующей переключение в "1" прямого выхода триггера 10.

На фиг.7 изображена схема самосинхронного двухтактного D-триггера с высоким активным уровнем сигнала управления с однофазным входом данных и входами установки нуля и единицы, удовлетворяющая требованиям, предъявляемым к строго

самосинхронным схемам. Данный вариант триггера отличается от схемы на фиг.4 тем, что в элементе ИЛИ-И-НЕ 5 расширены составы первой и четвертой групп входов ИЛИ: в них введены третьи входы, подключенные к входу установки нуля 13, и четвертые входы, подключенные к входу установки единицы 14. Установка нуля и единицы осуществляется способом, описанным выше. Но при этом выход индикаторного элемента ИЛИ-И-НЕ 5 не изменяется, поскольку все его группы входов заблокированы высокими уровнями на входе установки нуля 13 (или единицы 14) и выходе элемента ИЛИ-И-НЕ 2. Индикация окончания процесса установки триггера осуществляется дополнительной логикой, контролирующей переключение в "1" прямого выхода триггера 10 (при установке единицы) или переключение в "1" инверсного выхода триггера 11 (при установке нуля). Одновременная подача на входы установки нуля 13 и единицы 14 высокого уровня запрещена.

На фиг.8 изображена схема самосинхронного двухтактного D-триггера с высоким активным уровнем сигнала управления с однофазным входом данных и фазовым выходом 13, подключенным к выходу элемента ИЛИ-И-НЕ 2. Фазовый (инициирующий фазу работы D-триггера) выход связи служит для ускорения срабатывания устройства-источника информационного сигнала: разрешение на его переход в противоположную фазу работы выдается сразу, как только переключится элемент ИЛИ-И-НЕ 2 в составе триггера после прихода нового значения на управляющий вход 9, без ожидания окончания переключения остальных элементов в составе схемы триггера. Аналогичный выход может использоваться и во всех остальных вариантах D-триггера, описанных выше.

Источники информации

[1] Шило В.Л. Популярные цифровые микросхемы: Справочник. 2-е изд., испр. - Челябинск: Металлургия, Челябинское отд., 1989. - рис.1.50(а).

[2] Астахановский А.Г., Варшавский В.И., Мараховский В.Б. и др. Аперiodические автоматы. // Под ред. В.И.Варшавского. - М.: Наука, 1976, - рис.2.16(б).

Формула изобретения

1. Самосинхронный двухтактный D-триггер с высоким активным уровнем сигнала управления, содержащий два элемента И-ИЛИ-НЕ, информационный вход, управляющий вход, прямой и инверсный информационные выходы и индикаторный выход, отличающийся тем, что в схему введены инвертор на информационном входе и четыре элемента ИЛИ-И-НЕ, информационный вход подключен к входу инвертора, второму входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ, первому входу первой группы входов ИЛИ третьего элемента ИЛИ-И-НЕ и второму входу второй группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, управляющий вход соединен с входом второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ, выход которого подключен ко вторым входам первых групп входов ИЛИ второго и третьего элементов ИЛИ-И-НЕ, третьему входу второй группы входов ИЛИ и первому входу третьей группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, второму входу первой группы входов И первого элемента И-ИЛИ-НЕ и первому входу первой группы входов И второго элементов И-ИЛИ-НЕ, выход инвертора подключен к первым входам первых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ и второму входу третьей группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, выход второго элемента ИЛИ-И-НЕ подключен ко второму входу первой группы входов ИЛИ и первому входу второй группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, входу второй группы входов ИЛИ третьего элемента

ИЛИ-И-НЕ и первому входу первой группы входов И первого элемента И-ИЛИ-НЕ, выход первого элемента И-ИЛИ-НЕ соединен с входом второй группы входов И второго элемента И-ИЛИ-НЕ, первым входом первой группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ и инверсным информационным выходом триггера, выход третьего элемента ИЛИ-И-НЕ соединен с третьим входом третьей группы входов ИЛИ и первым входом четвертой группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, входом второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ и вторым входом первой группы входов И второго элемента И-ИЛИ-НЕ, выход второго элемента И-ИЛИ-НЕ соединен с входом второй группы входов И первого элемента И-ИЛИ-НЕ, вторым входом четвертой группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ и прямым информационным выходом триггера, выход четвертого элемента ИЛИ-И-НЕ подключен к индикаторному выходу триггера.

2. Самосинхронный двухтактный D-триггер с высоким активным уровнем сигнала управления по п.1, отличающийся тем, что в него введен вход установки нуля и вторая группа входов ИЛИ второго элемента ИЛИ-И-НЕ имеет два входа, первый из которых подключен к входу установки нуля, а второй вход соединен с выходом третьего элемента ИЛИ-И-НЕ.

3. Самосинхронный двухтактный D-триггер с высоким активным уровнем сигнала управления по п.1, отличающийся тем, что в него введен вход установки единицы и вторая группа входов ИЛИ третьего элемента ИЛИ-И-НЕ имеет два входа, первый из которых подключен к входу установки единицы, а второй вход соединен с выходом второго элемента ИЛИ-И-НЕ.

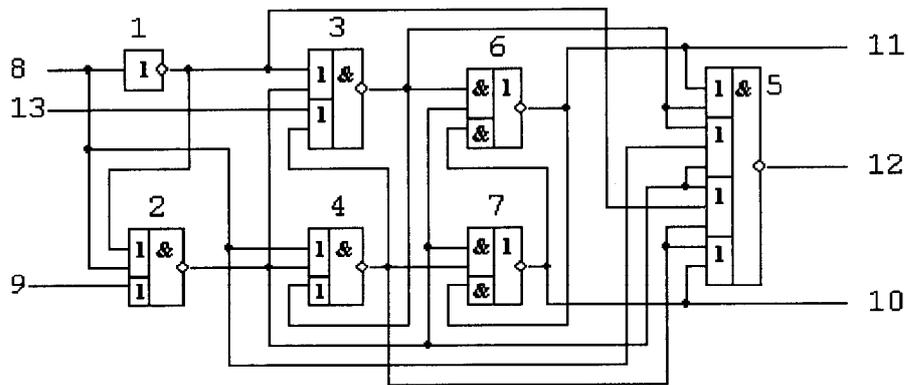
4. Самосинхронный двухтактный D-триггер с высоким активным уровнем сигнала управления по п.2, отличающийся тем, что в него введен вход установки единицы и вторая группа входов ИЛИ третьего элемента ИЛИ-И-НЕ имеет два входа, первый из которых подключен к входу установки единицы, а второй вход соединен с выходом второго элемента ИЛИ-И-НЕ.

5. Самосинхронный двухтактный D-триггер с высоким активным уровнем сигнала управления по п.2, отличающийся тем, что в четвертом элементе ИЛИ-И-НЕ введены третьи входы в первую и четвертую группы входов ИЛИ, подключенные к входу установки нуля.

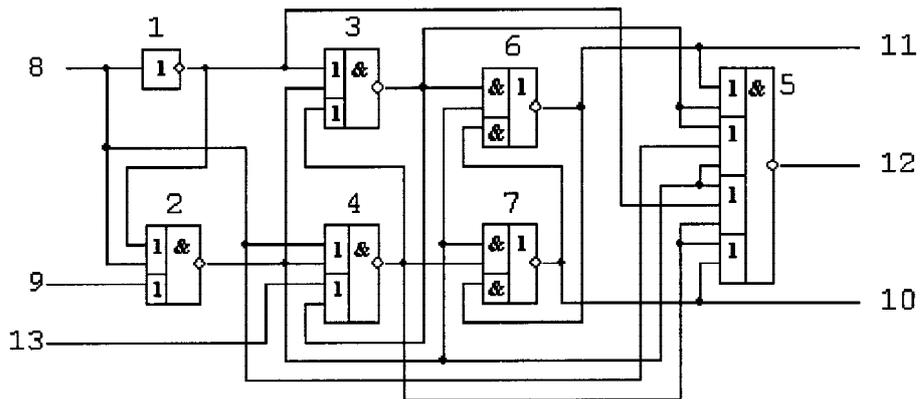
6. Самосинхронный двухтактный D-триггер с высоким активным уровнем сигнала управления по п.3, отличающийся тем, что в четвертом элементе ИЛИ-И-НЕ введены третьи входы в первую и четвертую группы входов ИЛИ, подключенные к входу установки единицы.

7. Самосинхронный двухтактный D-триггер с высоким активным уровнем сигнала управления по п.4, отличающийся тем, что в четвертом элементе ИЛИ-И-НЕ введены третьи и четвертые входы в первую и четвертую группы входов ИЛИ, причем третьи входы этих групп подключены к входу установки нуля, а четвертые входы этих групп соединены с входом установки единицы.

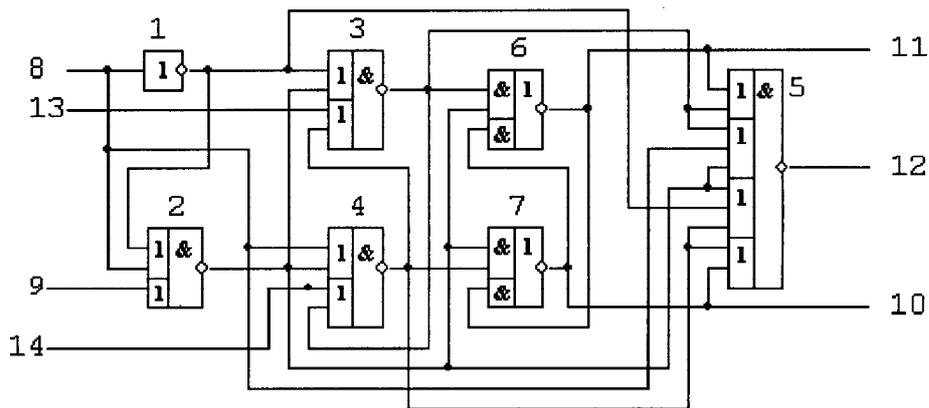
8. Самосинхронный двухтактный D-триггер с высоким активным уровнем сигнала управления по любому из пп.1-7, отличающийся тем, что в схему введен фазовый выход связи, соединенный с выходом первого элемента ИЛИ-И-НЕ.



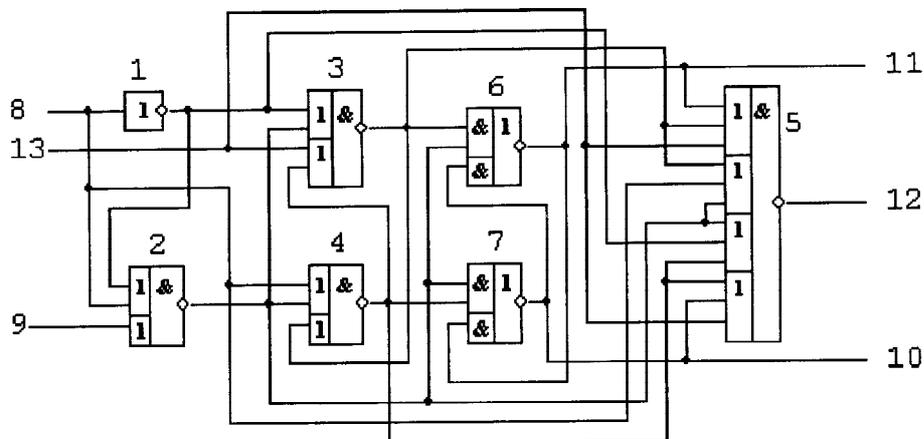
Фиг. 2



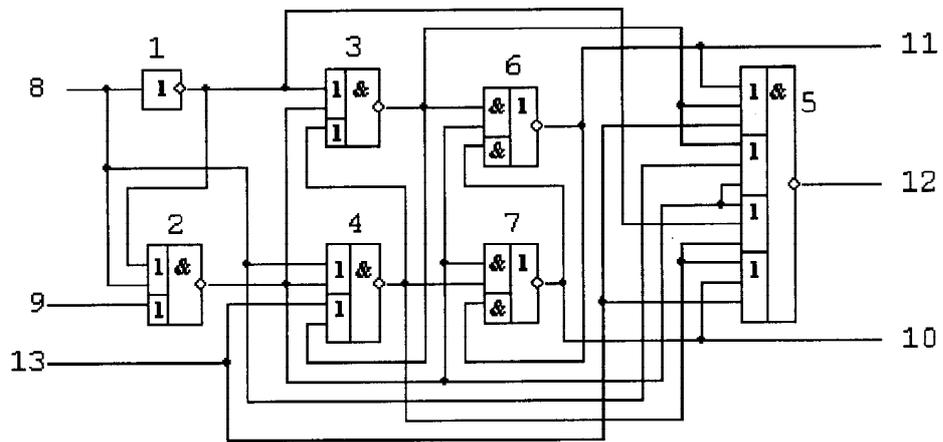
Фиг. 3



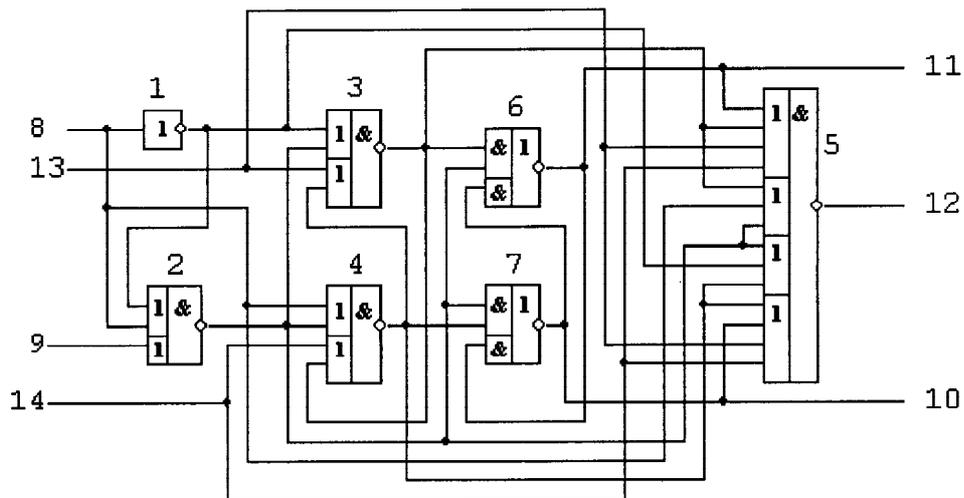
Фиг. 4



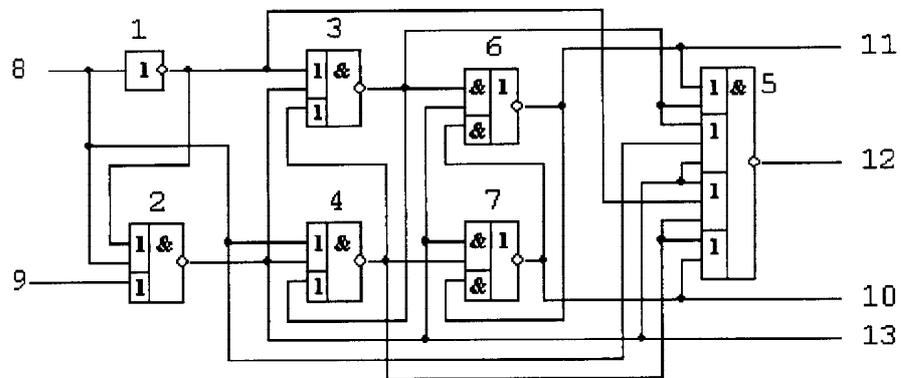
Фиг. 5



Фиг. 6



Фиг. 7



Фиг. 8