

УДК 004.451.88

Ю. А. Степченков, канд. техн. наук, В. С. Петрухин,
Ю. Г. Дьяченко, канд. техн. наук
Институт проблем информатики РАН,
YStepchenkov@ipiran.ru

ОПЫТ РАЗРАБОТКИ САМОСИНХРОННОГО ЯДРА МИКРОКОНТРОЛЕРА НА БАЗОВОМ МАТРИЧНОМ КРИСТАЛЛЕ

Рассматриваются состояние и проблемы создания строго самосинхронных (ССС) схем. СССР-схемы и системы на их основе обладают рядом свойств, выделяющих их из общего ряда цифровых устройств. СССР-схемы "естественно надежны", поскольку гарантируют сохранение работоспособности устройства при изменении условий окружающей среды в широком диапазоне, сравнимом с физическими ограничениями области работоспособности приборов на интегральных схемах. СС-схемотехника в полной мере отвечает требованиям, предъявляемым к элементной базе для критических областей применения.

Описана разработка средств проектирования и изготовления СССР-БИС на основе отечественного базового матричного кристалла (БМК 5503). Приведены предварительные результаты разработки (по итогам моделирования и топологического проектирования на отечественной промышленной САПР БМК "Ковчег 2.6") синхронного и самосинхронного вариантов исполнения тестового кристалла "Микроядро", реализующего функции вычислительного ядра 8-разрядного микроконтроллера PIC18CXX, широко используемого в отечественных разработках.

Введение

Теоретические исследования подтверждают, что самосинхронные (СС) схемы имеют ряд неоспоримых преимуществ по сравнению с другими типами цифровых электронных схем: синхронными, асинхронными и квазисамосинхронными. Главные преимущества СС-схем — сохранение работоспособности (устойчивой работы без сбоев) в любых возможных условиях эксплуатации и прекращение функционирования (всех переключений) в момент возникновения константной неисправности элементов. Указанные особенности обеспечивают высокую эффективность создания надежных изделий и, в первую очередь, реализацию отказоустойчивой аппаратуры для бортовых вычислительных комплексов в базисе СС-схем.

Достигнутый уровень разработ-

ки теории СС-схем и средств автоматизации их проектирования выдвигает в число первоочередных задач практическое подтверждение декларируемых свойств СС-схемотехники. При этом апробация методологии СС-проектирования должна учитывать возможности отечественной электронной промышленности и проводиться на уровне представительного функционально-законченного устройства.

В докладе отражены предварительные результаты разработки (по итогам моделирования и топологического проектирования на отечественной промышленной САПР БМК "Ковчег 2.6") синхронного и самосинхронного вариантов исполнения тестового кристалла "Микроядро", реализующего функции вычислительного ядра 8-разрядного микроконтроллера PIC18CXX, широко

используемого в отечественных разработках. Получение первых опытных образцов кристаллов, реализованных на БМК 5503, было запланировано на конец 2005 года.

Оценка полученных результатов сравнительного проектирования синхронного и самосинхронного вариантов тестового кристалла будет малоинформативна без точной идентификации класса схем, к которой может быть отнесен разработанный СС-вариант "Микроядро".

В литературе для обозначения схем, обладающих вышеуказанными свойствами, используется (не всегда обоснованно) целый "букет" названий [1]: СС-схемы (*self-timed circuits*); не зависящие от скорости (*speed-independent*); аperiodические (*dead-beat*); не зависящие от задержек (*delay-independent*); полумодулярные (*semi-modular*), не чувствительные к задержкам (*delay-insensitive*). В последнее время СС-схемами (в узком смысле) иногда стали называть схемы, где глобальная (на уровне системы) синхронизация заменена совокупностью локальных источников синхроимпульсов (*self-clocking*) или где синхронизация отсутствует (*clockless circuits*), но работоспособность зависит от некоторого соотношения задержек (например, считается, что задержка любых трех последовательно переключаемых элементов больше, чем задержка любого одного или двух элементов).

В работе [2] рассмотрено десять различных методологий проектирования асинхронных схем. Отвлекаясь от деталей, их можно разделить на две группы.

1. Методологии, базирующиеся на модели с ограниченной задержкой, например, схемы Хаффмана (*Huffman*) и микроконвейеры. Другие методологии предназначены для проектирования модулей, не чувствительных к задерж-

кам (например, *I-net*), однако их объединение требует использования либо линий задержки в цепях обратной связи, либо системы локальной синхронизации. Подобно синхронным схемам, они вынуждены ориентироваться на худший случай срабатывания элементов (правда, не глобально, во всей схеме, а локально, в отдельных ее частях), т. е. не являются схемами, полностью самопроверяемыми относительно константных неисправностей. В дальнейшем такие схемотехнические решения будем называть *квазисамосинхронными*. Наиболее известные зарубежные самосинхронные микросхемы и реализованные проекты относятся именно к этому классу [3—6].

2. Подходы, базирующиеся на модели элементов и соединительных проводов до точки разветвления с неограниченной задержкой. При этом предполагается, что разница в задержке проводов после разветвления меньше, чем минимальная задержка элемента. Если используемая технология производства ИС удовлетворяет требованию изохронности ветвления, то подобные методологии проектирования позволяют разрабатывать СС-схемы, полностью самопроверяемые. Примеры таких методологий: графы сигнальных переходов (STG), диаграммы изменений (CD) и трансляция процессов связи Мартина (*Martin*). При необходимости эти методологии могут быть расширены для разработки схем, не удовлетворяющих требованию изохронности ветвления, путем введения повторителей после разветвления. В настоящее время эти подходы носят, в основном, исследовательский характер. Во всяком случае, коммерчески выпускаемых изделий на их базе не обнаружено.

Схемы, методология которых разрабатывается в ИПИ РАН, и в том числе использованная в "Микроядре", относятся ко вто-

рой группе, и для их точной идентификации используем термин "строгие самосинхронные схемы" (ССС-схемы, *strictly self-timed circuits*). Они характеризуются совокупностью следующих особенностей:

- на концептуальном уровне они базируются на теории Д. Майлера (*Muller D.*) [7]; правильная работа таких схем не зависит от задержек составляющих их элементов (задержка любого элемента схемы, например элемента НЕ, может быть любой, но конечной величиной);
- на схемотехническом уровне использование дополнительных логических и топологических приемов позволяет обеспечить правильную работу ССС-схем независимо от задержек соединительных проводов (задержек проводов после разветвления, если такие задержки критичны);
- на уровне взаимодействия с внешней средой и другими ССС-схемами они используют асинхронный (запрос-ответный) принцип с фиксацией действительного окончания любого инициированного переходного процесса; функционирование самих ССС-схем обеспечивается без применения каких-либо синхросигналов, генераторы могут быть использованы только для сугубо второстепенных целей, например, для подсчета астрономического времени.

Только принадлежность к классу ССС-схем позволяет получить на практике все эти потенциальные преимущества [8].

1. Обоснование реализации тестовой схемы в виде БИС с программируемой структурой

Возможно несколько путей реализации тестовой ССС-схемы.

1. *Разработка специализированной ССС-ИС высокого уровня интеграции, сравнимой со стан-*

дартными синхронными ИС. Однако это связано с очень большими затратами средств и времени на проектирование ИС, что, с учетом недостаточной отработанности ССС-схемотехнических решений, делает этот подход в настоящее время нецелесообразным.

2. *Разработка ССС-схемы на базе микросхем малого и среднего уровней интеграции.* Применение МИС и СИС приводит к резкому росту числа корпусов ИС и усложнению монтажа. В результате снижается надежность изделий и их быстродействие. Этот тупиковый путь может скомпрометировать саму идею самосинхронизации; ее основные достоинства — повышение надежности и быстродействия — сводятся на нет использованием ИС малой степени интеграции.

3. Наиболее предпочтительной представляется *разработка схемы на базе программируемых изделий, отвечающих, в том числе, требованию создания специфичной аппаратуры с оригинальной схемотехникой.* Современные программируемые средства позволяют создавать целую "систему на кристалле". В настоящее время говорить о собственных российских разработках программируемых логических ИС (ПЛИС) высокой степени интеграции пока, к сожалению, не приходится. В то же время разработчикам ИС доступна целая гамма базовых матричных кристаллов (БМК), выпускаемых отечественной электронной промышленностью; сектор полужаказных микросхем на основе БМК развивается достаточно интенсивно. Именно эти изделия удовлетворяют потребности многих разработчиков радиоэлектронной аппаратуры и широко применяются в системах и комплексах специального и военного назначения.

В работе [9] подробно рассмотрено соответствие конструктивных, технологических и схемотехнических аспектов БМК

требованиям самосинхронного исполнения аппаратуры, и сделан вывод о практической непригодности базиса ПЛИС для проектирования ССС-схем. Схемотехнические решения, применяемые в ПЛИС, соответствуют принципу *синхронного* проектирования и определяются конструктивными особенностями ПЛИС. Это, прежде всего, наличие в ПЛИС глобальных сигналов синхронизации. Напротив, конструктивные решения, реализуемые в БМК, ориентированы на *асинхронное* проектирование, что соответствует требованию СС-исполнения.

Целям проектирования тестовой БИС "Микроядро" отвечает тип БМК 5503БЦ7У в рамках БМК серии 5503 (5478 условных вентилях в поле БМК, тип приемки 5). Обширная библиотека логических (210) и периферийных (140) элементов в рамках этой серии обеспечивает эффективное проектирование синхронной аппаратуры. Однако требованиям разработки ССС-схем отвечают только 26 функционально простых элементов:

- INV, INV2, INV3, INV4;
- AND2, AND3;
- OR2; OR3;
- NAN2, NAN3;
- NOR2, NOR3;
- A210I, A220I, A310I; A210, A220, A310;
- O21AI; O22AI; O31AI; O21A, O22A, O31A;
- RS, RSB.

Любая ССС-схема условно разбивается на две части — функциональную (ФЧ), выполняющую обработку входных данных, и индикаторную (ИЧ), фиксирующую окончание переходных процессов в отдельных частях ФЧ и ССС-схемы в целом. Основная причина отказа от большинства элементов библиотеки — нарушение требования их индицируемости: любой инициированный переходный процесс (процесс возбуждения) в этом элементе должен быть завершен, и факт

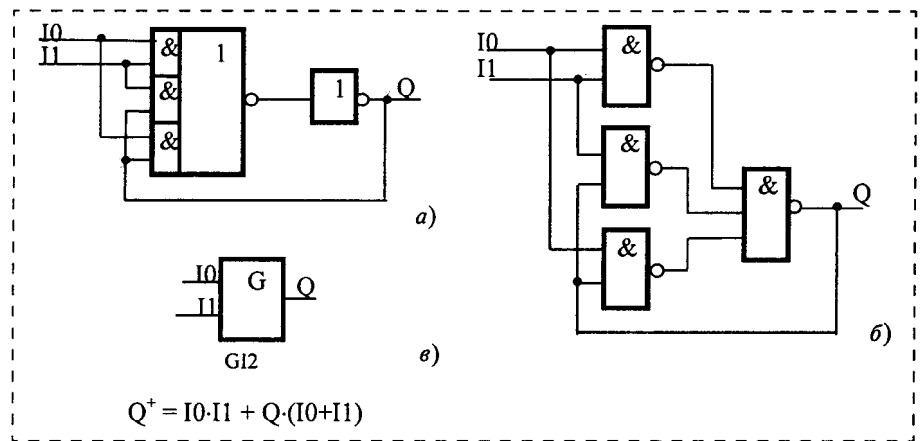


Рис. 1. Реализация индикаторных G-триггеров для инфазных сигналов:

а — корректная (однокаскадная) в своей основной логической части; б — некорректная (двухкаскадная); в — условное графическое обозначение (УГО), наименование и формульная запись функционирования G-триггера (G12)

завершения должен быть зафиксирован (индицирован). Снятие возбуждения до завершения переходного процесса является признаком нарушения самосинхронности, и такая реализация схемы не может быть аттестована как самосинхронная. Одно из наиболее простых (но не оптимальных и не обязательных) требований построения сложных многокаскадных элементов для ССС-реализаций — возможность индикации каждого его выхода, т. е. каждого каскада.

Любой однокаскадный элемент со стандартным (с двумя состояниями) выходом отвечает требованию индицируемости, а однокаскадная реализация ФЧ индикаторов является необходимым условием их реализации. Индикаторные элементы, по существу, это средство синхронизации процессов в ССС-схемах. Именно к их построению предъявляются наиболее жесткие требования, в данном случае — однокаскадность реализации. Теоретически и практически доказано, что корректные индикаторные элементы нельзя построить на упрощенном базисе И—НЕ и ИЛИ—НЕ. Для его построения необходим базис И—ИЛИ—НЕ. На рис. 1 приведены две реализации индикатора для двух инфазных (непарных) сигналов — так называемого гис-

терезисного триггера (G-триггера); также приведена его таблица истинности.

Таблица истинности элемента G12

№	Входы		Выход
	I0	I1	
1	0	0	0
2	0	1	Хранение
3	1	0	Хранение
4	1	1	1

Если наборы на входах I0 и I1 (00 и 11) фиксируются на длительное время, за которое успевают закончиться все переходные процессы, оба варианта реализации свободны от состязаний. Однако, если в схеме, показанной на рис. 1, а, изменение выхода является признаком окончания всех переходных процессов, то в схеме на рис. 1, б после изменения выхода переходные процессы в элементах первого каскада могут продолжаться.

G-триггер должен индицировать окончание переходных процессов не только в схемах, подключенных к его входам, но и в себе самом. При этом предполагается, что логические состязания на уровне одного однокаскадного элемента невозможны, так как время его переключения определяется, в основном, временем перезаряда его выходной емкости.

Рассмотрим возможные состязания в схеме на рис. 1. Исходное состояние $I_0 = I_1 = 0$, при котором на выходах всех элементов первого яруса сигналы равны 1, а $Q = 0$. Изменение выхода ($Q = 1$) произойдет после того, как будет выполнено условие $I_0 = I_1 = 1$. Предположим, что задержки элементов первого яруса, охваченные обратной связью, так велики¹, что сигналы на их выходах (или на выходе хотя бы одного элемента) остались равными 1, в то время как один из входов I_0 или I_1 перешел в исходное состояние 0. При этом выход элемента $I_0 \cdot I_1 / HE$ станет равным 1. Тогда выход Q может перейти из 1 в 0, не дожидаясь окончания переходных процессов в других элементах первого яруса — выполнения условия $I_0 = I_1 = 0$; схема, таким образом, не выполнит функцию индикатора.

Однокаскадным называется элемент, перезаряд выходной емкости которого осуществляется только через транзисторы с затворами, соединенными с его входными сигналами. К выходу однокаскадного элемента может быть подключено любое число последовательно/параллельно включенных элементов HE, что удовлетворяет требованию индицируемости.

Для эффективной реализации самосинхронного тестового кристалла на БМК разработан минимальный состав базовых, типовых и периферийных ССС-элементов (56 элементов) и выполнено их топологическое проектирование. Библиотечные элементы введены в состав САПР БМК "Ковчег 2.6". Кроме того, в классе ССС-макроэлементов разработано 12 макроэлементов, представляющих собой устойчивые и часто исполь-

зуемые комбинации библиотечных элементов.

2. Основные задачи и функциональное наполнение тестового кристалла

Цель настоящей работы — подтверждение потенциальных преимуществ ССС-схемотехники на примере опытного образца вычислительного устройства (ВУ), удовлетворяющего требованиям критических областей применения, например, формирователя команд управления как части баллистического вычислителя. Разработка и реализация архитектуры отдельного ВУ создает практическую базу для проектирования широкого класса ССС-схем с использованием отечественных серий БМК, а также обеспечивает проверку на опытных образцах соответствие ССС-схемотехники требованиям аппаратуры специального и военного назначения. Было доказано, что этим целям отвечает программно-аппаратный вариант реализации ВУ на базе программной модели одного из семейств микроконтроллеров фирмы *Microchip*. При этом требованиям по вычислительным ресурсам отвечает семейство микроконтроллера PIC18CXX. Для реализации его вычислительного ядра нужно порядка 6000 ячеек (без учета затрат на реализацию памяти программ, памяти данных и стека). Для отработки отдельных функционально значимых элементов ССС-реализации архитектурно-совместимого ядра данного семейства по экономическим соображениям было решено выбрать серию БМК 5503. К реализации архитектуры ССС-ВУ в полном объеме можно будет приступить только после проведения испытаний и подтверждения соответствия характеристик ССС-ВУ требованиям гарантоспособных изделий электронной техники.

Кроме основных задач, функциональное наполнение БИС

"Микроядро" должно было облегчить решение таких проблем как:

1) состыковка стандартного контрольно-измерительного и тестового оборудования (КИТО) завода-изготовителя БИС БМК, которое предназначено для проверки стандартных синхронных и асинхронных изделий, с СС-изделием;

2) ограниченное число выводов БМК, удовлетворяющих требованиям военной приемки;

3) ограничения со стороны КИТО и периферийных элементов входа БМК при проведении граничных испытаний по напряжению питания и температуре окружающей среды;

4) обеспечение как можно более точной локализации возможного дефекта при производстве опытных образцов с минимальной длиной тестовых последовательностей;

5) демонстрация работоспособности БМК-кристаллов и проведение сравнительных испытаний на площадке потенциальных пользователей.

Проблемы 1—3 были решены за счет организации подготовительных (настроечных) процедур со стороны КИТО на базе синхронного подхода, не требующего существенного увеличения контактов. В основном автоматическом режиме тестирования оборудование КИТО только осуществляет съем необходимой информации. Проблема 4 была решена с помощью метода сканирования точек индикации переходных процессов вместо использования метода периферийного сканирования, требующего существенных аппаратных затрат. Для решения проблемы 5 было использовано формирование сигналов, частота которых меньше рабочей частоты БИС в 256 раз.

В Микроядре можно выделить три функциональные части: формирователь потока команд (ФПК), собственно вычислитель

¹Напомним, что СС-схема (в данном случае G-триггер) должна работать корректно при любых значениях задержек элементов, ее составляющих.

и последовательно-параллельный порт (ПП-порт). Структура ФПК (рис. 2) функционально приближена к прототипу (контроллеру PIC18CXX), в том числе и по названиям элементов структуры. Имеющиеся отличия связаны с упрощением структуры прототипа и выводением части внутренних сигналов на внешние контакты Микроядра.

ФПК содержит: память программ (PM — *program memory*); регистр команд (IR — *instruction register*); мультиплексор адреса памяти программ (MX1); счетчик команд (PC — *program counter*); регистр перехода (JR — *jump register*); дешифратор команд (ID — *instruction decoder*); устройство управления (CU — *control unit*); буферы для организации шины данных (B1...B4, B — *bus*).

ФПК обеспечивает исполнение одиночной команды или четырех команд, располагаемых в программной памяти (PM) в произвольном порядке с возможностью циклического повтора. Одна и та же команда может располагаться в произвольной ячейке PM от 1 до 4 раз. Последний случай моделирует *n*-кратное исполнение команды. Небольшое число команд в Микроядре, тем не менее, позволяет имитировать основные этапы вычислительного процесса: процедуру вхождения в конвейер (первая команда после сброса требует для своего выполнения семь последовательных действий — два цикла, если следовать терминологии прототипа), исполнение команд в режиме насыщения конвейера (NOP, MUL и ROT за один цикл) и процедуру разрушения конвейера (команды GOTO и JUMP).

Напомним, что в функциональном плане прототип Микроядра (синхронный PIC18CXX2) содержит простейший двухступенчатый конвейер. Все команды (за исключением команд ветвления) выполняются за один машинный цикл [10].

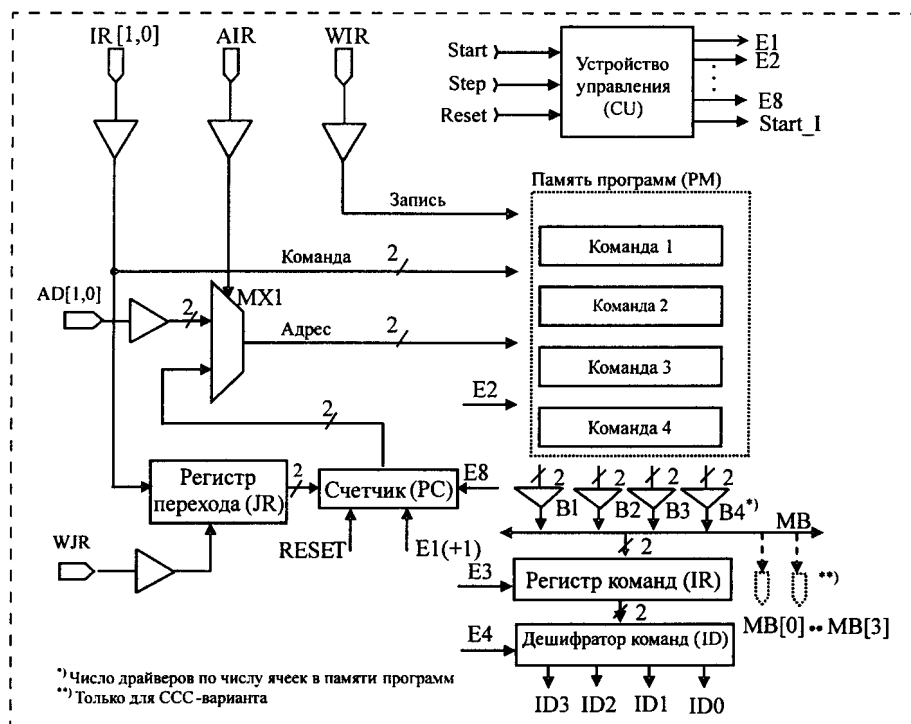


Рис. 2. Формирователь потока команд Микроядра

Возможны четыре режима состояния Микроядра, которые определяются управляющими сигналами Reset, Start и Step: режим простоя, режим автономной работы, режим пошаговой работы и режим ожидания. Перед инициацией автономного или пошагового режимов необходимо определить состояние всех ячеек памяти программ. Запись в память программ осуществляется по сигналу WIR = 0. Перед записью необходимо установить код команды на входах IR1, IR0 и адрес ячейки на входах AD1, AD0 и настроить мультиплексор на установку адреса извне (AIR = 0).

Память PM построена на регистрах-заселках и содержит дешифратор адреса ячейки памяти. В регистр JR заносится адрес перехода при выполнении команды JUMP. Для записи адреса перехода необходимо установить на шине IR адрес и активизировать сигнал WJR. При приходе команды JUMP в первом цикле активных действий не происходит; во втором цикле содержимое регистра JR переписывается в PC; в

следующем цикле по значению PC команда считывается из PM.

Вычислитель Микроядра (рис. 3) — упрощенная структура соответствующей части контроллера PIC18CXX, которая содержит, вместе с тем, ряд дополнительных элементов, облегчающих тестирование экспериментального образца Микроядра и обеспечивающих выдачу пользователям ряда параметров при проведении сравнительных испытаний двух вариантов его реализации.

В состав вычислителя входят:

- два последовательных двоичных счетчика команд IDC (IDCH:IDCL — IDCHigh:IDCLow);
- устройство сдвига (SU — *shift unit*);
- аппаратный умножитель (MU — *multiplying unit*);
- регистр устройства сдвига (SUR — *shifter unit register*);
- регистр умножителя (*product*), состоящий из двух частей (PRODH:PRODL).

Память данных прототипа (DM — *data memory*) имитируется двумя последовательными дво-

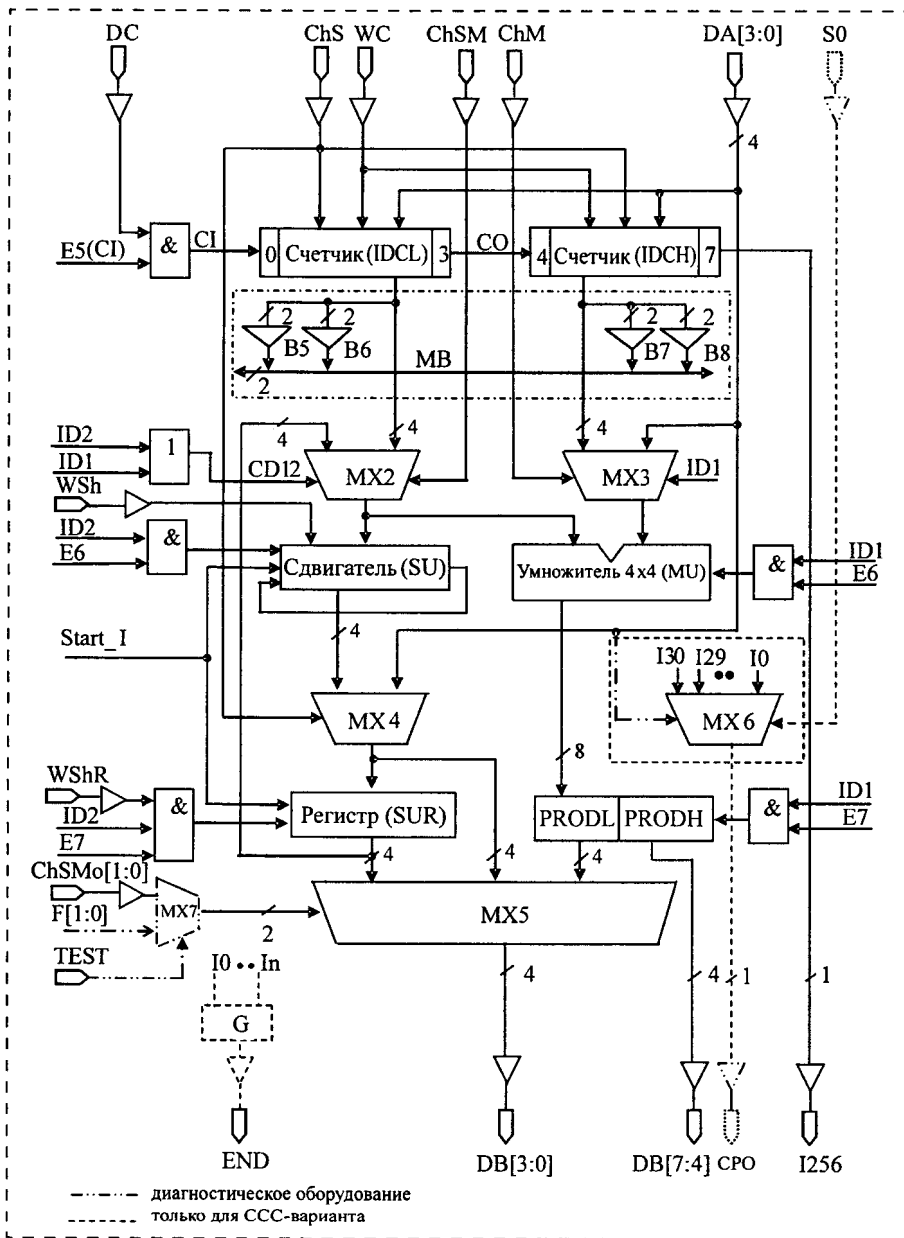


Рис. 3. Вычислитель Микроядра

ичными 4-разрядными счетчиками IDC с параллельной записью информации (канал считывания данных) и регистром сдвига SUR (канал записи данных). Регистр умножителя PROD имитирует регистровую память (выход умножителя MU соединен непосредственно со входом регистра PROD).

Счетчик IDC выполняет две основные функции:

- является средством автоматизированного тестирования сдвига (SU) и умножителя (MU) на всем диапазоне обрабатываемых операндов;

- вырабатывает сигнал 1256 (*Instruction 256*), формируемый один раз за 256 выполненных команд.

Третья функция, которая может быть возложена на счетчик — функция таймера, в том числе и для подсчета интервала времени тайм-аута (перехода на саморемонт).

Сравнительные результаты моделирования С-(синхронного) и CCC-вариантов исполнения основной части Микроядра в САПР КОВЧЕГ 2.6 следующие: по реальному быстрдействию —

в 1,5—3,1 раз в пользу CCC-варианта (в зависимости от смеси используемых команд); область устойчивой работоспособности по питающему напряжению — не менее 2 раз в пользу CCC-варианта; по числу используемых транзисторов — в 1,3 раза в пользу С-варианта.

2.3. Отказоустойчивый преобразователь последовательного кода в параллельный

Введение в состав тестовой БИС "Микроядро" отказоустойчивого фрагмента преследовало цель сопоставить эффективность реализации отказоустойчивости в рамках двух альтернативных схемотехник — синхронной и самосинхронной. Его функциями были:

- обнаружение неисправности — оперативная фиксация ошибки в работе устройства;
- диагностирование неисправности — локализация места, где произошла ошибка;
- выполнение саморемонта, например, замещение неисправного модуля резервным.

Реализация первой функции — "встроенный" атрибут любой CCC-схемы (100 %-ное бестестовое обнаружение константных неисправностей). Вторая функция в CCC-схемах реализуется без труда, так как каждый индикаторный сигнал несет информацию об исправности (неисправности) конкретного мелкогранулированного фрагмента схемы — отдельного разряда регистра, отдельного разряда мультиплексора и т. д. Для регулярных параллельных участков CCC-схемы используется метод саморемонта, где неисправный элемент заменяется резервным по методу скользящего резервирования с замещением посредством сдвига [11]. Этот метод в полной мере использует возможности CCC-схем по локализации неисправности. Однако, поскольку в вычислителе Микроядра для организа-

ции циклического сдвига используются последовательные регистровые структуры, было принято решение и в ПП-порту использовать их же. При этом удалось избежать разработки новых ССС-элементов для реализации ПП-порта.

В качестве примера на рис. 4 представлена схема синхронного преобразователя последовательного кода в параллельный. Восьмиразрядный сдвиговый регистр 3 предназначен для автоматизированного формирования кодовой последовательности на входе преобразователя кода.

Запись в сдвиговый регистр-задатчик (3) осуществляется тетрадами посредством активизации сигнала WSP. Выбор соответствующей тетрады (младшей или старшей) осуществляется по сигналу HTLT.

Кодовая последовательность от сдвигового регистра 3 поступает на вход двух приемных каналов. Первый приемный канал состоит из сдвиговых регистров П11, П12 и устройства сравнения, второй приемный канал — из сдвиговых регистров П21, П22 и устройства сравнения. Мультиплексор позволяет переключать выходы приемных каналов в зависимости от состояния сигнала S12. Устройство сравнения в каждом приемном канале осуществляет проверку принятых кодовых комбинаций и в случае обнаружения ошибки формирует сигнал ошибки: Eггor1 — для первого канала, Eггor2 — для второго канала. Синхронизирующие импульсы для ППП-порта формирует сигнал CLKS.

Для проведения испытаний преобразователя кода необходимо кодовую последовательность, поступившую в приемный канал, снова передать в сдвиговый регистр 3. Для этого перед подачей синхросигналов CLKS сигнал LOOPS переводится в состояние логического нуля. Предусмотрена возможность анализа измене-

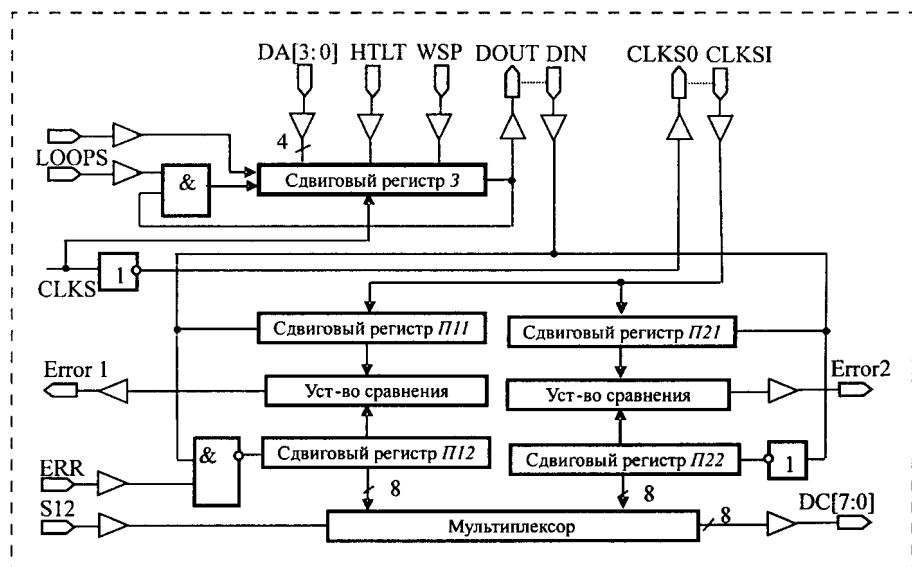


Рис. 4. Функциональная схема отказоустойчивого синхронного варианта последовательного порта тестового кристалла

ния характеристик ПП-порта при изменении длины последовательного канала — как между контактами DOUT и DIN, так и между CLKSO и CLKSI.

Для демонстрации отказоустойчивости преобразователя кода используется сигнал ERR. Если перед подачей синхроимпульсов CLKS данный сигнал перевести в состояние логического 0, это позволит внести изменения в кодовую последовательность, принятую в сдвиговый регистр П12. После подачи восьми синхроимпульсов устройство сравнения выдаст сигнал ошибки (Eггor1). Таким образом осуществляется имитация отказа в первом приемном канале преобразователя кода.

Сравнительные результаты моделирования ПП-портов С- и ССС-вариантов исполнения Микроядра — по всем показателям в пользу ССС-варианта: по реальному быстродействию — в 1,3...1,7 раза (в зависимости от геометрической длины последовательного канала); по числу транзисторов — в 1,3 раза; по области устойчивой работоспособности — в 2 раза; по числу покрытия неисправностей — в 3 раза.

Кроме того, ССС-схемы ха-

рактеризуются двумя главными преимуществами:

- устойчивой работой без сбоев при любых задержках и любых возможных условиях эксплуатации;
- безопасной работой: прекращением всех переключений в момент появления константных неисправностей элементов.

Авторы приносят благодарность канд. техн. наук Л. П. Плеханову за предложения по оптимизации ряда схемотехнических решений.

Работа выполнена при частичной финансовой поддержке по Государственному контракту № 1.4/03 (регистрация РАН: № 10002-251/ОИТВС-04/103-098/260503-201).

Список литературы

1. Varshavsky V., Kishinevsky M., Marakhovsky V. et al. Self-timed Control of Concurrent Processes / Ed. by V. Varshavsky. Kluwer Academic Publishers, 1990. 245p.
2. Scott Hauck. Asynchronous Design Methodologies: An Overview // Proceedings of the IEEE. 1995. Vol. 83. N 1. P. 69—93.
3. TIME Laboratory. ANNUAL REPORT 2002. May 2003. 252 p.
4. Payne R. Self-timed FPGA systems // Fifth International workshop on

Field Programmable Logic and Applications (W. Moore and W. Luk, eds.), V. 975 of Lecture Notes in Computer Science. 1995. P. 21—35.

5. Karthik S., de Souza I., Rahmeh J., Abraham J. Interlock Schemes for Micropipelines: Application to a Self-Timed Rebound Sorter // Proceedings of ICCD. 1991. P. 393—396.

6. Liebchen A., Gopalakrishnan G. Dynamic Reordering of High Latency Transactions Using a Modified Micropi-

peline // Proceedings of ICCD. 1992. P. 336—340.

7. Muller D., Bartky W. A theory of asynchronous circuits // Annals of computation laboratory of Harvard University. 1959. V. 29. P. 204—243.

8. Филин А. В., Степченко Ю. А. Компьютеры без синхронизации // Сборник "Системы и средства информатики". Вып. 9. М.: Наука, 1999. С. 247—261.

9. Степченко Ю. А., Денисов А. Н., Дьяченко Ю. Г., Гринфельд Ф. И., Фи-

лимоненко О. П., Фомин Ю. П. Библиотека элементов БМК для критических областей применения // Сборник "Системы и средства информатики". Вып. 14. М.: Наука, 2004. С. 318—361.

10. PIC18CXX2 Data Sheet. High-Performance Microcontrollers with 10-Bit A/D. 1999. 295 p.

11. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В. И. Варшавского. М.: Наука, 1986. 400 с.

ПРИМЕНЕНИЕ МНСТ

УДК 621.3.049.77; 629.113/.115, 629.73

В. Беляев, д-р техн. наук, проф.,
ЦНИИ Комета, МГИРЭА

МЭМС/МСТ В СОВРЕМЕННОЙ ТЕХНИКЕ НА ПРИМЕРЕ АВТОМОБИЛЕСТРОЕНИЯ И АВИАЦИИ

Рассматриваются основные признаки и области применения изделий микросистемной техники (МСТ), современные тенденции рынка МСТ, указаны основные зарубежные и российские разработчики и производители изделий на основе этой технологии. На примере датчиков для автомобилестроения и авиации показывается, как происходит замена традиционных датчиков на МСТ/МЭМС в США и России.

О МСТ/МЭМС

Микросистемная техника (МСТ) — это научно-техническое направление, цель которого — создание в ограниченном объеме твердого тела или на его поверхности микросистем, представляющих собой упорядоченные композиции областей с заданным составом, структурой и геометрией. Статическая или динамическая совокупность этих систем обеспечивает генерацию, преобразование, передачу энергии и движения в интеграции с процессами восприятия, обработки, трансляции и хранения информации при выполнении запрограммированных операций и действий в требуемых условиях эксплуатации с заданными функциональными, энергетическими, временными и надежностными показателями [1, 2]. Микросисте-

мы могут выполнять все или часть перечисленных функций.

За рубежом устройства, преобразующие или передающие механическую энергию или движение под действием электронных сигналов (гальванические связи находятся в тесном взаимодействии с механическими), называют также "микромашинами" и "микроэлектромеханическими" системами или устройствами (МЭМС или МЭМУ).

Изготовление МСТ/МЭМС, по сравнению с классическими промышленными технологиями — механообработкой, литьем, технологией пластмасс, применяемыми при производстве традиционных электромеханических устройств, более выгодно из-за низкой цены изделий микроэлектроники, более легкой достижимости малых и сверхмалых линейных размеров при повышенной точности [3]. В МЭМС-технологии все изделие может изготавливаться в едином технологическом производственном процессе, что при массовом производстве снижает себестоимость всего электромеханического блока почти до нуля. Более того, изделие с микрометровыми размерами получается функционально полным и имеет малое энергопотребление.

В последние 20 лет благодаря уникальным свойствам кремния и появлению так называемой объемной фотолитографии МЭМС-технология получила опережающее развитие. Как материал с полупроводниковыми электрофизическими свойствами кремний известен с середины прошлого века, но благодаря открытию его пьезоэлектрических свойств оказалось возможным создание электромеханических конструкций на кремниевой основе. Вторым фактором стало появление промышленной технологии объемного жидкостного травления кремния, а также разработанной в Германии LIGA-технологии, позволяющей не только форми-