

ОЦЕНКА НАДЕЖНОСТИ СИНХРОННОГО И САМОСИНХРОННОГО КОНВЕЙЕРОВ*

И. А. Соколов¹, Ю. А. Степченков², Ю. Г. Дьяченко³, Ю. В. Рождественский⁴

Аннотация: Самосинхронная (СС) схемотехника выступает альтернативой синхронным схемам. Самосинхронные схемы обладают рядом преимуществ в сравнении с синхронными аналогами, но аппаратно избыточны. Статья исследует иммунность самосинхронных и синхронных схем к однократным кратковременным логическим сбоям (ЛС) с учетом аппаратурной избыточности СС-схем. Самосинхронные схемы за счет своей неотъемлемой части — индикаторной подсхемы — способны обнаружить ЛС, проявляющийся как инверсия состояния выхода логической ячейки схемы, и приостановить функционирование схемы до его исчезновения. Тем самым СС-схемы маскируют однократный ЛС и предотвращают искажение данных. Использование модифицированного гистерезисного триггера для реализации разряда регистра ступени конвейера маскирует практически все ЛС в комбинационной части (КЧ) ступени конвейера. DICE-подобная реализация этого триггера позволяет в 4 раза снизить чувствительность СС-регистра к ЛС внутри него. Количественные оценки сбоеустойчивости показывают явное (в 2,5–9,4 раза) преимущество СС-конвейера схемы в сравнении с синхронным аналогом.

Ключевые слова: самосинхронные схемы; логический сбой; сбоеустойчивость; конвейер; индикация; вероятностная оценка

DOI: 10.14357/19922264220401

1 Введение

В современных условиях задача обеспечения надежной работы цифровых схем выдвигается на первый план. Повышение тактовой частоты в синхронной схемотехнике, все возрастающая функциональная сложность интегральных микросхем создают предпосылки для повышения их чувствительности к нештатным ситуациям — ЛС и физическим отказам из-за внешних и внутренних причин. Способность схемы к маскированию ЛС и отказов определяет уровень ее надежности. Практика показала, что отказы в цифровых микросхемах встречаются гораздо реже, чем ЛС [1].

Логический сбой проявляется как изменение логического уровня сигнала в цепи, приводящее к искажению результата обработки данных. Методы защиты от ЛС в основном направлены на их маскирование и используют корректирующие коды [2], методы обнаружения и изоляции [3] и некоторые другие подходы [4, 5].

Синхронные безыбыточные схемы не имеют встроенных средств контроля корректности переключений. В отличие от них, асинхронные схемы используют зачатки контроля корректности выполняемых операций [6, 7]. Однако их возможности по маскированию ЛС ограничены.

Альтернативой синхронным и асинхронным схемам выступают СС-схемы [8; 9; 10, р. 61–73]. Они характеризуются двухфазной дисциплиной работы и обязательным подтверждением (индицированием) завершения переключения в каждую фазу. Благодаря этому СС-схемы обладают естественной высокой сбоеустойчивостью [11, 12]. Плата за эти преимущества — увеличение в 1,5–3,3 раза (в зависимости от типа схемы) сложности реализации в сравнении с синхронными аналогами.

При постоянной интенсивности событий, приводящих к сбоям, число сбоев в схеме обычно растет с увеличением сложности схемы [13]. Поэтому решаемая в статье задача сравнительной количественной оценки устойчивости синхронных и самосинхронных схем к однократным ЛС с учетом их аппаратной сложности и особенностей функционирования особенно актуальна.

2 Вероятность появления логического сбоя

В микросхемах, изготовленных по технологии комплементарный металл — диэлектрик — полупроводник (КМДП), ЛС выражается во временном изменении потенциала некоторой цепи из-за

* Исследование выполнено в рамках гранта Российского научного фонда (проект 22-19-00237).

¹ Федеральное исследовательское учреждение «Информатика и управление» Российской академии наук, ISokolov@ipiran.ru

² Федеральное исследовательское учреждение «Информатика и управление» Российской академии наук, YStepchenkov@ipiran.ru

³ Федеральное исследовательское учреждение «Информатика и управление» Российской академии наук, diaura@mail.ru

⁴ Федеральное исследовательское учреждение «Информатика и управление» Российской академии наук, YRogdest@ipiran.ru

индуцирования в ней избыточных неравновесных носителей заряда. В комбинационных схемах логический уровень сигнала восстанавливается спустя какое-то время [14]. В триггерных схемах сбой может запомниться, стать критичным.

При постоянной эксплуатационной плотности потока случайных событий λ_0 (числа событий в единицу времени на единицу площади), инициирующих однократные сбои, интенсивность сбоев λ в схеме оценивается как сумма интенсивностей сбоев отдельных компонентов схемы [13, формулала (3.11)]. Обычно в качестве компонента схемы берется КМДП-транзистор [12]:

$$\lambda = N\lambda_0\alpha,$$

где N — число транзисторов в схеме; α — усредненная вероятность появления сбоя при поражении одного транзистора. Тогда отношение интенсивностей сбоев для СС-схемы и синхронного аналога

$$K_\lambda = \frac{\lambda_S}{\lambda_{ST}} = \frac{N_S\lambda_0\alpha_S}{N_{ST}\lambda_0\alpha_{ST}} = \frac{N_S\alpha_S}{N_{ST}\alpha_{ST}} = \frac{\alpha_S}{A_R\alpha_{ST}},$$

где λ_S и λ_{ST} — интенсивности сбоев в синхронной и самосинхронной схемах; N_S и N_{ST} — сложность (число КМДП-транзисторов) синхронной и самосинхронной схем; α_S и α_{ST} — вероятность сбоя при повреждении одного транзистора синхронной и самосинхронной схем; $A_R = N_{ST}/N_S$ — коэффициент аппаратной избыточности СС-схемы в сравнении с синхронным аналогом.

Типовой эффективный диаметр трека ядерной частицы, одного из источников сбоев, достигает 2–2,5 мкм [15]. В КМДП-технологии с проектными нормами 65 нм это, например, соответствует размеру схемы из нескольких транзисторов. Поэтому целесообразно рассматривать вероятность появления сбоя применительно к логическим ячейкам схемы.

Будем рассматривать цифровую схему как совокупность библиотечных ячеек, соединенных сигнальными цепями. Для упрощения будем считать, что появление сбоя в любом месте принципиальной схемы ячейки вызывает инверсию уровня сигнала на ее выходе с вероятностью 0,5. Пусть одно событие, порождающее сбой, может привести к ЛС только в одной ячейке схемы. Тогда интенсивность сбоев λ_i в i -й ячейке схемы равна

$$\lambda_i = \frac{S_i}{2S} \lambda_0 P_\Theta,$$

где S_i и S — площади топологии i -й ячейки и всей схемы; P_Θ — вероятность индуцирования критического избыточного заряда одним сбойным событием.

Однако не все ЛС в ячейках схемы проявляются на ее выходах, поскольку при распространении по схеме они могут быть замаскированы. Интенсивность ЛС на выходах схемы

$$\begin{aligned} \lambda_{\text{вых}} &= \sum_{i=1}^{M_{\text{вых}}} \lambda_i + \sum_{i=M_{\text{вых}}+1}^M (\lambda_i P_{P,i}) = \\ &= \frac{\lambda_0 P_\Theta}{2S} \left(\sum_{i=1}^{M_{\text{вых}}} S_i + \sum_{i=M_{\text{вых}}+1}^M (S_i P_{P,i}) \right), \end{aligned} \quad (1)$$

где M — общее число ячеек в схеме; $M_{\text{вых}}$ — число выходных ячеек в схеме; $P_{P,i}$ — вероятность того, что сбой на выходе i -й внутренней ячейки приведет к сбою на выходе всей схемы.

Оценим вероятность $P_{P,i}$.

3 Маскирование логического сбоя логикой схемы

Введем вероятность $P_{P,ij}$ прохода ЛС с выхода i -й ячейки на выход Y_j схемы. Пусть зависимость Y_j от внутренних и внешних сигналов схемы описывается монотонной функцией $Y_j = F_j(X_1, \dots, X_M)$. С учетом разложения Y_j по X_i ,

$$\begin{aligned} Y_j &= F_{0ij}(X_1, \dots, X_{i-1}, X_{i+1}, \dots, X_M) + \\ &+ F_{1ij}(X_1, \dots, X_{i-1}, X_{i+1}, \dots, X_M) X_i, \end{aligned}$$

вероятность распространения ЛС от X_i до Y_j :

$$P_{P,ij} = \frac{N_{F_{0ij}} N_{F_{1ij}}}{2^{M_j-1}},$$

где $N_{F_{0ij}}$ и $N_{F_{1ij}}$ — число комбинаций входов схемы, при которых $F_{0ij} = 0$ и $F_{1ij} = 1$ соответственно; M_j — реальное число сигналов, от которых зависит Y_j . Если $F_{0ij} \equiv 0$, то $N_{F_{0ij}} = 1$; если $F_{1ij} \equiv 1$, то $N_{F_{1ij}} = 1$. Вероятность появления на выходе Y_j ЛС, наблюдаемого на выходе одной из ячеек схемы,

$$P_{P,j} = \sum_{i=1}^M \left(\frac{N_{F_{0ij}} N_{F_{1ij}}}{2^{M_j-1}} \prod_{k=1}^{i-1} \left(1 - \frac{N_{F_{0kj}} N_{F_{1kj}}}{2^{M_j-1}} \right) \right),$$

а вероятность появления сбоя, поразившего i -ю ячейку, на выходах схемы

$$P_{P,i} = \sum_{j=1}^{M_{\text{вых}}} \frac{N_{F_{0ij}} N_{F_{1ij}}}{2^{M_j-1}}. \quad (2)$$

Аналогичные вероятности могут быть рассчитаны для любой пары цепей схемы, что позволяет получить оценки чувствительности схемы к ЛС в ее ячейках уже на этапе ее логического синтеза.

Парафазное кодирование информационного сигнала

№	X	{X, XB}	Значение
1	—	00	Нулевой спейсер
2	0	01	Бит «0»
3	1	10	Бит «1»
4	—	11	Единичный спейсер

Сбой выхода СС-схемы часто маскируется СС-дисциплиной за счет избыточного (парафазного [9]) кодирования данных и двухфазной работы. При парафазном кодировании каждый синхронный сигнал X заменяется парафазным сигналом {X, XB}, как показано в таблице.

Парафазный сигнал формируется двумя согласованными логическими ячейками. Следовательно, однократный ЛС изменяет одну компоненту парафазного сигнала, делая его состояние не соответствующим текущей фазе схемы. Индикаторная подсхема обнаруживает это нарушение и останавливает функционирование СС-схемы до исчезновения сбоя.

Практические СС-схемы обычно реализуются в виде конвейера для повышения производительности аналогично синхронным схемам. В типовом СС-конвейере каждая ступень состоит из КЧ и выходного регистра (ВР), как показано на рисунке. Их индикаторные подсхемы ИКЧ и ИВР с помощью гистерезисного триггера (Г-триггера [9], на рисунке обозначен буквой Н) разрешают предыдущей ступени конвейера переключаться в следующую фазу работы.

Анализ возможных ситуаций появления ЛС в ступени конвейера показывает, что сбой в ее КЧ в худшем случае приводит лишь к приостановке работы конвейера, но не портит обрабатываемые данные, если разряды регистра ступени реализованы сбоеустойчивой схемой [16, Fig. 10]. Однако появление ЛС непосредственно в выходном регистре с вероятностью 0,25 вызывает искажение результата обработки данных или «зависание» конвейера. Использование в разряде регистра Г-триггера с DICE-подобной реализацией [16, Fig. 12] в 4 раза улучшает иммунитет регистра.

Индикаторные подсхемы КЧ и регистра ступени СС-конвейера вносят незначительный вклад в чувствительность СС-конвейера к ЛС. Критическая ситуация может возникнуть только в том случае, если ЛС поражает выходной Г-триггер, что в многоразрядных СС-схемах крайне маловероятно.

Суммарная вероятность искажения данных в m -й ступени СС-конвейера с n_m -разрядным выходным регистром из-за ЛС зависит от площадей топологии КЧ ($S_{CP,m}$), Г-триггеров (S_H) и индикаторного элемента (S_{IE}) в разрядах регистра и индикаторных подсхем КЧ ($S_{CPI,m}$) и ВР ($S_{ORI,m}$):

$$P_{ST,m} = \frac{0,25n_m(2S_H + S_{IE})}{S_{CP,m} + n_m(2S_H + S_{IE}) + S_{CPI,m} + S_{ORI,m}} \cdot (3)$$

Пусть КЧ содержит M ячеек и ее сложность в $K_{CP,m}$ раз превышает сложность регистра. Тогда формула (3) преобразуется к виду:

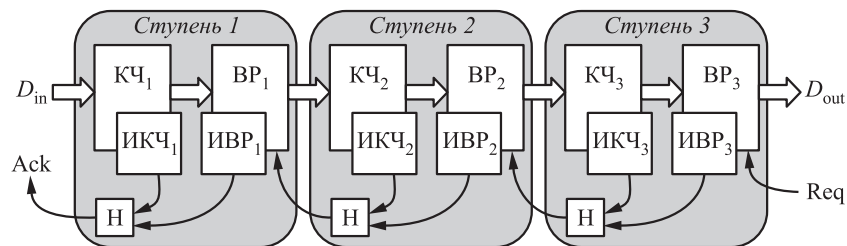
$$P_{ST,m} \approx \frac{0,55}{2,2K_{CP,m} + 2,7 + 0,25M/n_m}.$$

При реальных значениях $K_{CP,m} = 4$ и $M = 8n_m$ вероятность критического сбоя $P_{ST,m} \approx 0,041$. При использовании DICE-подобного Г-триггера она уменьшается до величины $P_{DICE,m} \approx 0,011$, т.е. почти в 4 раза.

В синхронном конвейере однократный ЛС, наблюдаемый в любой части m -й ступени, не может замаскироваться дисциплиной работы. С учетом формулы (2) вероятность искажения данных из-за сбоя в КЧ m -й ступени

$$P_{S,m} = \sum_{i=1}^{M_S} \left(\frac{S_i}{S} \sum_{j=1}^{M_{S_{\text{вых}}}} \frac{N_{F_0ij} N_{F_1ij}}{2^{M_j-1}} \right),$$

где M_S — число ячеек в КЧ m -й ступени синхронного конвейера; $M_{S_{\text{вых}}}$ — число ее выходов. В первом приближении эту вероятность можно оценить как $P_{S,m} = 0,25$ [16].



Структура типового СС-конвейера

4 Сравнение сбоеустойчивости синхронных и самосинхронных схем

При заданной эксплуатационной плотности потока сбойных событий λ_0 интенсивность критических сбоев на выходах m -й ступени конвейера равна

$$\lambda_{CF,ST} \approx \lambda_{ST} P_{ST,m} = \frac{0,55\lambda_{ST}}{2,2K_{CP,m} + 2,7 + 0,25M/n_m}$$

для СС-конвейера и

$$\lambda_{CF,S} \approx \lambda_S P_{S,m} = 0,25\lambda_S$$

для синхронного конвейера. Следовательно, отношение интенсивностей критических сбоев для синхронного и самосинхронного конвейера:

$$K_{CF} = \frac{\lambda_{CF,S}}{\lambda_{CF,ST}} = \frac{0,25\lambda_S (2,2K_{CP,m} + 2,7 + 0,25M/n_m)}{0,55\lambda_{ST}}. \quad (4)$$

Поскольку синхронная КЧ в 2 раза проще, чем в СС-конвейере с парафазным кодированием, и индикаторной подсхемы нет, соотношение площадей топологий синхронного ($S_{S,P}$) и самосинхронного конвейеров ($S_{ST,P}$)

$$K_H = \frac{S_{ST,P}}{S_{S,P}} = 2 + \frac{4,25M + 8,5n_m}{20n_m(K_{CP,m} + 1)}.$$

Для реальных значений $K_{CP,m} = 4$, $M = 8n_m$ и $n_m = 32$ получается $K_H = 2,4$. Тогда в соответствии с формулами (1), (2) и (4) сбоеустойчивость СС-конвейера оказывается лучше сбоеустойчивости синхронного конвейера в 2,5–9,4 раза в зависимости от схемы реализации разряда СС-регистра.

5 Заключение

Самосинхронные схемы обладают естественной высокой иммунностью к ЛС благодаря избыточному кодированию данных, двухфазной работе и контролю окончания переключения в каждую фазу. Анализ сбойных ситуаций показывает, что наиболее чувствительной к однократным ЛС частью ступени СС-конвейера оказывается ВР. Однако реализация его разрядов на DICE-подобных Г-триггерах повышает его сбоеустойчивость в 4 раза.

Реализация цифровой схемы в виде СС-конвейера гарантирует повышение ее устойчивости

к однократным ЛС в 2,5–9,4 раза в сравнении с синхронным конвейером, причем при появлении критического сбоя СС-конвейер останавливается и своими индикаторными сигналами локализует место сбоя. Недостатком такой реализации является увеличенная в 2,4 раза сложность и, соответственно, площадь схемы в топологии.

Литература

1. *Викторова В. С., Лубков Н. В., Степанянц А. С.* Анализ надежности отказоустойчивых управляющих вычислительных систем. — М.: ИПУ РАН, 2016. 117 с.
2. *Morelos-Zaragoza R. H.* The art of error correcting coding. — 2nd ed. — Hoboken, NJ, USA: Wiley, 2006. 269 p.
3. *LaFrieda C., Manohar R.* Fault detection and isolation techniques for quasi delay-insensitive circuits // Conference (International) on Dependable Systems and Networks, 2004. P. 41–50. doi: 10.1109/DSN.2004.1311875.
4. *Monnet Y., Renaudin M., Leveugle R.* Hardening techniques against transient faults for asynchronous circuits // 11th On-Line Testing Symposium (International) Proceedings. — IEEE, 2005. P. 129–134.
5. *Dug M., Krstic M., Jokic D.* Implementation and analysis of methods for error detection and correction on FPGA // IFAC-PapersOnLine, 2018. Vol. 51. No. 6. P. 348–353.
6. *Lodhi F. K., Hasan S., Hasan O., Awwad F.* Low power soft error tolerant macro synchronous micro asynchronous (MSMA) pipeline // Computer Society Annual Symposium on VLSI Proceedings. — Piscataway, NJ, USA: IEEE, 2014. P. 601–606. doi: 10.1109/ISVLSI.2014.59.
7. *Gkiokas C., Schoeberl M. A.* Fault-tolerant time-predictable processor // Nordic Circuits and Systems Conference: NORCHIP and Symposium (International) of System-on-Chip Proceedings. — Piscataway, NJ, USA: IEEE, 2019. Art. 8906947. 6 p. doi: 10.1109/NORCHIP.2019.8906947.
8. *Muller D., Bartky W.* A theory of asynchronous circuits // Symposium (International) on the Theory of Switching Proceedings. — Harvard University Press, 1959. Vol. 29. P. 204–243.
9. *Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V.* Concurrent hardware: The theory and practice of self-timed design. — New York, NY, USA: John Wiley & Sons, 1994. 368 p.
10. *Smith S. C., Jia Di.* Designing asynchronous circuits using NULL convention logic (NCL). — Synthesis lectures on digital circuits and systems ser. — Cham: Springer, 2009. 96 p.
11. *Stepchenkov Y. A., Kamenskih A. N., Diachenko Y. G., Rogdestvenski Y. V., Diachenko D. Y.* Improvement of the natural self-timed circuit tolerance to short-term soft errors // Advances Science Technology Engineering Systems J., 2020. Vol. 5. No. 2. P. 44–56.
12. *Соколов И. А., Степченков Ю. А., Рождественский Ю. В., Дьяченко Ю. Г.* Приближенная оценка

- эффективности синхронной и самосинхронной методологий в задачах проектирования сбоеустойчивых вычислительно-управляющих систем // Автоматика и телемеханика, 2022. № 2. С. 122–132.
13. Dubrova E. Fault-tolerant design. — New York, NY, USA: Springer, 2013. 185 p. doi: 10.1007/978-1-4614-2113-9.
 14. Eaton P., Benedetto J., Mavis D., Avery K., Sibley M., Gadlage M., Turflinger T. Single event transient pulse width measurements using a variable temporal latch technique // IEEE T. Nucl. Sci., 2004. Vol. 51. No. 6. P. 3365–3368. doi: 10.1109/TNS.2004.840020.
 15. Emel'yanov V. V., Vatuiev A. S., Useinov R. G. Impact of heavy ion energy on charge yield in silicon dioxide // IEEE T. Nucl. Sci., 2018. Vol. 65. No. 8. P. 1496–1502.
 16. Stepchenkov Y., Diachenko Y., Rogdestvenski Y., Shikunov Y., Diachenko D. Self-timed storage register soft error tolerance improvement // East–West Design & Test Symposium Proceedings. — Piscataway, NJ, USA: IEEE, 2021. P. 145–150.

Поступила в редакцию 20.06.22

SYNCHRONOUS AND SELF-TIMED PIPELINE'S RELIABILITY ESTIMATION

I. A. Sokolov, Yu. A. Stepchenkov, Yu. G. Diachenko, and Yu. V. Rogdestvenski

Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation

Abstract: Self-timed (ST) circuitry is an alternative to synchronous circuits. Self-timed circuits have a number of advantages over their synchronous counterparts due to their redundant complexity. The article investigates the immunity of self-timed and synchronous circuits to single short-term soft error taking into account the hardware redundancy of ST circuits. Self-timed circuits, due to their indication subcircuit, are able to detect a soft error which occurs as a logical cell's output state inversion and suspend the operation of the circuit until the soft error disappears. Thus, ST circuits mask a single soft error and prevent distortion of the data processing result. The use of a modified hysteretic trigger, which prevents sticking in the antispacer, to implement a pipeline stage register bit masks almost all soft errors in the pipeline stage's combinational part. The DICE-like implementation of this trigger makes it possible to reduce the sensitivity of the ST register to the internal soft errors by a factor of 4. Quantitative estimates of failure tolerance show a clear (by 2.5–9.4 times) advantage of the ST pipeline in comparison with the synchronous counterpart.

Keywords: self-timed circuit; soft error; failure tolerance; pipeline; indication; probabilistic estimate

DOI: 10.14357/19922264220401

Acknowledgments

The research was supported by the Russian Science Foundation (project No. 22-19-00237).

References

1. Viktorova, V.S., N.V. Lubkov, and A.S. Stepanyants. 2016. *Analiz nadezhnosti otkazoustoychivyykh upravlyayushchikh vychislitel'nykh sistem* [Analysis of fault-tolerant computing systems' reliability]. Moscow: IPU RAN. 117 p.
2. Morelos-Zaragoza, R. H. 2006. *The art of error correcting coding*. Hoboken, NJ: Wiley. 269 p.
3. LaFrieda, C., and R. Manohar. 2004. Fault detection and isolation techniques for quasi delay-insensitive circuits. *Conference (International) on Dependable Systems and Networks Proceedings*. 41–50. doi: 10.1109/DSN.2004.1311875.
4. Monnet Y., M. Renaudin, and R. Leveugle. 2005. Hardening techniques against transient faults for asynchronous circuits. *11th On-Line Testing Symposium (International) Proceedings*. IEEE. 129–134.
5. Dug, M., M. Krstic, and D. Jokic. 2018. Implementation and analysis of methods for error detection and correction on FPGA. *IFAC-PapersOnLine* 51(6):348–353.
6. Lodhi, F. K., S. Hasan, O. Hasan, and F. Awwad. 2014. Low power soft error tolerant macro synchronous micro asynchronous pipeline. *Computer Society Annual Symposium on VLSI Proceedings*. Piscataway, NJ: IEEE. 601–606. doi: 10.1109/ISVLSI.2014.59.
7. Gkiokas, C., and M. A. Schoeberl. 2019. Fault-tolerant time-predictable processor. *Nordic Circuits and Systems Conference: NORCHIP Symposium (International) of System-on-Chip Proceedings*. Piscataway, NJ: IEEE. 8906947. 6 p. doi: 10.1109/NORCHIP.2019.8906947.

8. Muller, D. E., and W. C. Bartky. 1959. A theory of asynchronous circuits. *Symposium (International) on the Theory of Switching Proceedings*. Harvard University Press. 29:204–243.
9. Kishinevsky, M., A. Kondratyev, A. Taubin, and V. Varshavsky. 1994. *Concurrent hardware: The theory and practice of self-timed design*. New York, NY: John Wiley & Sons. 368 p.
10. Smith, S. C., and J. Di. 2009. *Designing asynchronous circuits using NULL convention logic (NCL)*. Synthesis lectures on digital circuits systems ser. Cham: Springer. 96 p.
11. Stepchenkov, Y. A., A. N. Kamenskih, Y. G. Diachenko, Y. V. Rogdestvenski, and D. Y. Diachenko. 2020. Improvement of the natural self-timed circuit tolerance to short-term soft errors. *Advances Science Technology Engineering Systems J.* 5(2):44–56.
12. Sokolov, I. A., Yu. A. Stepchenkov, Yu. V. Rozhdestvenskiy, and Yu. G. Diachenko. 2022. An approximate evaluation of the efficiency of synchronous and self-timed methodologies in designing failure-tolerant computing and control systems. *Automat. Rem. Contr.* 83(2):264–272.
13. Dubrova, E. 2013. *Fault-tolerant design*. New York, NY: Springer. 185 p. doi: 10.1007/978-1-4614-2113-9.
14. Eaton, P., J. Benedetto, D. Mavis, K. Avery, M. Sibley, M. Gadlage, and T. Turflinger. 2004. Single event transient pulse width measurements using a variable temporal latch technique. *IEEE T. Nucl. Sci.* 51(6):3365–3368. doi: 10.1109/TNS.2004.840020.
15. Emeliyanov, V. V., A. S. Vatiev, and R. G. Useinov. 2018. Impact of heavy ion energy on charge yield in silicon dioxide. *IEEE T. Nucl. Sci.* 65(8):1496–1502.
16. Stepchenkov, Y., Y. Diachenko, Y. Rogdestvenski, Y. Shikunov, and D. Diachenko. 2021. Self-timed storage register soft error tolerance improvement. *East–West Design & Test Symposium Proceedings*. Piscataway, NJ: IEEE. 145–150.

Received June 20, 2022

Contributors

Sokolov Igor A. (b. 1954) — Doctor of Science in technology, Academician of RAS, director, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; isokolov@ipiran.ru

Stepchenkov Yuri A. (b. 1951) — Candidate of Science (PhD) in technology, head of department, leading scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; YStepchenkov@ipiran.ru

Diachenko Yuri G. (b. 1958) — Candidate of Science (PhD) in technology, senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaura@mail.ru

Rogdestvenski Yuri V. (b. 1952) — Candidate of Science (PhD) in technology, leading scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; YRogdest@ipiran.ru