

# СХЕМОТЕХНИКА И ПРОЕКТИРОВАНИЕ CIRCUIT ENGINEERING AND DESIGN

Научная статья  
УДК 004.312.2:004.032.34  
doi:10.24151/1561-5405-2022-27-5-624-634

## Самосинхронный троичный сумматор с повышенной сбоеустойчивостью

*Ю. А. Степченков, Ю. Г. Дьяченко, Ю. В. Рождественский,  
Н. В. Морозов, А. В. Рождественскене, Д. Ю. Степченков*

*Федеральный исследовательский центр «Информатика и управление»  
Российской академии наук, г. Москва, Россия*

*YStepchenkov@ipiran.ru*

**Аннотация.** Самосинхронные (СС) схемы, благодаря СС-кодированию информационных сигналов, двухфазной дисциплине функционирования и запрос-ответному взаимодействию частей СС-схемы, имеют преимущества по сравнению с их синхронными аналогами: корректная работа при любых условиях эксплуатации, отсутствие «дерева» глобальной синхронизации, способность к обнаружению любой константной неисправности и большая устойчивость к кратковременным логическим сбоям. Естественная сбоеустойчивость СС-схем может быть дополнительно повышена с помощью специальных схемотехнических приемов. В работе предложен схемотехнический способ повышения помехоустойчивости одноразрядного троичного СС-сумматора за счет незначительного усложнения индикаторной подсхемы троичного СС-сумматора. Приведены оценки устойчивости вариантов троичных СС-сумматора и умножителя к кратковременным одиночным логическим сбоям. Показано, что увеличение на 28 % аппаратных затрат троичного СС-сумматора обеспечивает увеличение времени бессбойной работы в 4,7 раза как сумматора, так и умножителя на его основе при наличии источников кратковременных однократных логических сбоев.

**Ключевые слова:** самосинхронная схема, самосинхронное кодирование, сбоеустойчивость, троичный сумматор, умножитель, индикация

**Финансирование работы:** работа выполнена при финансовой поддержке РФФИ (проект № 22-19-00237).

**Для цитирования:** Самосинхронный троичный сумматор с повышенной

---

© Ю. А. Степченков, Ю. Г. Дьяченко, Ю. В. Рождественский, Н. В. Морозов, А. В. Рождественскене, Д. Ю. Степченков, 2022

сбоеустойчивостью / Ю. А. Степченков, Ю. Г. Дьяченко, Ю. В. Рождественский и др.  
// Изв. вузов. Электроника. 2022. Т. 27. № 5. С. 624–634. <https://doi.org/10.24151/1561-5405-2022-27-5-624-634>

Original article

## Ternary self-timed adder with improved soft error tolerance

*Yu. A. Stepchenkov, Yu. G. Diachenko, Yu. V. Rogdestvenski,  
N. V. Morozov, A. V. Rogdestvenskene, D. Yu. Stepchenkov*

*FRC “Computer Science and Control” of the Russian Academy of Sciences,  
Moscow, Russia*

*YStepchenkov@ipiran.ru*

**Abstract.** Self-timed (ST) circuits have some advantages compared to their synchronous counterparts. They operate correctly at any application conditions and detect any constant fault. They do not contain a global synchronization tree. Besides, ST circuits are more short-term soft error tolerant. These features are able due to ST coding of information signals, two-phase operation discipline, and request-acknowledge interaction of ST circuit’s parts. The natural soft error tolerance can be further increased by the special circuitry techniques. In this work, the new circuitry method for increasing ST ternary adder’s tolerance to the soft errors due to some complication of its indication subcircuit is proposed. The classical ST indication detects a single spacer state of the information ST signal both in dual-rail and ternary cases. It assumes that the remaining states are only allowed working states and invalid states never appear. However, a soft error can cause invalid state that is illegal in normal conditions. The article presents soft error tolerance estimates for the original and some improved adder circuits. It has been shown that complication of a one-bit adder’s indication leading to 28 % increase in its hardware costs ensures rising of its failure-free operation time by 4.7 times if appeared soft errors are incompatible. ST multiplier based on suggested ST ternary adder demonstrates the same improvement of the soft error tolerance feature.

**Keywords:** self-timed circuit, self-timed coding, soft error tolerance, ternary adder, multiplier, indication

**Funding:** the work has been supported by the Russian Science Foundation (project No. 22-19-00237).

**For citation:** Stepchenkov Yu. A., Diachenko Yu. G., Rogdestvenski Yu. V., Morozov N. V., Rogdestvenskene A. V., Stepchenkov D. Yu. Ternary self-timed adder with improved soft error tolerance. *Proc. Univ. Electronics*, 2022, vol. 27, no. 5, pp. 624–634. doi: <https://doi.org/10.24151/1561-5405-2022-27-5-624-634>

**Введение.** В цифровых микроэлектронных устройствах возникает проблема помехо- и сбоеустойчивости [1]. На интегральные микросхемы оказывают влияние как внешние воздействия (высокоэнергичные ядерные частицы, космические лучи, сильные электромагнитные импульсы), так и внутренние помехи (шумовые наводки от

соседних трасс, по подложке и т. д.). Все это может привести к кратковременному логическому сбою – инверсии состояния цепи схемы, а при высокой энергетике воздействия – к отказу. На практике логические сбои возникают на несколько порядков чаще, чем отказы [1]. Сбой является критичным, если искажены результаты обработки информации и произошло его распространение по схеме. Сбой, имеющий локальные последствия, не затрагивающие корректность результата обработки данных, не критичен.

Самосинхронные (СС) схемы имеют преимущества по сравнению с синхронными аналогами благодаря двухфазной дисциплине функционирования, избыточному кодированию информационных сигналов и запрос-ответному взаимодействию [2, 3], в том числе большей естественной устойчивости к сбоям [4]. Использование некоторых схемотехнических методов позволяет дополнительно повысить сбоеустойчивость СС-схем [5]. В комбинационных СС-схемах обычно используется парафазное кодирование [2] в качестве избыточного. При этом парафазный сигнал имеет два рабочих состояния и одно спейсерное. Четвертое возможное состояние считается запрещенным. В арифметических многоразрядных СС-схемах эффективным оказывается

троичное СС-кодирование [6], основанное на методологии избыточного кодирования в синхронных схемах [7]. Оно ограничивает длину сквозного переноса в многоразрядном сумматоре тремя соседними разрядами, существенно повышая быстродействие суммирующих схем. Троичный СС-сигнал имеет три рабочих, одно спейсерное и четыре запрещенных состояния. При нормальной (бессбойной) работе запрещенные состояния не должны возникнуть в СС-схеме. Поэтому классическая индикация СС-схем предусматривает дифференциацию спейсерного и всех остальных состояний. Однако логический сбой может привести к появлению запрещенного состояния парафазного или троичного СС-сигнала, которое будет проиндицировано как рабочее. В связи с этим основной способ повышения сбоеустойчивости СС-схем с парафазным кодированием – индикация сбойного состояния парафазного сигнала как спейсера [5]. Реализация аналогичного принципа индикации троичных СС-сигналов также повышает сбоеустойчивость СС-схем с троичным кодированием.

В настоящей работе предлагается способ повышения устойчивости одноразрядного СС-сумматора с троичным СС-кодированием входов и выходов к однократному кратковременному логическому сбою. Дается оценка уровня устойчивости для сумматора и СС-умножителя на его основе, исходя из базовых определений показателей надежности цифровых схем [8].

**Троичный самосинхронный сумматор.** Основой СС-умножителя из нечувствительного к задержкам блока умножения – сложения – вычитания с плавающей точкой [9] служит одноразрядный сумматор с троичным СС-кодированием входных операндов и выхода суммы. Схема такого сумматора с нулевым спейсером слагаемых и суммы показана на рис. 1. Элементы, обведенные пунктирными овалами, образуют

индикаторную подсхему сумматора. Элементы  $G$  являются гистерезисными триггерами ( $G$ -триггерами) [2]. Здесь  $(A_p, A_m, A_0)$ ,  $(B_p, B_m, B_0)$  – троичные слагаемые;  $(D_p, D_m, D_0)$  – троичная сумма;  $(B_i, B_iB)$ ,  $(H_i, H_iB)$  – входные парафазные межразрядные переносы;  $(B_o, B_oB)$ ,  $(H_o, H_oB)$  – выходные парафазные межразрядные переносы;  $Ind$  – индикаторный выход. В таблице приведено троичное СС-кодирование с нулевым спейсером. При бессбойной работе выход  $(D_p, D_m, D_0)$  может принимать

только одно из трех рабочих состояний или спейсерное состояние («000»), индицируемое элементом ЗИЛИ-НЕ.

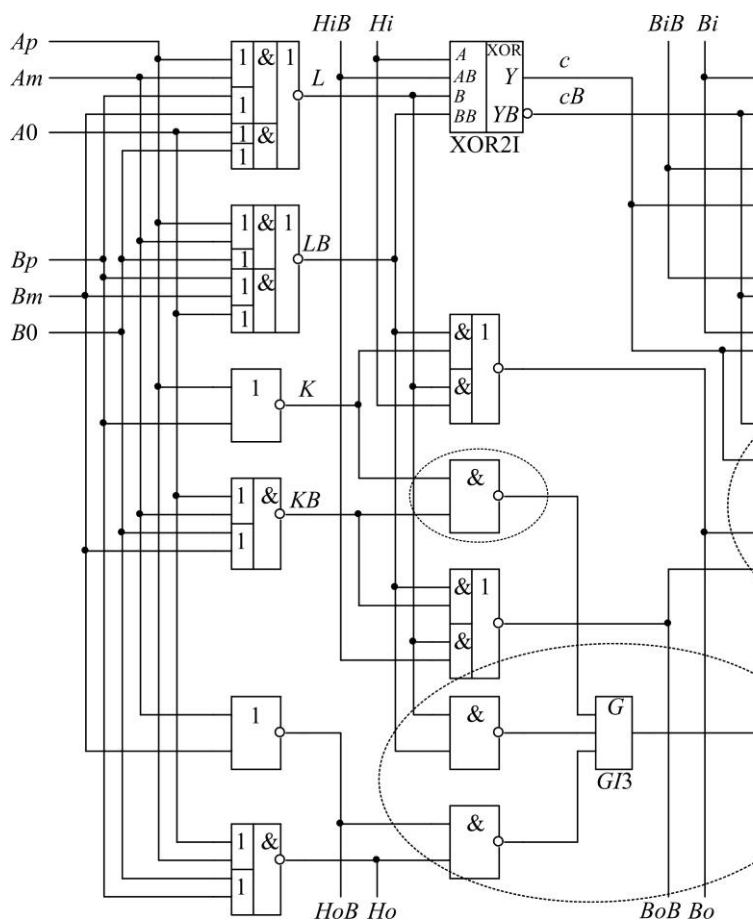


Рис. 1. Троичный одноразрядный СС-сумматор  
Fig. 1. Ternary one-bit self-timed adder

Сбой внутри сумматора может привести к переключению выхода сумматора в любое из восьми возможных значений трехбитовой переменной: спейсер, рабочее состояние, антиспейсер или запрещенное состояние. В первом приближении будем считать, что исходы любого события, связанного с возникновением сбоя, равновероятны. В момент возникновения сбоя выход сумматора может находиться в спейсере или корректном рабочем состоянии с вероятностью 0,5. При соблюдении правил проектирования топологии СС-схем [5] в спейсере критичным может быть некорректное (отличное от ожидаемого) рабочее состояние

(с вероятностью 2/8 – два возможных значения из восьми значений трехбитовой переменной) или запрещенное состояние (с вероятностью 4/8). В рабочей фазе критичными будут запрещенные состояния с вероятностью 4/8. Тогда вероятность того, что возникший сбой станет критичным, можно оценить как 5/8 [10].

### Троичное СС-кодирование Ternary self-timed coding

$Xp$	$Xm$	$X0$	Состояние
1	0	0	+1
0	0	1	0
0	1	0	-1
0	0	0	Спейсер
Остальные комбинации			Запрещено

Уменьшение вероятности критической ошибки достигается индикацией запрещенных состояний троичного выхода как спейсера. Эту проблему решает добавление элемента 2221И-ИЛИ-НЕ в схему индикации (рис. 2). Любое запрещенное состояние выхода ( $Dp$ ,  $Dm$ ,  $D0$ ) переключит индикаторный выход  $I$  в спейсер ( $I = 1$ ).

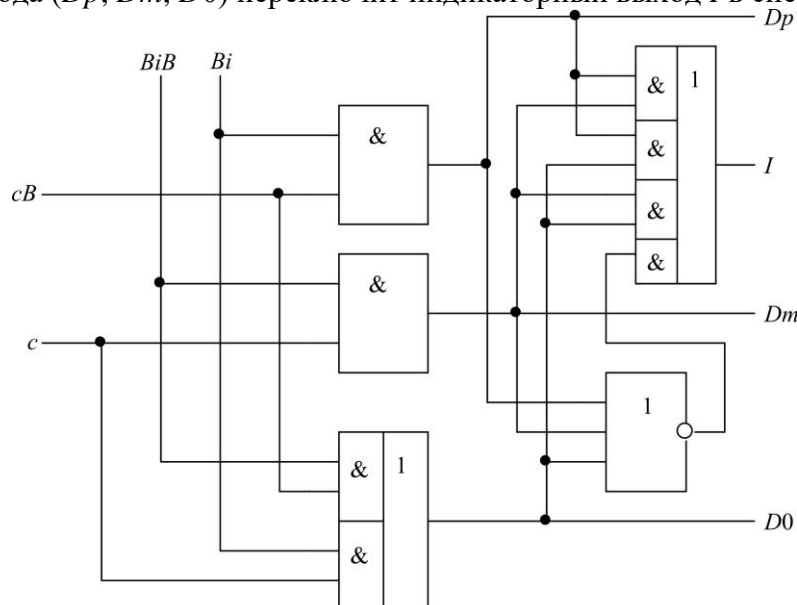


Рис. 2. Сбоеустойчивая индикация троичного выхода суммы с нулевым спейсером  
 Fig. 2. Fault-tolerant indication of ternary adder output with null spacer

Оценим количественно улучшение сбоеустойчивости троичного СС-сумматора и умножителя на его основе.

**Сбоеустойчивость исходного варианта троичного самосинхронного сумматора.** Будем считать сбой некритичным (замаскированным), если он сопровождается спейсерным значением индикаторного выхода  $Ind$  сумматора. Оценим вероятность возникновения критичного сбоя в сумматоре вследствие следующих событий: сбойное состояние одного из входов, внутренний сбой, сбойное состояние выходов. Для простоты будем считать, что поток однократных кратковременных сбойных событий распределен равномерно по площади кристалла. Однократность означает, что до окончания фактического действия данного сбоя другой сбой в схеме не возникнет. Тогда вероятность сбоя на выходе элемента будет определяться площадью его топологической реализации, а при использовании библиотеки стандартных элементов – числом транзисторов в схеме элемента. Будем также считать, что в заданном технологическом процессе (при заданных топологических нормах) и надлежащем размещении элементов в топологии кристалла сбойное событие затронет только один элемент схемы. Тогда возникновение сбоев будет однократным и кратковременным для данной схемы. Сбой также может иметь место и в индикаторной подсхеме в виде преждевременного переключения индикаторного сигнала. Такой сбой может стать критичным (с вероятностью 0,5) в правильно спроектированной индикаторной подсхеме только в том случае, если он произойдет на выходе ее самого последнего элемента, формирующего общий индикаторный выход СС-схемы. Тогда сбойное подтверждение завершения процесса переключения СС-схемы в очередную фазу работы может вызвать преждевременное изменение ее входов и привести к останову общей СС-схемы.

Индикаторная подсхема считается спроектированной правильно, если входы всех ее элементов имеют небольшой разброс по времени формирования. Индикаторная подсхема строится из  $G$ -триггеров, выход которых переключается в то состояние, в котором находятся все его входы. Поэтому преждевременное переключение одного из его входов будет замаскировано остальными входами.

Рассмотрим ситуацию, когда при заданной плотности сбойных событий в исходной схеме троичного сумматора (см. рис. 1) на интервале времени  $T$  происходит один сбой, который с вероятностью  $P_0$  становится критичным. Тогда можно сказать, что при заданной плотности сбойных событий за время  $T$  происходит  $N_0 = kTP_0$  критичных сбоев, где  $k$  – коэффициент пропорциональности. Очевидно, что в аналогичной схеме большей площади в том же интервале времени и при той же плотности событий возникнет  $N = \frac{S}{S_0} N_0$  сбоев, где  $S$  и  $S_0$  – площадь топологической реализации

сравниваемой и исходной схем сумматора соответственно. Отметим, что в число элементов, в которых может возникнуть критичный сбой, входят все элементы логической части сумматора и выходной  $G$ -триггер индикаторной подсхемы, поэтому площадь всего сумматора не учитывает площади индикаторной подсхемы, за исключением ее последнего  $G$ -триггера.

#### **Повышение сбоеустойчивости троичного самосинхронного сумматора.**

Рассмотрим схемотехнические решения, позволяющие распознать большее число сбойных ситуаций и уменьшить число критичных сбоев за то же время  $T$  по сравнению с классической индикацией троичного СС-сумматора. Антиспейсерное состояние парафазного сигнала может быть успешно детектировано за счет использования элемента «неравнозначность» XOR или «равнозначность» XNOR в первом каскаде индикаторной подсхемы [5]. Тогда состояние антиспейсера будет индицироваться как спейсер. Аналогичное решение есть и для троичного СС-сигнала.

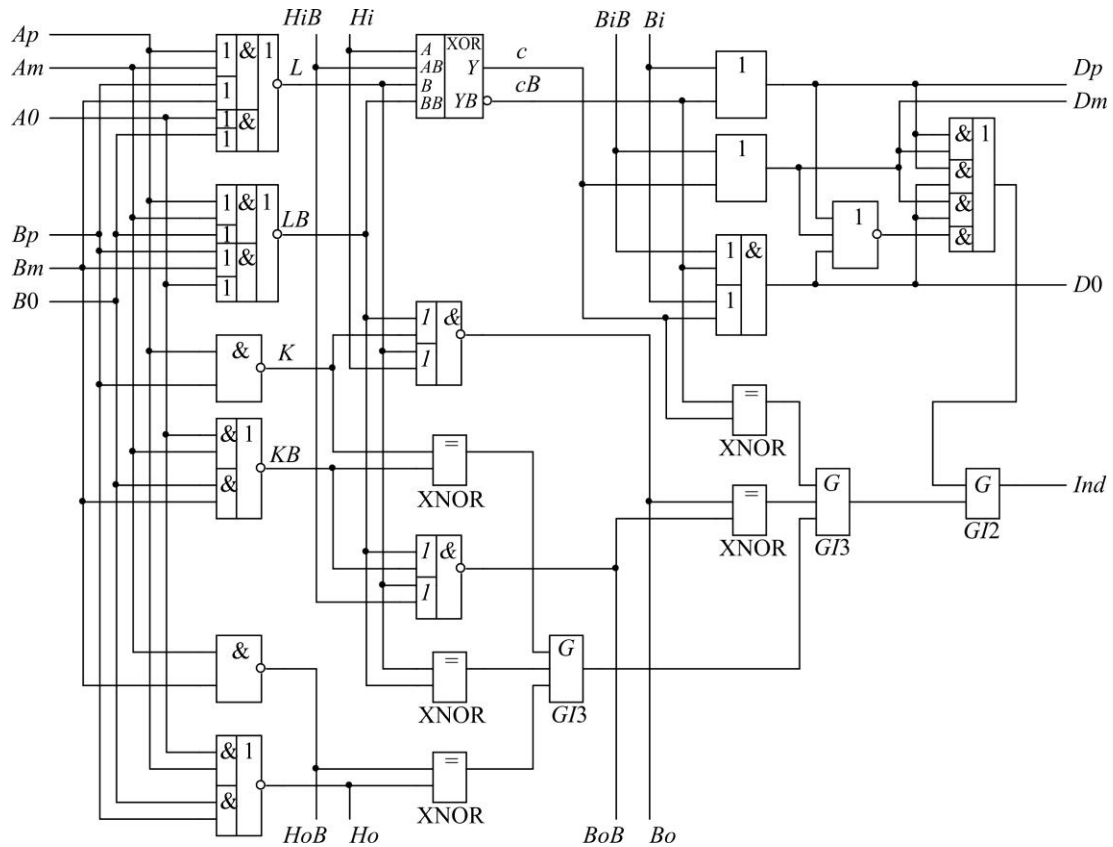


Рис. 3. Сбоеустойчивый троичный одноразрядный СС-сумматор  
 Fig. 3. Fault-tolerant ternary one-bit self-timed adder

Реализация одного разряда троичного СС-сумматора представлена на рис. 3. Она обеспечивает маскирование запрещенных состояний, появляющихся на троичных и парафазных информационных выходах, с помощью индикаторного выхода за счет использования элементов XNOR и 2221И-ИЛИ-НЕ. Критичным останется лишь некорректное рабочее состояние в спейсерной фазе. Запрещенные состояния окажутся замаскированными в любой фазе работы СС-схемы. Тогда число сбойных состояний, которые могут привести к критичному сбою в логической части СС-сумматора, уменьшится в 5 раз. Соответственно, сократится и количество критичных сбоев в логической части сумматора за время  $T$  (см. рис. 3). Поскольку площадь двухвходового  $G$ -триггера в СС-библиотеке стандартных элементов относится к площади элементов логической части (не включающей в себя индикаторную подсхему) как  $6 : 49$  и схемы на рис. 1 и 3 отличаются только индикаторной подсхемой, то число критичных сбоев в схеме на рис. 3 за время  $T$  можно оценить следующим образом:

$$N_1 = \frac{(49/5) + 6}{49 + 6} N_0 = 0,29N_0,$$

так как повышение сложности и увеличение площади топологической реализации сумматора происходит за счет индикаторной подсхемы.

Таким образом, предлагаемая индикация троичного СС-сумматора в 3,4 раза снижает вероятность появления критичных сбоев на его выходах за счет увеличения аппаратных затрат на 16 % (с 170 КМДП-транзисторов до 197).

Сбоеустойчивость троичного СС-сумматора может быть дополнительно повышена за счет защиты от сбоев выходного индикаторного элемента с помощью его DICE-реализации с синфазными входами [11], как показано на рис. 4. В результате число критичных сбоев в СС-сумматоре за время  $T$  снизится до величины

$$N_1 = \frac{(49/5) + 2}{49 + 6} N_0 \cong 0,21N_0,$$

поскольку критичным становится четырехтранзисторный конвертер вместо двенадцатитранзисторного двухвходового  $G$ -триггера на выходе индикаторной подсхемы, что почти в 5 раз меньше, чем для исходного варианта.

Сравним времена бесбойной работы рассмотренных вариантов троичного СС-сумматора. Время бесбойной работы определяется как интервал времени до появления первого сбоя и пропорционально величине  $T/N$  исходя из введенных понятий. Тогда отношение времен бесбойной работы для вариантов СС-сумматора, показанных на рис. 1 и 4, будет равно:

$$K_{TA} = \frac{TN_0}{N_1T} = \frac{N_0}{N_1} \cong 4,7.$$

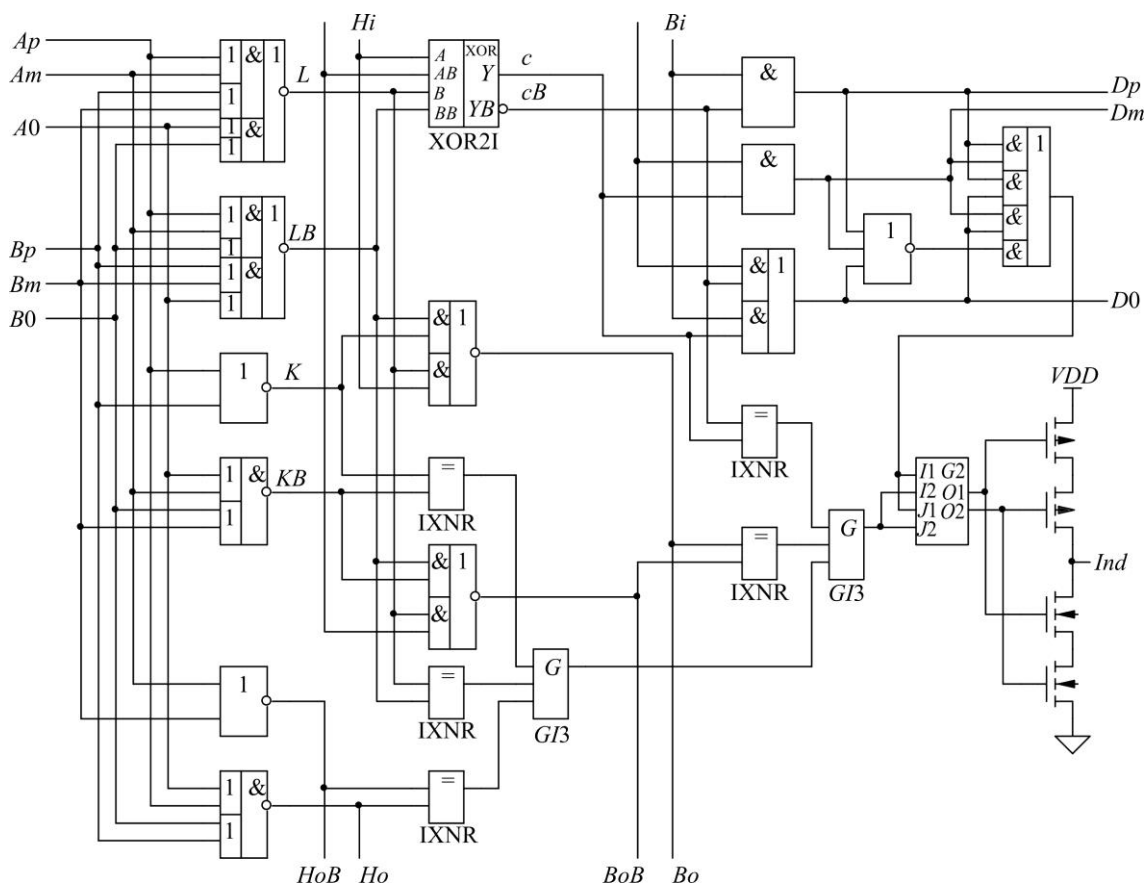


Рис. 4. Сбоеустойчивый троичный СС-сумматор с DICE-подобной индикаторной подсхемой  
 Fig. 4. Fault-tolerant ternary self-timed adder with DICE-like indication subcircuit



Сложность реализации СС-сумматора, представленного на рис. 4, составляет 217 КМДП-транзисторов. Таким образом, за счет увеличения в 1,28 раза аппаратных затрат предлагаемый вариант троичного СС-сумматора оказывается почти в 5 раз более устойчивым к одиночным логическим сбоям на своих входах и в своих элементах. Аналогичное свойство имеет и СС-умножитель, построенный на троичном СС-сумматоре [9]. Он является в значительной степени однородной структурой, и события, приводящие к возникновению однократного сбоя в его разных элементах, тоже можно считать несовместными. Поэтому вероятность возникновения критичного сбоя в умножителе при использовании сбоеустойчивого СС-сумматора уменьшается, а время его бессбойной работы увеличивается в такое же число раз, как и в модифицированном сумматоре, – в 4,7 раза.

**Заключение.** Обнаружение некорректных состояний парафазных и троичных сигналов и индикация их как спейсера, а также использование DICE-подобного G-триггера на выходе индикаторной подсхемы обеспечивают повышение сбоеустойчивости троичного СС-сумматора. За счет повышения на 28 % сложности реализации одноразрядного троичного СС-сумматора и умножителя на его основе их устойчивость к кратковременным одиночным логическим сбоям и время бессбойной работы увеличиваются в 4,7 раза.

Предложенные методы, однако, не гарантируют защиты от сбойных некорректных рабочих состояний в троичном сумматоре. Поэтому дальнейшая работа будет направлена на поиск более эффективных схемотехнических решений, обеспечивающих повышение устойчивости СС-схем к одиночным логическим сбоям.

### Литература

1. Викторова В. С., Лубков Н. В., Степаняц А. С. Анализ надежности отказоустойчивых управляющих вычислительных систем. М.: ИПУ РАН, 2016. 119 с.
2. Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V. Concurrent hardware: Theory and practice of self-timed design. Hoboken, NJ: Wiley-Blackwell, 1994. 388 p.
3. Zakharov V., Stepchenkov Yu., Diachenko Yu., Rogdestvenski Yu. Self-timed circuitry retrospective // 2020 International Conference Engineering Technologies and Computer Science (EnT). Moscow: IEEE, 2020. P. 63–69. <https://doi.org/10.1109/EnT48576.2020.00018>
4. Fault-tolerance of self-timed circuits / Yu. A. Stepchenkov, A. N. Kamenskih, Yu. G. Diachenko et al. // 2019 10th International Conference on Dependable Systems, Services and Technologies (DESSERT). Leeds: IEEE, 2019. P. 41–44. <https://doi.org/10.1109/DESSERT.2019.8770047>
5. Improvement of the natural self-timed circuit tolerance to short-term soft errors / Yu. A. Stepchenkov, A. N. Kamenskih, Yu. G. Diachenko et al. // Adv. Sci. Technol. Eng. Syst. J. 2020. Vol. 5. Iss. 2. P. 44–56. <https://doi.org/10.25046/aj050206>
6. Умножитель с накоплением: методологические аспекты / И. А. Соколов, Ю. А. Степченко, С. Г. Бобков и др. // Системы и средства информатики. 2014. Т. 24. № 3. С. 44–62. <https://doi.org/10.14357/08696527140304>
7. An 8.8-ns 54/spl times/54-bit multiplier with high speed redundant binary architecture / H. Makino, Y. Nakase, H. Suzuki et al. // IEEE Journal of Solid-State Circuits. 1996. Vol. 31. No. 6. P. 773–783. <https://doi.org/10.1109/4.509863>
8. Dubrova E. Fault-tolerant design. New York: Springer, 2013. XV, 185 p. <https://doi.org/10.1007/978-1-4614-2113-9>
9. Energy efficient speed-independent 64-bit fused multiply-add unit / Yu. Stepchenkov, D. Stepchenkov, Yu. Rogdestvenski et al. // 2019 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIconRus). St. Petersburg; Moscow: IEEE, 2019. P. 1709–1714. <https://doi.org/10.1109/EIconRus.2019.8657207>

10. Повышение сбоеустойчивости самосинхронного троичного умножителя / **Ю. А. Степченко, Ю. В. Рождественский, Ю. Г. Дьяченко и др.** // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2021. № 2. С. 70–76. <https://doi.org/10.31114/2078-7707-2021-2-70-76>

11. Increasing self-timed circuit soft error tolerance / **I. Sokolov, Yu. Stepchenkov, Yu. Diachenko et al.** // 2020 IEEE EastWest Design & Test Symposium (EWDTS). Varna: IEEE, 2020. P. 450–454. <https://doi.org/10.1109/EWDTS50664.2020.9224705>

Статья принята к публикации 25.08.2022 г.

### Информация об авторах

**Степченко Юрий Афанасьевич** – кандидат технических наук, ведущий научный сотрудник, заведующий отделом Института проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук (Россия, 119333, г. Москва, ул. Вавилова, 44, стр. 2), [YStepchenkov@ipiran.ru](mailto:YStepchenkov@ipiran.ru)

**Дьяченко Юрий Георгиевич** – кандидат технических наук, старший научный сотрудник Института проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук (Россия, 119333, г. Москва, ул. Вавилова, 44, стр. 2), [YDiachenko@ipiran.ru](mailto:YDiachenko@ipiran.ru)

**Рождественский Юрий Владимирович** – ведущий научный сотрудник Института проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук (Россия, 119333, г. Москва, ул. Вавилова, 44, стр. 2), [YRogdest@ipiran.ru](mailto:YRogdest@ipiran.ru)

**Морозов Николай Викторович** – старший научный сотрудник Института проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук (Россия, 119333, г. Москва, ул. Вавилова, 44, стр. 2), [NMorozov@ipiran.ru](mailto:NMorozov@ipiran.ru)

**Рождественскене Аста Винченцо** – ведущий программист Института проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук (Россия, 119333, г. Москва, ул. Вавилова, 44, стр. 2), [ARogdest@ipiran.ru](mailto:ARogdest@ipiran.ru)

**Степченко Дмитрий Юрьевич** – старший научный сотрудник Института проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук (Россия, 119333, г. Москва, ул. Вавилова, 44, стр. 2), [Stepchenkov@mail.ru](mailto:Stepchenkov@mail.ru)

### References

1. Viktorova V. S., Lubkov N. V., Stepanyants A. S. *Reliability analysis of fault-tolerant control computing systems*. Moscow, Institute of Control Sciences of RAS, 2016. 119 p. (In Russian).

2. Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V. *Concurrent hardware: Theory and practice of self-timed design*. Hoboken, NJ, Wiley-Blackwell, 1994. 388 p.

3. Zakharov V., Stepchenkov Yu., Diachenko Yu., Rogdestvenski Yu. Self-timed circuitry retrospective. *2020 International Conference Engineering Technologies and Computer Science (EnT)*. Moscow, IEEE, 2020, pp. 63–69. <https://doi.org/10.1109/EnT48576.2020.00018>

4. Stepchenkov Yu. A., Kamenskih A. N., Diachenko Yu. G., Rogdestvenski Yu. V., Diachenko D. Yu. Fault-tolerance of self-timed circuits. *2019 10th International Conference on Dependable Systems, Services and Technologies (DESSERT)*. Leeds, IEEE, 2019, pp. 41–44. <https://doi.org/10.1109/DESSERT.2019.8770047>

5. Stepchenkov Yu. A., Kamenskih A. N., Diachenko Yu. G., Rogdestvenski Yu. V., Diachenko D. Yu. Improvement of the natural self-timed circuit tolerance to short-term soft errors. *Adv. Sci. Technol. Eng. Syst. J.*, 2020, vol. 5, iss. 2, pp. 44–56. <https://doi.org/10.25046/aj050206>

6. Sokolov I. A., Stepchenkov Yu. A., Bobkov S. G., Rogdestvenski Yu. V., Diachenko Yu. G. Fused multiply-add: methodological aspects. *Sistemy i sredstva informatiki = Systems and Means of Informatics*, 2014, vol. 24, no. 3, pp. 44–62. <https://doi.org/10.14357/08696527140304>
7. Makino H., Nakase Y., Suzuki H., Morinaka H., Shinohara H., Mashiko K. An 8.8-ns 54/spl times/54-bit multiplier with high speed redundant binary architecture. *IEEE Journal of Solid-State Circuits*, 1996, vol. 31, no. 6, pp. 773–783. <https://doi.org/10.1109/4.509863>
8. Dubrova E. *Fault-tolerant design*. New York, Springer, 2013. xv, 185 p. <https://doi.org/10.1007/978-1-4614-2113-9>
9. Stepchenkov Yu., Stepchenkov D., Rogdestvenski Yu., Shikunov Yu., Diachenko Yu. Energy efficient speed-independent 64-bit fused multiply-add unit. *2019 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIconRus)*. St. Petersburg, Moscow, IEEE, 2019, pp. 1709–1714. <https://doi.org/10.1109/EIconRus.2019.8657207>
10. Stepchenkov Yu. A., Rogdestvenski Yu. V., Diachenko Yu. G., Morozov N. V., Stepchenkov D. Yu., Rogdestvenskene A. V. Improvement of ternary self-timed multiplier soft error tolerance. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES) = Problems of Advanced Micro- and Nanoelectronic Systems Development (MES)*, 2021, no. 2, pp. 70–76. (In Russian). <https://doi.org/10.31114/2078-7707-2021-2-70-76>
11. Sokolov I., Stepchenkov Yu., Diachenko Yu., Rogdestvenski Yu., Diachenko D. Increasing self-timed circuit soft error tolerance. *2020 IEEE EastWest Design & Test Symposium (EWDTS)*. Varna, IEEE, 2020, pp. 450–454. <https://doi.org/10.1109/EWDTS50664.2020.9224705>

The article accepted for publication 25.08.2022.

#### **Information about the authors**

**Yuri A. Stepchenkov** – Cand. Sci. (Eng.), Leading Researcher, Head of Department of the Institute of Computer Science Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences (Russia, 119333, Moscow, Vavilov st., 44, bld. 2), [YStepchenkov@ipiran.ru](mailto:YStepchenkov@ipiran.ru)

**Yuri G. Diachenko** – Cand. Sci. (Eng.), Senior Scientific Researcher of the Institute of Computer Science Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences (Russia, 119333, Moscow, Vavilov st., 44, bld. 2), [YDiachenko@ipiran.ru](mailto:YDiachenko@ipiran.ru)

**Yuri V. Rogdestvenski** – Leading Researcher of the Institute of Computer Science Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences (Russia, 119333, Moscow, Vavilov st., 44, bld. 2), [YRogdest@ipiran.ru](mailto:YRogdest@ipiran.ru)

**Nikolay V. Morozov** – Senior Scientific Researcher of the Institute of Computer Science Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences (Russia, 119333, Moscow, Vavilov st., 44, bld. 2), [NMorozov@ipiran.ru](mailto:NMorozov@ipiran.ru)

**Asta V. Rogdestvenskene** – Lead Programmer of the Institute of Computer Science Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences (Russia, 119333, Moscow, Vavilov st., 44, bld. 2), [ARogdest@ipiran.ru](mailto:ARogdest@ipiran.ru)

**Dmitri Yu. Stepchenkov** – Senior Scientific Researcher of the Institute of Computer Science Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences (Russia, 119333, Moscow, Vavilov st., 44, bld. 2), [Stepchenkov@mail.ru](mailto:Stepchenkov@mail.ru)