

АНАЛИЗ СБОЕУСТОЙЧИВОСТИ САМОСИНХРОННОГО КОНВЕЙЕРА*

*И. А. Соколов¹, Ю. А. Степченков², Ю. Г. Дьяченко³, Н. В. Морозов⁴,
Д. Ю. Степченков⁵, Д. Ю. Дьяченко⁶*

Аннотация: Практические самосинхронные (СС) схемы реализуются в виде конвейера аналогично синхронным схемам. Самосинхронные схемы обладают рядом преимуществ в сравнении с синхронными аналогами, но аппаратно избыточны. Статья анализирует устойчивость СС-конвейера к однократным логическим сбоям (ЛС) с учетом его аппаратной избыточности и в предположении, что ЛС поражает только одну логическую ячейку схемы. За счет своей двухфазной дисциплины работы и обязательной индикации успешного завершения переключения в каждую фазу СС-схемы способны обнаружить ЛС и приостановить функционирование схемы до его исчезновения. Сбоеустойчивый гистерезисный триггер в составе разряда регистра ступени конвейера обеспечивает иммунитет регистра к любому ЛС в комбинационной части ступени конвейера. DICE-подобная реализация этого триггера позволяет в 2,7 раза повысить устойчивость СС-регистра к внутренним ЛС. В целом СС-конвейер оказывается в 2,5–6,8 раза устойчивее к однократным ЛС, чем его синхронный аналог.

Ключевые слова: самосинхронные схемы; конвейер; логический сбой; сбоеустойчивость; индикация; гистерезисный триггер

DOI: 10.14357/08696527220401

1 Введение

Надежность цифровой схемы определяется ее способностью маскировать кратковременные однократные ЛС и парировать отказы во время работы, не допуская искажения результатов обработки информации. Практика показала,

* Исследование выполнено в рамках гранта Российского научного фонда (проект № 22-19-00237).

¹ Федеральное исследовательское учреждение «Информатика и управление» Российской академии наук, ISokolov@ipiran.ru

² Федеральное исследовательское учреждение «Информатика и управление» Российской академии наук, YStepchenkov@ipiran.ru

³ Федеральное исследовательское учреждение «Информатика и управление» Российской академии наук, diauga@mail.ru

⁴ Федеральное исследовательское учреждение «Информатика и управление» Российской академии наук, NMorozov@ipiran.ru

⁵ Федеральное исследовательское учреждение «Информатика и управление» Российской академии наук, Stepchenkov@mail.ru

⁶ Федеральное исследовательское учреждение «Информатика и управление» Российской академии наук, diaden87@gmail.com

что отказы в цифровых микросхемах появляются на несколько порядков реже, чем ЛС [1].

В литературе известны многочисленные методы защиты от ЛС: корректирующие коды [2], методы обнаружения и изоляции [3, 4]; в меньшей степени используются технологические методы [5] и др. Все они в той или иной мере предполагают внесение избыточности в схему.

Самосинхронные схемы [6, 7] обладают такой избыточностью изначально. Благодаря двухфазной дисциплине, обязательной индикации успешного завершения переключения в каждую фазу и другим свойствам СС-схемы обладают естественной высокой сбоеустойчивостью [8, 9].

Однако из-за избыточности СС-схем число сбоев в единицу времени, наблюдаемых в СС-схеме, больше, чем в синхронном аналоге [10]. Поэтому задача анализа устойчивости СС-схем к ЛС с учетом их аппаратной избыточности является актуальной.

2 Самосинхронный конвейер

Практические синхронные цифровые схемы проектируются в виде конвейера [11] с глобальным тактовым сигналом. Самосинхронные схемы не имеют глобальной синхронизации. Но для ускорения фазового взаимодействия СС-устройств в составе общей СС-схемы также используется конвейер, показанный на рис. 1. Запись информационных выходов комбинационной части (КЧ) в выходной регистр (ВР), подтвержденная индикатором ВР (ИВР), и окончание всех переключений в КЧ, подтвержденное индикатором КЧ (ИКЧ), являются необходимыми и достаточными условиями для разрешения переключения информационных входов КЧ данной ступени в следующую фазу работы. Это условие формируется гистерезисным (Γ) триггером [6].

Рассмотрим влияние ЛС на работоспособность СС-конвейера.

3 Сбойные ситуации в самосинхронном конвейере

Для упрощения считаем, что появление сбоя в любом месте топологии логической ячейки с вероятностью 0,5 вызывает инверсию логического уровня

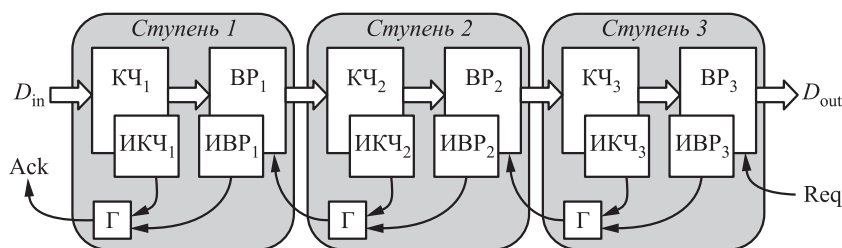


Рис. 1 Структура типового СС-конвейера

сигнала на ее выходе. Но не всякий ЛС приводит к искажению обрабатываемой информации.

Рассмотрим КЧ СС-конвейера с традиционным парафазным кодированием информационных сигналов [6]. Каждый парафазный сигнал имеет только одно спейсерное состояние: нулевое (00) или единичное (11). Инверсное спейсеру состояние (антиспейсер) считается запрещенным, но оно может появиться в результате ЛС. Использование ячейки «неравнозначность» или «равнозначность» для индикации парафазного сигнала обеспечивает распознавание антиспейсера как спейсера [8].

Парафазный сигнал формируется двумя согласованными логическими ячейками. Значит, однократный ЛС приведет к изменению одной компоненты парафазного сигнала и смене его видимой фазы.

Каждую фазу функционирования СС-схемы можно разбить на два периода: активное переключение в текущую фазу и ожидание разрешения переключения в следующую фазу. Будем считать, что каждая ступень СС-конвейера в любой момент времени с вероятностью 0,5 находится либо в активном периоде, либо в ожидании.

Использование сбоеустойчивого Г-триггера (рис. 2) для реализации разряда выходного регистра (рис. 3) уменьшает вероятность записи в разряд регистра сбойного состояния парафазного входа (X, XB). Здесь E — вход управления, разрешающий запись в регистр рабочего состояния ($E = 1$) или спейсера ($E = 0$).

Пусть длительность сбоя превышает суммарную длительность рабочей и спейсерной фаз ступени конвейера. Возможны следующие ситуации появления ЛС в КЧ ступени конвейера.

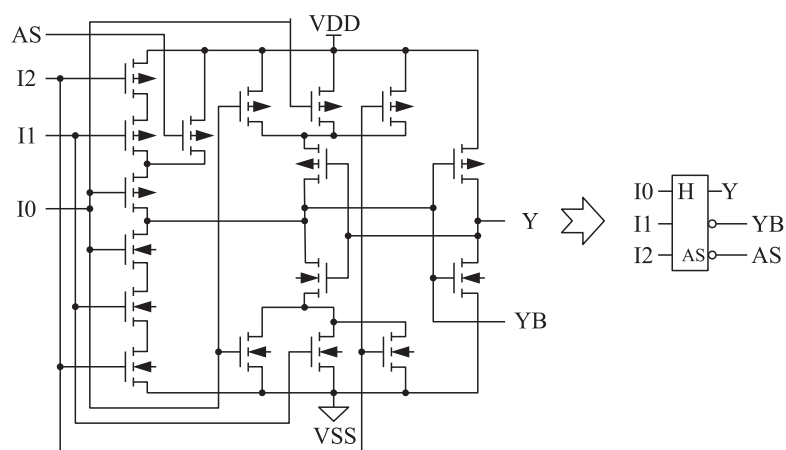


Рис. 2 Схема Г-триггера, устойчивого к сбоям на входе, на КМДП-транзисторах

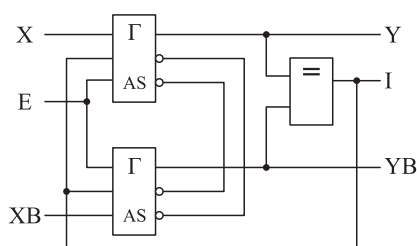


Рис. 3 Схема одного разряда выходного регистра с блокировкой записи во время ожидания

1. Ступень находится в состоянии активного переключения в рабочую фазу, $E = 1$, из-за ЛС рабочее состояние сигнала (X, XB) на входе регистра не успевает записаться в него.
2. Ступень находится в состоянии активного переключения в рабочую фазу, $E = 1$, ЛС входа (X, XB) регистра возникает после того, как рабочее состояние (X, XB) записалось в разряд выходного регистра и индикаторный выход разряда регистра запретил запись в регистр.
3. Ступень находится в состоянии ожидания переключения в рабочую фазу, $E = 0$, ЛС переключает вход (X, XB) регистра из спейсера в рабочее состояние, совпадающее с ожидаемым либо противоположное ему.
4. Ступень находится в состоянии активного переключения в спейсерную фазу, $E = 0$, из-за ЛС входа (X, XB) разряд регистра либо остался в том же рабочем состоянии, либо переключился в антиспейсер.
5. Ступень находится в состоянии активного переключения в спейсерную фазу, $E = 0$, ЛС на входе (X, XB) регистра возникает после записи спейсера в разряд регистра.
6. Ступень находится в состоянии ожидания переключения в спейсерную фазу, $E = 1$, вход (X, XB) регистра из-за ЛС либо преждевременно переходит в спейсер, либо переключается в антиспейсер.

В ситуациях 1, 3, 4 и 6 выход ИВР останется в спейсере и СС-конвейер остановится в ожидании окончания ЛС и восстановления корректного состояния сигнала (X, XB) . В ситуациях 2 и 5 выходы регистра не изменятся. Таким образом, разряд регистра, изображенный на рис. 3, маскирует все ЛС своих информационных входов.

Сбой непосредственно в Г-триггерах разряда регистра ступени оказывается более критичным из-за того, что он блокирует запись корректного состояния входа (X, XB) и приводит к «зависанию» конвейера. Использование DICE-подобного Г-триггера [12], схема которого на КМДП-транзисторах изображена на рис. 4, для реализации разрядов регистра ступени СС-конвейера, как показано

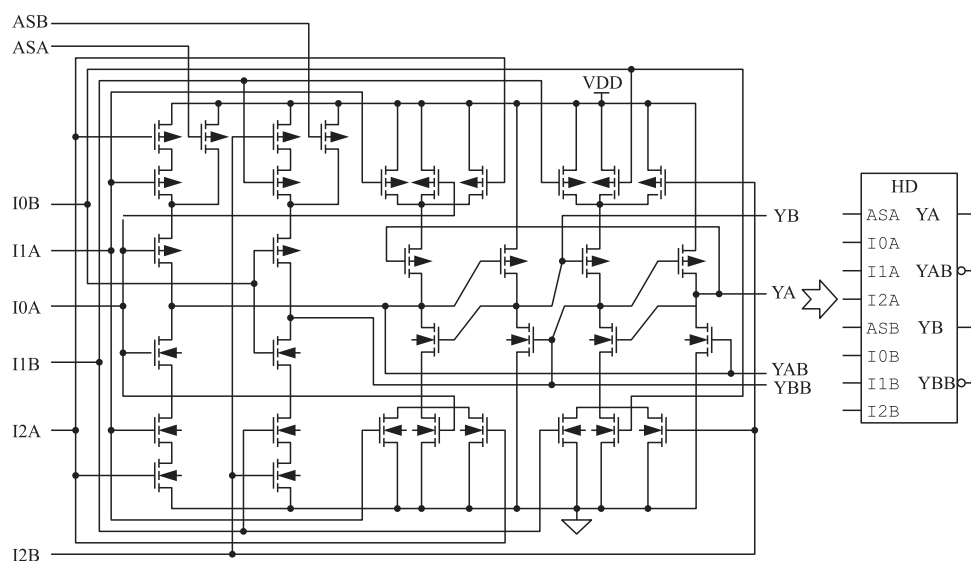


Рис. 4 Схема Г-триггера DICE-типа на КМДП-транзисторах

на рис. 5, кардинально решает указанную проблему. Разряд регистра становится гораздо более устойчивым к ЛС: сложность его чувствительных к сбоям компонентов сокращается в 2,7 раза — с 41 КМДП-транзистора до 15 транзисторов (два четырехтранзисторных конвертера дуальных выходов в одинарные и индикаторный элемент — ячейка равнозначности), уменьшая пропорционально площадь его топологической реализации и интенсивность сбоев в нем.

Логический сбой в индикаторном элементе разряда регистра с вероятностью 0,5 заблокирует запись в разряд регистра состояния, соответствующего текущей фазе. С вероятностью 0,5 следующая ступень конвейера не замаскирует этот сбой, и он вызовет «зависание» СС-конвейера. Следовательно, с вероятностью 0,25 ЛС в индикаторном элементе разряда регистра приведет к остановке СС-конвейера.

Индикаторные подсхемы ИКЧ и ИВР строятся на Г-триггерах [6] в виде пирамидальной схемы. Критическая ситуация возникает только в том случае, если ЛС поражает вершину этой пирамиды. Вероятность этого события равна примерно $2/N$, где N — число индицируемых сигналов.

Суммарная вероятность появления критического сбоя в i -й ступени СС-конвейера зависит от площадей топологии комбинационной части ($S_{CP,i}$), Г-триггера (S_H), ячейки равнозначности (S_{IE}) и подсхем ИКЧ ($S_{CPI,i}$) и ИВР ($S_{ORI,i}$):

$$P_{ST,i} = \frac{0,25n_i(2S_H + S_{IE}) + S_H}{S_{CP,i} + n_iS_{IE} + 0,5(M_i + 5n_i)S_H},$$

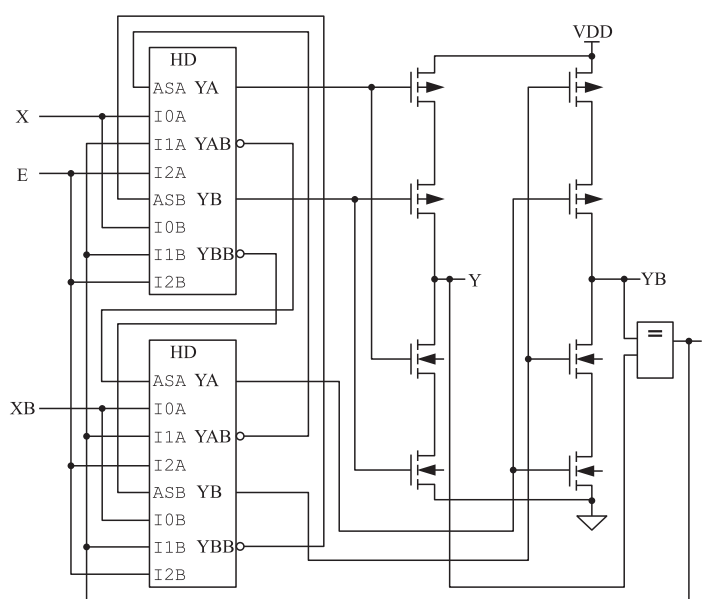


Рис. 5 Схема разряда регистра на Г-триггерах DICE-типа

где n_i — разрядность регистра; M_i — число индицируемых сигналов в комбинационной части. Анализ практических схем СС-конвейеров дает значение $P_{ST,i}$ в диапазоне 0,012–0,036. При использовании в регистре Г-триггера DICE-типа вероятность появления критического сбоя уменьшается до величины 0,004–0,013.

Логический сбой в i -й ступени синхронного конвейера оказывается критическим, в первом приближении, с вероятностью $P_{S,i} = 0,25$. Тогда при постоянной плотности событий, вызывающих сбой, и с учетом аппаратной избыточности СС-конвейера число критических сбоев в единицу времени в нем меньше, чем в синхронном конвейере, в 2,5–6,8 раза в зависимости от схемы разряда СС-регистра. Поэтому, несмотря на аппаратную избыточность СС-конвейера, его использование целесообразно в надежных приложениях.

4 Заключение

Самосинхронные схемы стали многообещающей альтернативой синхронным схемам в области проектирования технических систем, устойчиво работающих в нестабильных и экстремальных условиях эксплуатации: при сверхнизком и изменяющемся напряжении питания, в широком диапазоне температуры.

Двухфазная дисциплина функционирования и обязательное подтверждение успешного завершения переключения в каждую фазу обеспечивают более высо-

кую устойчивость СС-конвейера к кратковременным однократным ЛС в сравнении с синхронным конвейером. В зависимости от сложности ступеней конвейера и схемы реализации разряда СС-регистра СС-вариант оказывается в 2,5–6,8 раза менее чувствительным к ЛС.

Литература

1. *Викторова В. С., Лубков Н. В., Степаняц А. С.* Анализ надежности отказоустойчивых управляющих вычислительных систем. — М.: ИПУ РАН, 2016. 117 с.
2. *Morelos-Zaragoza R. H.* The art of error correcting coding. — Hoboken, NJ, USA: Wiley, 2006, 269 p.
3. *LaFrieda C., Manohar R.* Fault detection and isolation techniques for quasi delay-insensitive circuits // Conference (International) on Dependable Systems and Networks Proceedings. — IEEE, 2004. P. 41–50. doi: 10.1109/DSN.2004.1311875.
4. *Kulikowski K. J., Karpovsky M. G., Taubin A., Wang Z., Kulikowski A.* Concurrent fault detection for secure QDI asynchronous circuits // 38th Annual Conference (International) on Dependable Systems and Networks Proceedings. — IEEE/IFIP, 2008. P. 1–6.
5. *Lakshmi varaprasad T., Sivakumar M., Prasad B. K. V., Inthiyaz S. A.* Nanoscale CMOS technology for hardened latch with efficient design // Int. J. Electronics Communication Engineering, 2012. Vol. 5. No. 3. P. 343–349.
6. *Varshavsky V., Kishinevsky M., Marakhovsky V., et al.* Self-timed control of concurrent processes. — Kluwer Academic Publs., 1990. 245 p.
7. *Smith S. C., Di J.* Designing asynchronous circuits using NULL convention logic (NCL). — Synthesis lectures on digital circuits & systems ser. — Springer, 2009. 96 p. doi: 10.2200/S00202ED1V01Y200907DCS023.
8. *Stepchenkov Y. A., Kamenskih A. N., Diachenko Y. G., Rogdestvenski Y. V., Diachenko D. Y.* Improvement of the natural self-timed circuit tolerance to short-term soft errors // ASTESJ, 2020. Vol. 5. No. 2. P. 44–56. doi: 10.25046/aj050206.
9. *Соколов И. А., Степченко Ю. А., Рождественский Ю. В., Дьяченко Ю. Г.* Приближенная оценка эффективности синхронной и самосинхронной методологий в задачах проектирования сбоеустойчивых вычислительно-управляющих систем // Автоматика и телемеханика, 2022. № 2. С. 122–132.
10. *Dubrova E.* Fault-tolerant design. — New York, NY, USA: Springer, 2013. 200 p. doi: 10.1007/978-1-4614-2113-9.
11. *Hennessy J. L., Patterson D. A.* Computer architecture: A quantitative approach. — 6th ed. — Morgan Kaufmann, 2017. 936 p.
12. *Danilov I. A., Gorbunov M. S., Shnaider A. I., Balbekov A. O., Rogatkin Y. B., Bobkov S. G.* DICE-based Muller C-elements for soft error tolerant asynchronous ICs // 16th European Conference on Radiation and Its Effects on Components and Systems Proceedings. — IEEE, 2016. Art. No. F4. 4 p. doi: 10.1109/RADECS.2016.8093145.

Поступила в редакцию 20.06.22

SELF-TIMED PIPELINE'S SOFT ERROR TOLERANCE ANALYSIS

*I. A. Sokolov, Yu. A. Stepchenkov, Yu. G. Diachenko, N. V. Morozov,
D. Yu. Stepchenkov, and D. Yu. Diachenko*

Federal Research Center "Computer Science and Control" of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation

Abstract: Practical self-timed (ST) circuits are implemented as a pipeline, similar to synchronous circuits. Self-timed circuits have a number of advantages in comparison with synchronous counterparts but are redundant in hardware. The article analyzes the stability of the ST pipeline to single soft errors, taking into account its hardware redundancy and assuming that each soft error affects only one circuit's logical cell. Due to their two-phase work discipline and the mandatory indication of the successful completion of the switching in each phase, the ST circuits can detect a soft error and suspend the operation of the circuit until it disappears. A failure-tolerant hysteretic trigger as a part of the pipeline stage register bit ensures that the register is immune to any soft error in the pipeline stage's combinational part. The DICE-like implementation of this trigger increases the ST register tolerance to internal soft errors by a factor of 2.7. In general, the ST pipeline is 2.5–9.4 times more immune to single soft errors than its synchronous counterpart.

Keywords: self-timed circuits; pipeline; soft error; failure tolerance; indication; hysteretic trigger

DOI: 10.14357/08696527220401

Acknowledgments

The research was supported by the Russian Science Foundation (project No. 22-19-00237).

References

1. Viktorova, V. S., N. V. Lubkov, and A. S. Stepanyants. 2016. *Analiz nadezhnosti otkazoustoichivyykh upravlyayushchikh vychislitel'nykh sistem* [Analysis of fault-tolerant computing systems' reliability]. Moscow: IPU RAN. 117 p.
2. Morelos-Zaragoza, R. H. 2006. *The art of error correcting coding*. Hoboken, NJ: Wiley. 269 p.
3. LaFrieda, C., and R. Manohar. 2004. Fault detection and isolation techniques for quasi delay-insensitive circuits. *Conference (International) on Dependable Systems and Networks Proceedings*. IEEE. 41–50. doi: 10.1109/DSN.2004.1311875.

4. Kulikowski, K. J., M. G. Karpovsky, A. Taubin, Z. Wang, and A. Kulikowski. 2008. Concurrent fault detection for secure QDI asynchronous circuits. *38th Annual Conference (International) on Dependable Systems and Networks Proceedings*. IEEE/IFIP. 1–6.
5. Lakshmivaraprasad, T., M. Sivakumar, B. K. V. Prasad, and S. A. Inthiyaz. 2012. Nanoscale CMOS technology for hardened latch with efficient design. *Int. J. Electronics Communication Engineering* 5(3):343–349.
6. Varshavsky, V., M. Kishinevsky, V. Marakhovsky, et al. 1990. *Self-timed control of concurrent processes*. Kluwer Academic Publs. 245 p.
7. Smith, S. C., and J. Di. 2009. *Designing asynchronous circuits using NULL convention logic (NCL)*. Synthesis lectures on digital circuits and systems ser. Springer. 96 p. doi: 10.2200/S00202ED1V01Y200907DCS023.
8. Stepchenkov, Y. A., A. N. Kamenskih, Y. G. Diachenko, Y. V. Rogdestvenski, and D. Y. Diachenko. 2020. Improvement of the natural self-timed circuit tolerance to shortterm soft errors. *ASTESJ* 5(2):44–56. doi: 10.25046/aj050206.
9. Sokolov, I. A., Yu. A. Stepchenkov, Yu. V. Rozhdestvenskiy, and Yu. G. Diachenko. 2022. An approximate evaluation of the efficiency of synchronous and self-timed methodologies in designing failure-tolerant computing and control systems. *Automat. Rem. Contr.* 83(2):264–272.
10. Dubrova, E. 2013. *Fault-tolerant design*. New York, NY: Springer. 200 p. doi: 10.1007/978-1-4614-2113-9.
11. Hennessy, J. L., and D. A. Patterson. 2019. *Computer architecture: A quantitative approach*. 6th ed. Morgan Kaufmann. 936 p.
12. Danilov, I. A., M. S. Gorbunov, A. I. Shnaider, A. O. Balbekov, Y. B. Rogatkin, and S. G. Bobkov. 2016. DICE-based Muller C-elements for soft error tolerant asynchronous ICs. *16th European Conference on Radiation and Its Effects on Components and Systems Proceedings*. IEEE. Art. No. F4. 4 p. doi: 10.1109/RADECS.2016.8093145.

Received June 20, 2022

Contributors

Sokolov Igor A. (b. 1954) — Doctor of Science in technology, Academician of RAS, director, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; isokolov@ipiran.ru

Stepchenkov Yuri A. (b. 1951) — Candidate of Science (PhD) in technology, head of department, leading scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; YStepchenkov@ipiran.ru

Diachenko Yuri G. (b. 1958) — Candidate of Science (PhD) in technology, senior scientist, Federal Research Center “Computer Science and Control” of the Russian

Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaura@mail.ru

Morozov Nikolay V. (b. 1956) — senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation; NMorozov@ipiran.ru

Stepchenkov Dmitri Y. (b. 1973) — senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation; Stepchenkov@mail.ru

Diachenko Denis Y. (b. 1987) — engineer-researcher, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaden87@gmail.com