



**ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ**

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21), (22) Заявка: 2007141583/09, 12.11.2007

(24) Дата начала отсчета срока действия патента:
12.11.2007

(45) Опубликовано: 20.07.2009 Бюл. № 20

(56) Список документов, цитированных в отчете о
поиске: АСТАХАНОВСКИЙ А.Г. и др.
Апериодические автоматы, под редакцией
Варшавского В.И. - М.: Наука, 1976, рис.2.7
(а). RU 2095939 C1, 10.11.1997. SU 1529418 A1,
15.12.1989. US 6323710 B1, 27.11.2001. JP
2280411 A, 16.11.1990.

Адрес для переписки:
119333, Москва, ул. Вавилова, 44, к.2,
Институт проблем информатики Российской
академии наук (ИПИ РАН)

(72) Автор(ы):

Соколов Игорь Анатольевич (RU),
Степченков Юрий Афанасьевич (RU),
Дьяченко Юрий Георгиевич (RU),
Захаров Виктор Николаевич (RU)

(73) Патентообладатель(и):

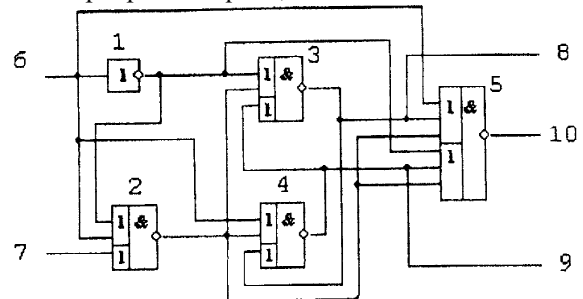
Институт проблем информатики Российской
академии наук (ИПИ РАН) (RU)

(54) САМОСИНХРОННЫЙ ОДНОКРАТНЫЙ D-ТРИГГЕР С ВЫСОКИМ АКТИВНЫМ УРОВНЕМ СИГНАЛА УПРАВЛЕНИЯ

(57) Реферат:

Изобретение относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки сигналов. Техническим результатом изобретения является обеспечение самосинхронной реализации однократного D-триггера с однофазным кодированием информационного входа, с высоким активным уровнем сигнала управления и парафазным кодированием информационного выхода. Этот результат достигается тем, что в схему, содержащую бистабильную ячейку, индикаторный элемент, информационный

вход, управляющий вход, прямой и инверсный информационные выходы и индикаторный выход, введены еще один элемент ИЛИ-И-НЕ и инвертор. 4 з.п. ф-лы, 5 ил.



Фиг. 1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY,
PATENTS AND TRADEMARKS

(51) Int. Cl.
H03K 3/00 (2006.01)

(12) ABSTRACT OF INVENTION

(21), (22) Application: **2007141583/09, 12.11.2007**

(24) Effective date for property rights:
12.11.2007

(45) Date of publication: **20.07.2009 Bull. 20**

Mail address:
**119333, Moskva, ul. Vavilova, 44, k.2, Institut
problem informatiki Rossijskoj akademii nauk (IPI
RAN)**

(72) Inventor(s):
**Sokolov Igor' Anatol'evich (RU),
Stepchenkov Jurij Afanas'evich (RU),
D'jachenko Jurij Georgievich (RU),
Zakharov Viktor Nikolaevich (RU)**

(73) Proprietor(s):
**Institut problem informatiki Rossijskoj akademii
nauk (IPI RAN) (RU)**

(54) SELF-SYNCHRONISING SINGLE-STAGE D FLIP-FLOP WITH HIGH ACTIVE LEVEL OF CONTROL SIGNAL

(57) Abstract:

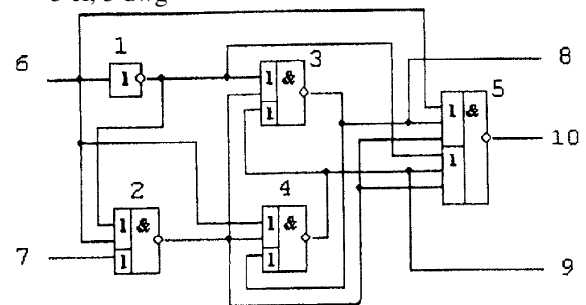
FIELD: computer engineering.

SUBSTANCE: invention relates to pulse and computer engineering and can be used in designing self-synchronising flip flops, register and computation devices and digital signal processing systems. The technical outcome of the invention is achieved due to that, in a circuit containing a bistable cell, indicator element, data input, control input, true and complementary outputs and an indicator output, there is also OR-AND-NOT element and an inverter.

EFFECT: provision for self-synchronisation of a single-stage D flip-flop with single-phase coding of

the data input, with high active level of control signal and paraphrase coding of the data output.

5 cl, 5 dwg



Фиг. 1

RU 2 362 266 C1

RU 2 362 266 C1

Самосинхронный одноканальный D-триггер с высоким активным уровнем сигнала управления относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации.

5 Известен D-триггер [1], содержащий четыре элемента И-НЕ и инвертор.

Недостаток известного устройства - отсутствие средств индикации окончания переходных процессов.

Наиболее близким к предлагаемому решению по технической сущности и принятым в качестве прототипа является самосинхронный RS-триггер [2], содержащий бистабильную ячейку на элементах ИЛИ-И-НЕ с парафазным кодированием информационных входов или выходов и индикаторный элемент ИЛИ-И-НЕ.

Недостаток прототипа - работа только с данными, представленными в парафазном коде, что удваивает число информационных связей между многоуровневым источником входной информации и регистром на базе данного триггера и не позволяет использовать его в качестве элемента интерфейса между синхронными и самосинхронными схемами.

Задача, решаемая в изобретении, заключается в обеспечении самосинхронной реализации одноканального D-триггера с однофазным информационным входом и высоким активным уровнем сигнала управления, гарантирующей работоспособность трггера при любых задержках составляющих его элементов.

Это достигается тем, что в триггере, содержащем бистабильную ячейку, индикаторный элемент, информационный вход, управляющий вход, прямой и инверсный информационные выходы и индикаторный выход, введены инвертор на информационном входе и элемент ИЛИ-И-НЕ, а бистабильная ячейка и индикаторный элемент реализованы на элементах ИЛИ-И-НЕ, информационный вход подключен к входу инвертора, второму входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ, первому входу первой группы входов ИЛИ третьего элемента ИЛИ-И-НЕ и первому входу первой группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, управляющий вход соединен с входом второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ, выход которого подключен ко вторым входам первых групп входов ИЛИ второго и третьего элементов ИЛИ-И-НЕ и третьим входам первой и второй групп входов ИЛИ четвертого элемента ИЛИ-И-НЕ, выход инвертора подключен к первым входам первых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ и первому входу второй группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, выход второго элемента ИЛИ-И-НЕ подключен ко второму входу первой группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, входу второй группы входов ИЛИ третьего элемента ИЛИ-И-НЕ и прямому информационному выходу триггера, выход третьего элемента ИЛИ-И-НЕ соединен со вторым входом второй группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, входом второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ и инверсным информационным выходом триггера, выход четвертого элемента ИЛИ-И-НЕ подключен к индикаторному выходу триггера.

Предлагаемое устройство удовлетворяет критерию "существенные отличия". Использование элементов ИЛИ-И-НЕ и инверторов для реализации D-триггера известно. Однако использование их в данном случае позволило достичь эффекта, выраженного целью изобретения.

Поскольку введенные конструктивные связи в аналогичных технических решениях не известны, устройство может считаться имеющим существенные отличия.

На фиг.1 изображена схема самосинхронного одноканального D-триггера с однофазным входом данных.

Схема D-триггера содержит инвертор 1, четыре элемента ИЛИ-И-НЕ 2-5, информационный вход 6, управляющий вход 7, прямой информационный выход 8, инверсный информационный выход 9 и индикаторный выход 10, информационный

вход 6 подключен к входу инвертора 1, второму входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ 2, первому входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ 4 и первому входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ 5, управляющий вход 7 соединен с входом второй группы входов ИЛИ элемента ИЛИ-И-НЕ 2, выход которого подключен ко вторым входам первых групп входов ИЛИ элементов ИЛИ-И-НЕ 3 и 4 и третьим входам первой и второй групп входов ИЛИ элемента ИЛИ-И-НЕ 5, выход инвертора 1 подключен к первым входам первых групп входов ИЛИ элементов ИЛИ-И-НЕ 2 и 3 и первому входу второй группы входов ИЛИ элемента ИЛИ-И-НЕ 5, выход элемента ИЛИ-И-НЕ 3 подключен ко второму входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ 5, входу второй группы входов ИЛИ элемента ИЛИ-И-НЕ 4 и прямому информационному выходу триггера 8, выход элемента ИЛИ-И-НЕ 4 соединен со вторым входом второй группы входов ИЛИ элемента ИЛИ-И-НЕ 5, входом второй группы входов ИЛИ элемента ИЛИ-И-НЕ 3 и инверсным информационным выходом триггера 9, выход элемента ИЛИ-И-НЕ 5 подключен к индикаторному выходу триггера 10.

Схема работает следующим образом. Запись нового состояния с информационного входа 6 в бистабильную ячейку, образованную элементами 3 и 4, обеспечивается подачей на управляющий вход 7 активного высокого уровня. Выход элемента 2 переключается в низкое состояние, открывая тем самым входы бистабильной ячейки на элементах 3 и 4. Если на информационном входе 6 низкий уровень, элемент ИЛИ-И-НЕ 3 переключится в состояние "1", а элемент ИЛИ-И-НЕ 4 - в состояние "0". При этом индикаторный выход 10 переходит в состояние "1". При низком уровне сигнала на управляющем входе 7 выход элемента 2 переключается в высокое состояние и бистабильная ячейка запирается по входам, сохраняя состояние своих выходов. При этом индикаторный выход 10 перейдет в состояние "0". Элемент 5 выполняет функцию индикатора окончания переходных процессов во всех элементах одноконтурного D-триггера и регулятора фаз его переключения. Значение "1" на выходе элемента 5 свидетельствует об окончании переключения триггера в рабочую фазу, а значение "0" - об окончании переключения триггера в спейсер - фазу хранения своего состояния, обеспечивая тем самым самосинхронность его функционирования.

Особенности данной схемы по сравнению с прототипом следующие.

Информационный вход триггера является однофазным, что позволяет использовать D-триггер в качестве элемента интерфейса между синхронной и самосинхронной схемами. Уточненный индикаторный выход фиксирует момент окончания переходных процессов во всех элементах триггера, как тех, которые были в составе прототипа, так и вновь введенных, что обеспечивает индикацию всех элементов в составе самосинхронной схемы.

Таким образом, предлагаемое устройство обеспечивает самосинхронную работу одноконтурного D-триггера с однофазным информационным входом и высоким активным уровнем сигнала управления. Цель изобретения достигнута.

Кроме того, предлагаемый одноконтурный D-триггер позволяет вдвое сократить число информационных связей между многоуровневым источником входной информации и регистром на базе данного самосинхронного D-триггера.

Данный одноконтурный D-триггер не имеет входов установки "0" и "1", что в ряде практических случаев является существенным недостатком. Однако предлагаемый вариант легко преобразуется в триггер с предустановкой.

На фиг.2 изображена схема самосинхронного одноконтурного D-триггера с высоким активным уровнем сигнала управления с входом установки нуля 11. Схема отличается от схемы на фиг.1 тем, что вторая группа входов ИЛИ элемента ИЛИ-И-НЕ 3 содержит два входа, первый из которых подключен к входу установки нуля 11, а второй - к выходу элемента ИЛИ-И-НЕ 4, как и в схеме на фиг.1. Установка нуля осуществляется подачей на управляющий вход 7 низкого уровня, а на вход установки 11 - высокого уровня. В результате выход элемента 2 переключается в

состояние высокого уровня, выход элемента ИЛИ-И-НЕ 3, формирующий прямой выход триггера 9, переключается в состояние логического нуля (низкий уровень), а элемент ИЛИ-И-НЕ 4, формирующий инверсный выход триггера 8, вслед за этим переходит в состояние высокого уровня, завершая установку.

5 На фиг.3 изображена схема самосинхронного однотактного D-триггера с высоким активным уровнем сигнала управления с установкой единицы 11. Схема отличается от
схемы на фиг.1 тем, что вторая группа входов ИЛИ элемента ИЛИ-И-НЕ 4 содержит
два входа, первый из которых подключен к входу установки единицы 11, а второй - к
10 выходу элемента ИЛИ-И-НЕ 3, как и в схеме на фиг.1. Установка единицы
осуществляется подачей на управляющий вход 7 низкого уровня, а на вход
установки 11 - высокого уровня. В результате выход элемента 2 переключается в
состояние высокого уровня, выход элемента ИЛИ-И-НЕ 4, формирующий инверсный
выход триггера 8, переключается в состояние логического нуля (низкий уровень), а
15 выход элемента ИЛИ-И-НЕ 3, формирующий прямой выход триггера 9, вслед за этим
переходит в состояние высокого уровня.

На фиг.4 изображена схема самосинхронного однотактного D-триггера с высоким активным уровнем сигнала управления с установкой единицы и нуля. Схема отличается от схемы на фиг.2 тем, что вторая группа входов ИЛИ элемента ИЛИ-И-НЕ 4 содержит два входа, первый из которых подключен к входу установки единицы 12, а второй - к выходу элемента ИЛИ-И-НЕ 4, как и в схеме на фиг.1. Установка нуля или единицы осуществляется способом, описанным выше. Одновременная подача на входы установки нуля 11 и единицы 12 низкого уровня запрещена.

На фиг.5 изображена схема самосинхронного однотактного D-триггера с высоким активным уровнем сигнала управления с однофазным входом данных и фазовым выходом 11, подключенным к выходу элемента ИЛИ-И-НЕ 2. Фазовый (инициирующий фазу работы D-триггера) выход служит для ускорения срабатывания устройства-источника информационного сигнала: разрешение на его переход в противоположную фазу работы выдается сразу, как только переключится элемент ИЛИ-И-НЕ 2 в составе триггера после прихода нового значения на управляющий вход 7, без ожидания окончания переключения остальных элементов в составе схемы триггера. Аналогичный выход может использоваться и во всех остальных вариантах D-триггера, описанных выше.

Источники информации

- 35 1. Шило В.Л. Популярные цифровые микросхемы: Справочник. 2-е изд., испр. - Челябинск: Металлургия, Челябинское отд., 1989. - рис.1.50а.
2. Астахановский А.Г., Варшавский В.И., Мараховский В.Б. и др. Аперiodические автоматы. // Под ред. В.И.Варшавского. - М.: Наука, 1976. - рис.2.7а.

Формула изобретения

- 40 1. Самосинхронный однотактный D-триггер с высоким активным уровнем сигнала управления, содержащий бистабильную ячейку и индикаторный элемент, информационный вход, управляющий вход, прямой и инверсный информационные выходы и индикаторный выход, отличающийся тем, что в схему введены инвертор на
45 информационном входе и элемент ИЛИ-И-НЕ, а бистабильная ячейка и индикаторный элемент реализованы на элементах ИЛИ-И-НЕ, информационный вход подключен к входу инвертора, второму входу первой группы входов ИЛИ первого элемента И-ИЛИ-НЕ, первому входу первой группы входов ИЛИ третьего элемента ИЛИ-И-НЕ и первому входу первой группы входов ИЛИ четвертого элемента
50 И-ИЛИ-НЕ, управляющий вход соединен с входом второй группы входов ИЛИ первого элемента И-ИЛИ-НЕ, выход которого подключен ко вторым входам первых групп входов ИЛИ второго и третьего элементов И-ИЛИ-НЕ и третьим входам первой и второй групп входов ИЛИ четвертого элемента ИЛИ-И-НЕ, выход

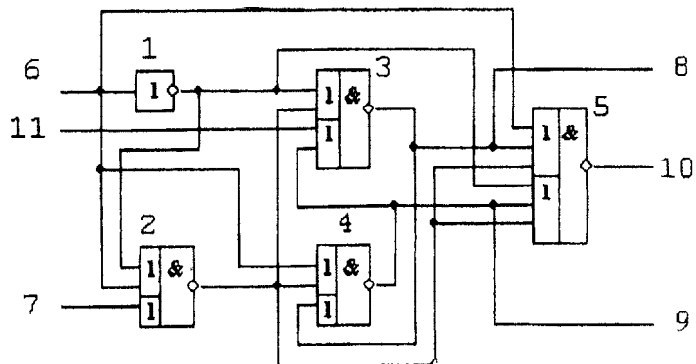
инвертора подключен к первым входам первых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ и первому входу второй группы входов ИЛИ четвертого элемента И-ИЛИ-НЕ, выход второго элемента ИЛИ-И-НЕ подключен ко второму входу первой группы входов ИЛИ четвертого элемента И-ИЛИ-НЕ, входу второй группы входов ИЛИ третьего элемента ИЛИ-И-НЕ и прямому информационному выходу триггера, выход третьего элемента ИЛИ-И-НЕ соединен со вторым входом второй группы входов ИЛИ четвертого элемента И-ИЛИ-НЕ, входом второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ и инверсным информационным выходом триггера, выход четвертого элемента ИЛИ-И-НЕ подключен к индикаторному выходу триггера.

2. Самосинхронный однотактный D-триггер с высоким активным уровнем сигнала управления по п.1, отличающийся тем, что в него введен вход установки нуля, и вторая группа входов ИЛИ второго элемента ИЛИ-И-НЕ имеет два входа, первый из которых соединен с входом установки нуля, а второй вход подключен к выходу третьего элемента ИЛИ-И-НЕ.

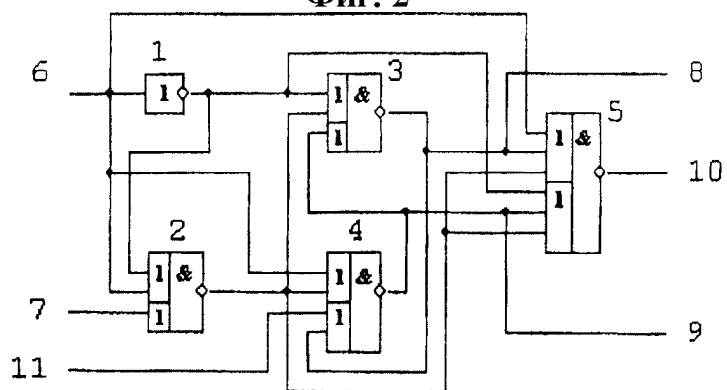
3. Самосинхронный однотактный D-триггер с высоким активным уровнем сигнала управления по п.1, отличающийся тем, что в него введен вход установки единицы, и вторая группа входов ИЛИ третьего элемента ИЛИ-И-НЕ имеет два входа, первый из которых соединен с входом установки единицы, а второй вход подключен к выходу второго элемента ИЛИ-И-НЕ.

4. Самосинхронный однотактный D-триггер с высоким активным уровнем сигнала управления по п.2, отличающийся тем, что в него введен вход установки единицы, и вторая группа входов ИЛИ третьего элемента ИЛИ-И-НЕ имеет два входа, первый из которых соединен с входом установки единицы, а второй вход подключен к выходу второго элемента ИЛИ-И-НЕ.

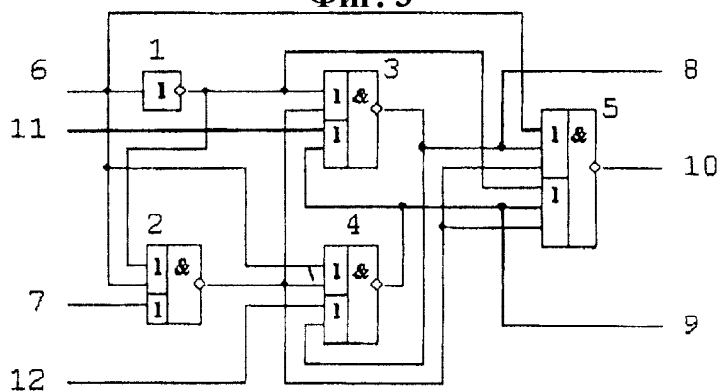
5. Самосинхронный однотактный D-триггер с высоким активным уровнем сигнала управления по любому из пп.1-4, отличающийся тем, что в схему введен фазовый выход, соединенный с выходом первого элемента ИЛИ-И-НЕ.



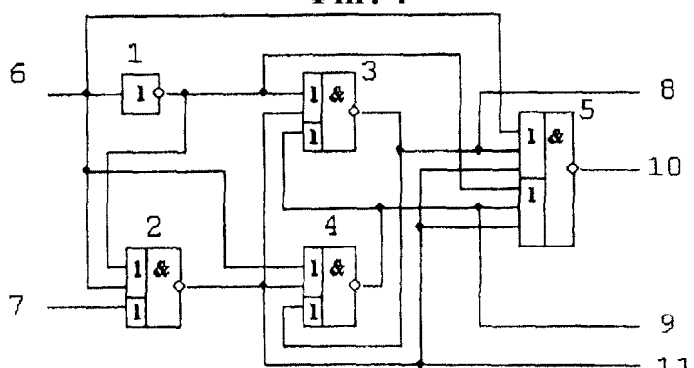
Фиг. 2



Фиг. 3



Фиг. 4



Фиг. 5