



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21), (22) Заявка: 2007141586/09, 12.11.2007

(24) Дата начала отсчета срока действия патента:
12.11.2007

(45) Опубликовано: 27.08.2009 Бюл. № 24

(56) Список документов, цитированных в отчете о
поиске: АСТАХАНОВСКИЙ А.Г. и др.

Апериодические автоматы. /Под ред. В.И.
Варшавского. - М.: Наука, 1976, рис.2.16 (а).
SU 930597 A1, 23.05.1982. SU 1529418 A1,
15.12.1989. JP 3211912 A, 17.09.1991. JP 3117014
A, 17.05.1991.

Адрес для переписки:

119333, Москва, ул. Вавилова, 44, к.2,
Институт проблем информатики Российской
академии наук (ИПИ РАН)

(72) Автор(ы):

Степченков Юрий Афанасьевич (RU),
Дьяченко Юрий Георгиевич (RU),
Рождественскене Аста Винценти (RU),
Морозов Николай Викторович (RU),
Петрухин Владимир Сергеевич (RU)

(73) Патентообладатель(и):

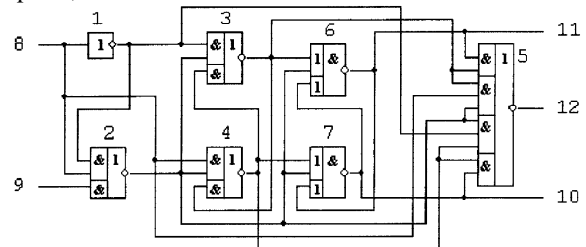
Институт проблем информатики Российской
академии наук (ИПИ РАН) (RU)

(54) САМОСИНХРОННЫЙ ДВУХТАКТНЫЙ D-ТРИГГЕР С НИЗКИМ АКТИВНЫМ УРОВНЕМ СИГНАЛА УПРАВЛЕНИЯ

(57) Реферат:

Изобретение относится к вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации. Техническим результатом изобретения является обеспечение самосинхронной реализации двухтактного D-триггера с низким активным уровнем сигнала управления, однофазным кодированием информационного входа и парафазным кодированием информационного выхода. Этот результат достигается тем, что в схему, содержащую три

элемента И-ИЛИ-НЕ, информационный вход, управляющий вход, прямой и инверсный информационные выходы и индикаторный выход, введены еще один элемент И-ИЛИ-НЕ, инвертор, два элемента ИЛИ-И-НЕ. 7 з.п. ф-лы, 8 ил.



Фиг. 1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY,
PATENTS AND TRADEMARKS

(12) ABSTRACT OF INVENTION

(21), (22) Application: **2007141586/09, 12.11.2007**

(24) Effective date for property rights:
12.11.2007

(45) Date of publication: **27.08.2009 Bull. 24**

Mail address:
**119333, Moskva, ul. Vavilova, 44, k.2, Institut
problem informatiki Rossijskoj akademii nauk (IPI
RAN)**

(72) Inventor(s):
**Stepchenkov Jurij Afanas'evich (RU),
D'jachenko Jurij Georgievich (RU),
Rozhdestvenskene Asta Vintsento (RU),
Morozov Nikolaj Viktorovich (RU),
Petrukhin Vladimir Sergeevich (RU)**

(73) Proprietor(s):
**Institut problem informatiki Rossijskoj akademii
nauk (IPI RAN) (RU)**

(54) SELF-SYNCHRONISING TWO-CYCLE D FLIP-FLOP WITH LOW ACTIVE CONTROL SIGNAL LEVEL

(57) Abstract:

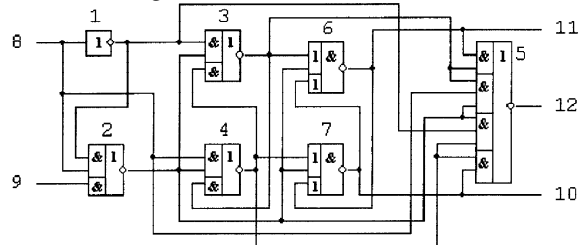
FIELD: information technology.

SUBSTANCE: invention relates to computer engineering and can be used in designing self-synchronising flip-flop, register and computer devices, digital information processing systems. This result is achieved by that, a circuit, which comprises three AND-OR-NOT elements, a data input, control input, true and complementary data outputs and indicator output, further contains one more AND-OR-NOT element, inverter, two OR-AND-NOT elements.

EFFECT: self-synchronising design of a two-

cycle D flip-flop with low active control signal level, single-phase coding of the data input and paraphase coding of the data output.

8 cl, 8 dwg



Фиг. 1

RU 2 366 080 C2

RU 2 366 080 C2

Самосинхронный двухтактный D-триггер с низким активным уровнем сигнала управления относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации.

Известен D-триггер [1], содержащий шесть элементов И-НЕ.

Недостаток известного устройства - отсутствие средств индикации окончания переходных процессов.

Наиболее близким к предлагаемому решению по технической сущности и принятым в качестве прототипа является RS-триггер [2], содержащий пять элементов И-ИЛИ-НЕ, с парафазным кодированием информационных входов и выходов.

Недостаток прототипа - работа только с данными, представленными в парафазном коде, что удваивает число информационных связей между многоуровневым источником входной информации и регистром на базе данного триггера и не позволяет использовать его в качестве элемента интерфейса между синхронными и самосинхронными схемами.

Задача, решаемая в изобретении, заключается в обеспечении самосинхронной реализации двухтактного D-триггера с однофазным информационным входом и низким активным уровнем сигнала управления, гарантирующей работоспособность триггера при любых задержках составляющих его элементов.

Это достигается тем, что в триггере, содержащем три элемента И-ИЛИ-НЕ, информационный вход, управляющий вход, прямой и инверсный информационные выходы и индикаторный выход, введены инвертор на информационном входе, два элемента ИЛИ-И-НЕ и еще один элемент И-ИЛИ-НЕ, информационный вход подключен к входу инвертора, второму входу первой группы входов И первого элемента И-ИЛИ-НЕ, первому входу первой группы входов И третьего элемента И-ИЛИ-НЕ и второму входу второй группы входов И четвертого элемента И-ИЛИ-НЕ, управляющий вход соединен с входом второй группы входов И первого элемента И-ИЛИ-НЕ, выход которого подключен ко вторым входам первых групп входов И второго и третьего элементов И-ИЛИ-НЕ, третьему входу второй группы входов И и первому входу третьей группы входов И четвертого элемента И-ИЛИ-НЕ и вторым входам первых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ, выход инвертора подключен к первым входам первых групп входов И первого и второго элементов И-ИЛИ-НЕ и второму входу третьей группы входов И четвертого элемента И-ИЛИ-НЕ, выход второго элемента И-ИЛИ-НЕ подключен ко второму входу первой группы входов И и первому входу второй группы входов И четвертого элемента И-ИЛИ-НЕ, входу второй группы входов И третьего элемента И-ИЛИ-НЕ и первому входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ, выход первого элемента ИЛИ-И-НЕ соединен с входом второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ, первым входом первой группы входов И четвертого элемента И-ИЛИ-НЕ и инверсным информационным выходом триггера, выход третьего элемента И-ИЛИ-НЕ соединен с третьим входом третьей группы входов И и первым входом четвертой группы входов И четвертого элемента И-ИЛИ-НЕ, входом второй группы входов И второго элемента И-ИЛИ-НЕ и первым входом первой группы входов ИЛИ второго элемента ИЛИ-И-НЕ, выход второго элемента ИЛИ-И-НЕ соединен с входом второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ, вторым входом четвертой группы входов И четвертого элемента И-ИЛИ-НЕ и прямым информационным выходом триггера, выход четвертого элемента И-ИЛИ-НЕ подключен к индикаторному выходу триггера.

Предлагаемое устройство удовлетворяет критерию "существенные отличия".

Использование элементов И-ИЛИ-НЕ, ИЛИ-И-НЕ и инвертора для реализации двухтактного D-триггера известно. Однако использование их в данном случае позволило достичь эффекта, выраженного целью изобретения.

Поскольку введенные конструктивные связи в аналогичных технических решениях не известны, устройство может считаться имеющим существенные отличия.

На фиг.1 изображена схема самосинхронного двухтактного D-триггера с однофазным входом данных и низким активным уровнем сигнала управления.

Схема D-триггера содержит инвертор 1, четыре элемента И-ИЛИ-НЕ 2-5, два элемента ИЛИ-И-НЕ 6-7, информационный вход 8, управляющий вход 9, прямой информационный выход 10, инверсный информационный выход 11 и индикаторный выход 12, информационный вход подключен к входу инвертора 1, второму входу первой группы входов И элемента И-ИЛИ-НЕ 2, первому входу первой группы входов И элемента И-ИЛИ-НЕ 4 и второму входу второй группы входов И элемента И-ИЛИ-НЕ 5, управляющий вход 9 соединен с входом второй группы входов И элемента И-ИЛИ-НЕ 2, выход которого подключен ко вторым входам первых групп входов И элементов И-ИЛИ-НЕ 3 и 4, третьему входу второй группы входов И и первому входу третьей группы входов И элемента И-ИЛИ-НЕ 5 и вторым входам первых групп входов ИЛИ элементов ИЛИ-И-НЕ 6 и 7, выход инвертора 1 подключен к первым входам первых групп входов И элементов И-ИЛИ-НЕ 2 и 3 и второму входу третьей группы входов И элемента И-ИЛИ-НЕ 5, выход элемента И-ИЛИ-НЕ 3 подключен ко второму входу первой группы входов И и первому входу второй группы входов И элемента И-ИЛИ-НЕ 5, входу второй группы входов И элемента И-ИЛИ-НЕ 4 и первому входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ 6, выход которого соединен с входом второй группы входов ИЛИ элемента ИЛИ-И-НЕ 7, первым входом первой группы входов И элемента И-ИЛИ-НЕ 5 и инверсным информационным выходом триггера 11, выход элемента И-ИЛИ-НЕ 4 соединен с третьим входом третьей группы входов И и первым входом четвертой группы входов И элемента И-ИЛИ-НЕ 5, входом второй группы входов И элемента И-ИЛИ-НЕ 3 и первым входом первой группы входов ИЛИ элемента ИЛИ-И-НЕ 7, выход которого соединен с входом второй группы входов ИЛИ элемента ИЛИ-И-НЕ 6, вторым входом четвертой группы входов И элемента И-ИЛИ-НЕ 5 и прямым информационным выходом триггера 10, выход элемента И-ИЛИ-НЕ 5 подключен к индикаторному выходу триггера 12.

Схема работает следующим образом. Запись нового состояния с информационного входа 8 в бистабильную ячейку, образованную элементами 3 и 4, обеспечивается подачей на управляющий вход 9 низкого уровня. Выход элемента 2 переключается в высокое состояние, открывая тем самым входы бистабильной ячейки на элементах 3 и 4. Если на информационном входе 8 высокий уровень, элемент И-ИЛИ-НЕ 4 переключится в состояние "0", а элемент И-ИЛИ-НЕ 3 - в состояние "1". При этом индикаторный выход 12 переходит в состояние "0". При высоком уровне сигнала на управляющем входе 9 выход элемента 2 переключается в низкое состояние и бистабильная ячейка на элементах 3 и 4 запирается по входам, сохраняя состояние своих выходов. При этом отпирается по входам вторая бистабильная ячейка на элементах ИЛИ-И-НЕ 6 и 7 и состояние выходов первой бистабильной ячейки перезаписывается во вторую бистабильную ячейку. Состояние выходов триггера 10 и 11 обновляется, а индикаторный выход 12 переходит в состояние "1". Элемент 5 выполняет функцию индикатора окончания переходных процессов во всех элементах

двухтактного D-триггера и регулятора фаз его переключения. Значение "0" на выходе элемента 5 свидетельствует об окончании переключения триггера в рабочую фазу - фиксации значения информационного входа 8 на выходах первой бистабильной ячейки, а значение "1" - об окончании переключения триггера в спейсер - фазу хранения состояния первой бистабильной ячейки и обновления состояния выходов второй бистабильной ячейки, обеспечивая тем самым самосинхронность его функционирования.

Особенности данной схемы по сравнению с прототипом следующие.

Информационный вход триггера является однофазным, что позволяет использовать D-триггер в качестве элемента интерфейса между синхронной и самосинхронной схемами. Уточненный индикаторный выход фиксирует момент окончания переходных процессов во всех элементах триггера, как тех, которые были в составе прототипа, так и вновь введенных, что обеспечивает индикацию всех элементов в составе самосинхронной схемы.

Таким образом, предлагаемое устройство обеспечивает самосинхронную работу двухтактного D-триггера с однофазным информационным входом. Цель изобретения достигнута.

Кроме того, предлагаемый двухтактный D-триггер позволяет вдвое сократить число информационных связей между многоуровневым источником входной информации и регистром на базе данного самосинхронного D-триггера.

Данный двухтактный D-триггер не имеет входов установки "0" и "1", что в ряде практических случаев является существенным недостатком. Однако предлагаемый вариант легко преобразуется в триггер с предустановкой.

На фиг.2 изображена схема самосинхронного двухтактного D-триггера с входом установки нуля 13 и низким активным уровнем сигнала управления. Схема отличается от схемы на фиг.1 тем, что вторая группа входов И элемента И-ИЛИ-НЕ 4 содержит два входа, первый из которых подключен к входу установки нуля 13, а второй - к выходу элемента И-ИЛИ-НЕ 3, как и в схеме на фиг.1. Установка нуля осуществляется подачей на управляющий вход 9 высокого уровня, а на вход установки 13 - низкого уровня. В результате выход элемента 2 переключается в состояние низкого уровня, выход элемента И-ИЛИ-НЕ 4 переключается в "1" (состояние высокого уровня), элемент И-ИЛИ-НЕ 3 - в "0" (состояние низкого уровня), элемент ИЛИ-И-НЕ 6, формирующий инверсный выход триггера 11, - в "1", а элемент ИЛИ-И-НЕ 7, формирующий прямой выход триггера 10, - в "0", завершая установку.

На фиг.3 изображена схема самосинхронного двухтактного D-триггера с установкой единицы 13 и низким активным уровнем сигнала управления. Схема отличается от схемы на фиг.1 тем, что вторая группа входов И элемента И-ИЛИ-НЕ 3 содержит два входа, первый из которых подключен к входу установки единицы 13, а второй - к выходу элемента И-ИЛИ-НЕ 4, как и в схеме на фиг.1. Установка единицы осуществляется подачей на управляющий вход 9 высокого уровня ("1"), а на вход установки 13 - низкого уровня ("0"). В результате выход элемента 2 переключается в состояние низкого уровня, выход элемента И-ИЛИ-НЕ 3 переключается в состояние "1", выход элемента И-ИЛИ-НЕ 4 - в "0", элемент ИЛИ-И-НЕ 7, формирующий прямой выход триггера 10, - в "1", а элемент ИЛИ-И-НЕ 6, формирующий инверсный выход триггера 11, - в "0", завершая установку.

На фиг.4 изображена схема самосинхронного двухтактного D-триггера с установкой единицы и нуля и низким активным уровнем сигнала управления. Схема

отличается от схемы на фиг.2 тем, что вторая группа входов И элемента И-ИЛИ-НЕ 3 содержит два входа, первый из которых подключен к входу установки единицы 14, а ко второму из них подключен выход элемента И-ИЛИ-НЕ 4, как и в схеме на фиг.2. Установка нуля или единицы осуществляется способом, описанным выше.

5 Одновременная подача на входы установки нуля 13 и единицы 14 низкого уровня запрещена.

Описанные варианты самосинхронного двухтактного D-триггера с установкой нуля и/или единицы характеризуются тем, что установка не является самосинхронной.

10 В процессе установки выходы первой и второй бистабильной ячейки переключаются, приводя к кратковременному неконтролируемому переключению выхода индикаторного элемента 5. В большинстве практических случаев этого оказывается достаточно, поскольку установка триггеров осуществляется однократно - в момент запуска, подачи питания на устройство, в составе которого используется триггер.

15 Однако такое решение не годится для динамической установки нуля или единицы на выходах триггера в строго самосинхронных устройствах. Одним из условий принадлежности устройства к классу строго самосинхронных является требование отсутствие неконтролируемых переключений элементов, "дребезга" на входах элементов.

20 На фиг.5 изображена схема самосинхронного двухтактного D-триггера с низким активным уровнем сигнала управления с однофазным входом данных и входом установки нуля, удовлетворяющая требованиям, предъявляемым к строго самосинхронным схемам. Данный вариант триггера отличается от схемы на фиг.2 тем, что в элементе И-ИЛИ-НЕ 5 расширены составы первой и четвертой групп входов И: 25 в них введены третьи входы, подключенные к входу установки нуля 13. Установка нуля осуществляется способом, описанным выше. Но при этом выход индикаторного элемента И-ИЛИ-НЕ 5 не изменяется, поскольку все его группы входов блокированы низкими уровнями на входе установки нуля 13 и выходе элемента И-ИЛИ-НЕ 2. 30 Индикация окончания процесса установки триггера осуществляется дополнительной логикой, контролирующей переключение в "0" прямого выхода триггера 10.

35 На фиг.6 изображена схема самосинхронного двухтактного D-триггера с низким активным уровнем сигнала управления с однофазным входом данных и входом установки единицы, удовлетворяющая требованиям, предъявляемым к строго самосинхронным схемам. Данный вариант триггера отличается от схемы на фиг.3 тем, что в элементе И-ИЛИ-НЕ 5 расширены составы первой и четвертой групп входов И: 40 в них введены третьи входы, подключенные к входу установки единицы 13. Установка единицы осуществляется способом, описанным выше. Но при этом выход индикаторного элемента И-ИЛИ-НЕ 5 не изменяется, поскольку все его группы входов блокированы низким уровнем на входе установки единицы 13 и выходе элемента И-ИЛИ-НЕ 2. Индикация окончания процесса установки триггера осуществляется дополнительной логикой, контролирующей переключение в "0" 45 инверсного выхода триггера 11.

50 На фиг.7 изображена схема самосинхронного двухтактного D-триггера с низким активным уровнем сигнала управления с однофазным входом данных и входами установки нуля и единицы, удовлетворяющая требованиям, предъявляемым к строго самосинхронным схемам. Данный вариант триггера отличается от схемы на фиг.4 тем, что в элементе И-ИЛИ-НЕ 5 расширены составы первой и четвертой групп входов И: в них введены третьи входы, подключенные к входу установки нуля 13, и четвертые входы, подключенные к входу установки единицы 14. Установка нуля и единицы

осуществляется способом, описанным выше. Но при этом выход индикаторного элемента И-ИЛИ-НЕ 5 не изменяется, поскольку все его группы входов блокированы низким уровнем на входе установки нуля 13 (или единицы 14) и выходе элемента И-ИЛИ-НЕ 2. Индикация окончания процесса установки триггера осуществляется 5 дополнительной логикой, контролирующей переключение в "0" прямого выхода триггера 10 (при установке нуля) или переключение в "0" инверсного выхода триггера 11 (при установке единицы).

Одновременная подча на входы установки нуля 13 и единицы 14 низкого уровня 10 запрещена.

На фиг.8 изображена схема самосинхронного двухтактного D-триггера с низким активным уровнем сигнала управления с однофазным входом данных и фазовым выходом 13, подключенным к выходу элемента И-ИЛИ-НЕ 2. Фазовый 15 (инициирующий фазу работы D-триггера) выход служит для ускорения срабатывания устройства-источника информационного сигнала: разрешение на его переход в противоположную фазу работы выдается сразу, как только переключится элемент И-ИЛИ-НЕ 2 в составе триггера после прихода нового значения на управляющий 20 вход 9, без ожидания окончания переключения остальных элементов в составе схемы триггера. Аналогичный выход может использоваться и во всех остальных вариантах D-триггера, описанных выше.

Источники

1. Шило В.Л. Популярныe цифровые микросхемы: Справочник. 2-е изд., испр. - Челябинск: Металлургия, Челябинское отд., 1989. - рис.1.50 (а).

2. Астахановский А.Г., Варшавский В.И., Мараховский В.Б. и др. Аперiodические автоматы. // Под ред. В.И.Варшавского. - М: Наука, 1976. - рис.2.16 (а).

Формула изобретения

1. Самосинхронный двухтактный D-триггер с низким активным уровнем сигнала 30 управления, содержащий три элемента И-ИЛИ-НЕ, информационный вход, управляющий вход, прямой и инверсный информационные выходы и индикаторный выход, отличающийся тем, что в схему введены инвертор на информационном входе, два элемента ИЛИ-И-НЕ и еще один элемент И-ИЛИ-НЕ, информационный вход 35 подключен к входу инвертора, второму входу первой группы входов И первого элемента И-ИЛИ-НЕ, первому входу первой группы входов И третьего элемента И-ИЛИ-НЕ и второму входу второй группы входов И четвертого элемента И-ИЛИ-НЕ, управляющий вход соединен с входом второй группы входов И первого 40 элемента И-ИЛИ-НЕ, выход которого подключен ко вторым входам первых групп входов И второго и третьего элементов И-ИЛИ-НЕ, третьему входу второй группы входов И и первому входу третьей группы входов И четвертого элемента И-ИЛИ-НЕ и вторым входам первых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ, выход инвертора подключен к первым входам первых групп входов И 45 первого и второго элементов И-ИЛИ-НЕ и второму входу третьей группы входов И четвертого элемента И-ИЛИ-НЕ, выход второго элемента И-ИЛИ-НЕ подключен ко второму входу первой группы входов И и первому входу второй группы входов И четвертого элемента И-ИЛИ-НЕ, входу второй группы входов И третьего элемента И-ИЛИ-НЕ и первому входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ, выход первого элемента ИЛИ-И-НЕ соединен с входом второй группы входов ИЛИ второго элемента ИЛИ-И-Е, первым входом первой группы входов И 50 четвертого элемента И-ИЛИ-НЕ и инверсным информационным выходом триггера,

выход третьего элемента И-ИЛИ-НЕ соединен с третьим входом третьей группы входов И и первым входом четвертой группы входов И четвертого элемента И-ИЛИ-НЕ, входом второй группы входов И второго элемента И-ИЛИ-НЕ и первым входом первой группы входов ИЛИ второго элемента ИЛИ-И-НЕ, выход второго

5 элемента ИЛИ-И-НЕ соединен с входом второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ, вторым входом четвертой группы входов И четвертого элемента И-ИЛИ-НЕ и прямым информационным выходом триггера, выход четвертого элемента И-ИЛИ-НЕ подключен к индикаторному выходу триггера.

10 2. Самосинхронный двухтактный D-триггер с низким активным уровнем сигнала управления по п.1, отличающийся тем, что в него введен вход установки нуля и вторая группа входов И третьего элемента И-ИЛИ-НЕ имеет два входа, первый из которых подключен к входу установки нуля, а второй вход соединен с выходом второго

15 элемента И-ИЛИ-НЕ.

3. Самосинхронный двухтактный D-триггер с низким активным уровнем сигнала управления по п.1, отличающийся тем, что в него введен вход установки единицы и вторая группа входов И второго элемента И-ИЛИ-НЕ имеет два входа, первый из которых подключен к входу установки единицы, а второй вход соединен с выходом

20 третьего элемента И-ИЛИ-НЕ.

4. Самосинхронный двухтактный D-триггер с низким активным уровнем сигнала управления по п.2, отличающийся тем, что в него введен вход установки единицы и вторая группа входов И второго элемента И-ИЛИ-НЕ имеет два входа, первый из которых подключен к входу установки единицы, а второй вход соединен с выходом

25 третьего элемента И-ИЛИ-НЕ.

5. Самосинхронный двухтактный D-триггер с низким активным уровнем сигнала управления по п.2, отличающийся тем, что в четвертом элементе И-ИЛИ-НЕ введены третьи входы в первую и четвертую группы входов И, подключенные к входу

30 установки нуля.

6. Самосинхронный двухтактный D-триггер с низким активным уровнем сигнала управления по п.3, отличающийся тем, что в четвертом элементе И-ИЛИ-НЕ введены третьи входы в первую и четвертую группы входов И, подключенные к входу

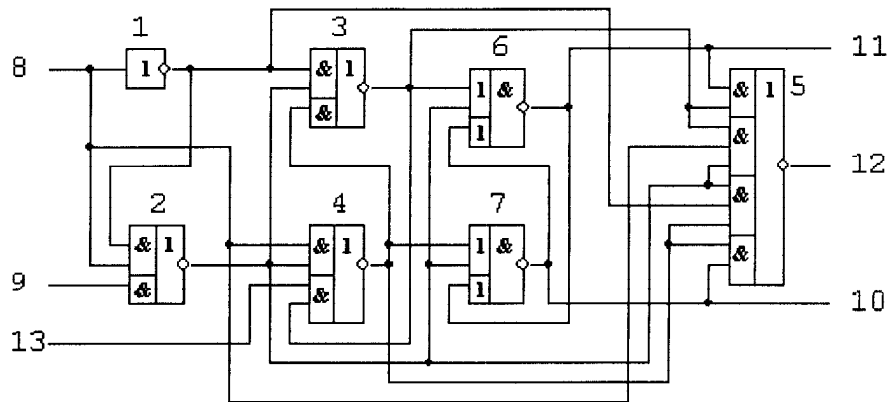
35 установки единицы.

7. Самосинхронный двухтактный D-триггер с низким активным уровнем сигнала управления по п.4, отличающийся тем, что в четвертом элементе И-ИЛИ-НЕ введены третьи и четвертые входы в первую и четвертую группы входов И, причем третьи входы этих групп подключены к входу установки нуля, а четвертые входы этих групп

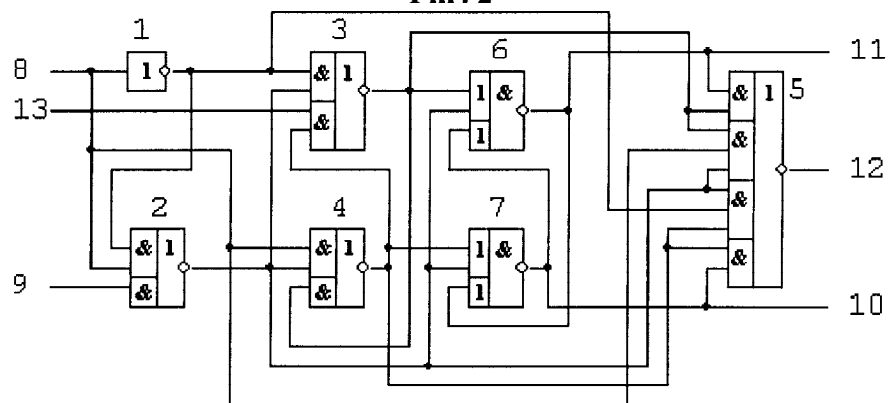
40 соединены с входом установки единицы.

8. Самосинхронный двухтактный D-триггер с низким активным уровнем сигнала управления по любому из пп.1-7, отличающийся тем, что в схему введен фазовый выход, соединенный с выходом первого элемента И-ИЛИ-НЕ.

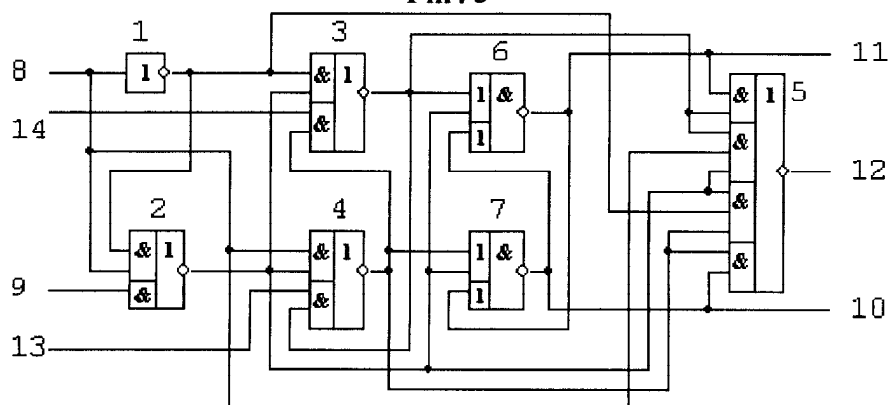
45



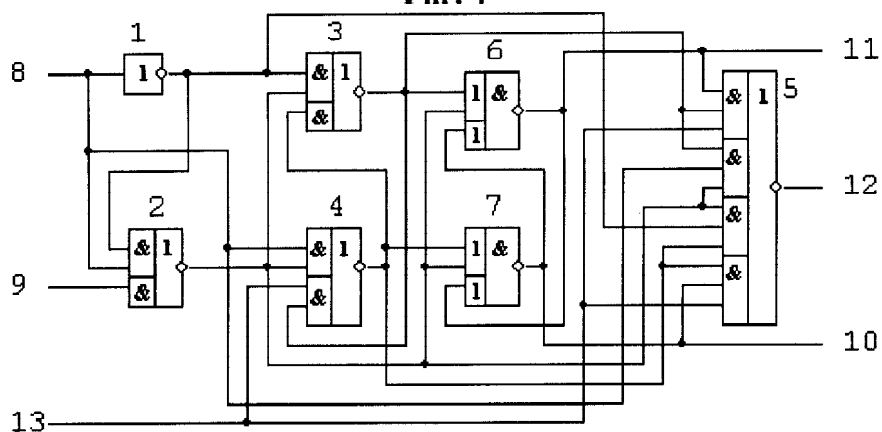
Фиг. 2



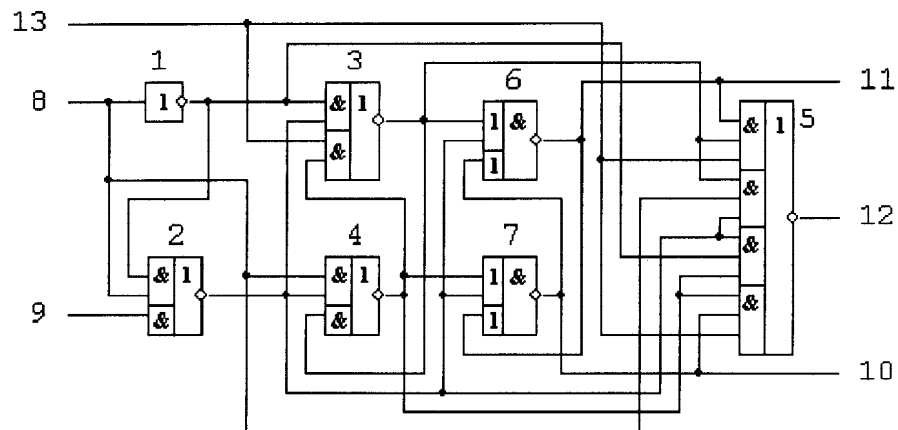
Фиг. 3



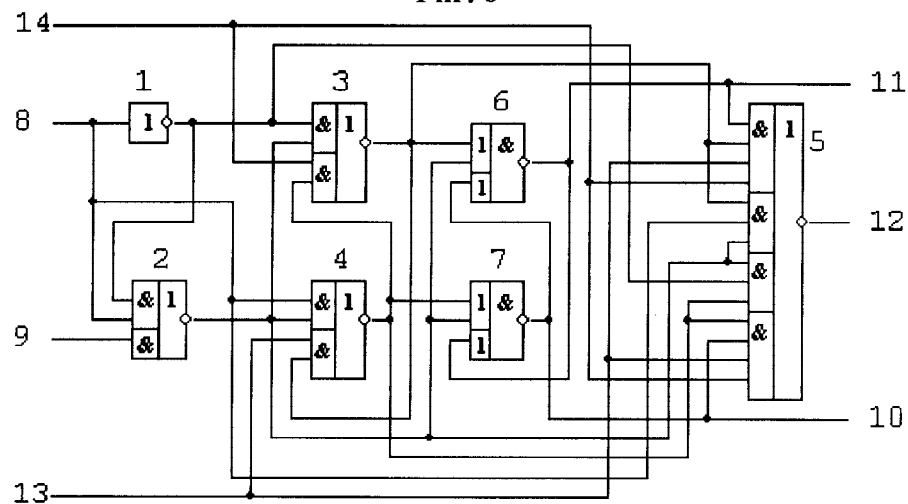
Фиг. 4



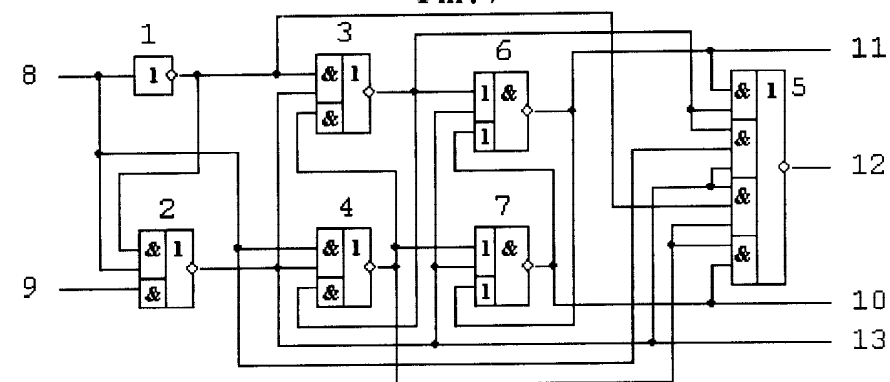
Фиг. 5



Фиг. 6



Фиг. 7



Фиг. 8