

УДК 681.324-192:681.325.65

ЦЕНА РЕАЛИЗАЦИИ УНИКАЛЬНЫХ СВОЙСТВ САМОСИНХРОННЫХ СХЕМ

Ю.А. Степченков, Ю.Г. Дьяченко, В.С. Петрухин, А.В. Филин

Для подтверждения объявленных в [1] уникальных свойств *строго самосинхронных* (ССС) схем и определения "цены" их реализации (на количественном уровне) в сравнении с *синхронными* (С) схемами были тщательно разработаны альтернативные варианты СССР- и С-схем специально выбранных тестовых функциональных устройств (ТФУ) и проведены их модельные испытания на компьютере.

ТФУ должны были удовлетворять целому ряду требований и, в первую очередь, быть функционально законченными, расширяемыми по разрядности и достаточно простыми в реализации, чтобы можно было рассмотреть разные варианты их исполнения: *традиционный* (несамопроверяющийся, то есть безызбыточный), *самопроверяющийся* и *отказоустойчивый*.

Варианты схем ТФУ различной разрядности сравнивались между собой по затратам на реализацию (в транзисторах), быстродействию и потребляемой мощности. Чтобы сравнительные оценки схемотехнических решений были корректны, использовался один и тот же КМОП-технологический базис с 3-микронными нормами, для которого имелся полный набор необходимых топологических и технологических параметров. В результате моделирования удалось выявить предпочтительные области применения СССР-схемотехники.

Для всех вариантов схем были созданы VHDL-модели с целью получения их количественных характеристик. Кроме того, все СССР-варианты прошли аттестацию на САПР "РОНИС" (САПР для поддержки проектирования СССР-схем) для подтверждения независимости их поведения от задержек элементов.

В качестве ТФУ в классе устройств с памятью (регистровых) был выбран преобразователь последовательного кода в n -разрядный

параллельный (далее - "преобразователь", он же - приемник кода или просто "Приемник"). Источником кода (далее - "Источник"), передаваемого по последовательной шине (системной магистрали), принято некоторое устройство, называемое "Задатчиком".

При выборе ТФУ в классе комбинационных устройств предпочтение было отдано арифметико-логическому устройству (АЛУ).

Каждый из вариантов схемы ТФУ должен был обеспечить работоспособность в диапазонах внешних условий:

- температуры (T) - от -63° до $+125^{\circ}$ С;
- питающего напряжения (V_{CC}) - от +3 до +7 В;
- нагрузочной способности шины (N_d)- от 0 до 15 единичных нагрузок (не более одного КМОП-входа элемента-приемника и одного КМОП-выхода элемента-передатчика для любой линии шины).

Характеристики быстродействия, приводимые ниже для всех вариантов ТФУ, получены в результате электрического и логического моделирования схем в выбранном базисе. Эти характеристики могут быть аппроксимированы на другие топологические нормы приблизительно пропорционально их численному значению (измеряемому в *микронах*).

Для вариантов исполнения ТФУ приняты следующие обозначения:

- **S_SRn (S_ALU32)** - синхронный несамопроверяющийся (оптимизированный по скорости) **n**-разрядный преобразователь на базе сдвигового регистра с последовательным вводом информации (синхронное 32-разрядное АЛУ, АЛУ32);

- **S_SRn-SC (S_ALU32-SC)** - самопроверяющийся (SC) C-вариант S_SRn (S_ALU32);

- **S_SRn-FT-D (S_ALU32-FT-D)** - отказоустойчивый (FT) C-вариант преобразователя (АЛУ32) на базе дублирования двух S_SRn-SC (S_ALU32);

- **S³_SRn-F/RC/RG (S³_ALU32-F/R)** - самопроверяющиеся **n**-разрядные ССС-преобразователи (АЛУ32) с использованием

формального (F) или реального (R) подходов при проектировании на базе *C-элемента Маллера* (RC) или *Г-триггера* (RG);

- **S³_SRn-RCP-FT-D** (**S³_ALU32-R-FT-D**) - отказоустойчивый преобразователь по методу дублирования (D) двух ССС-устройств S³_SRn-RC (S³_ALU32-R) с пирамидальной (P) организацией общего индикатора;

- **S³_SRn-RCP-FT-OS** - отказоустойчивый ССС-преобразователь по методу скользящего резервирования с замещением посредством сдвига (OS).

1. ТРАДИЦИОННЫЙ СИНХРОННЫЙ ПРЕОБРАЗОВАТЕЛЬ

Тщательная разработка С-схемы преобразователя преследовала цель получить "близкую к идеалу" схему, которая без всяких оговорок могла бы служить базой для сравнения с другими схемами, как по производительности, так и по аппаратным затратам. Только при таком подходе ее сравнение с ССС-схемой достаточно корректно.

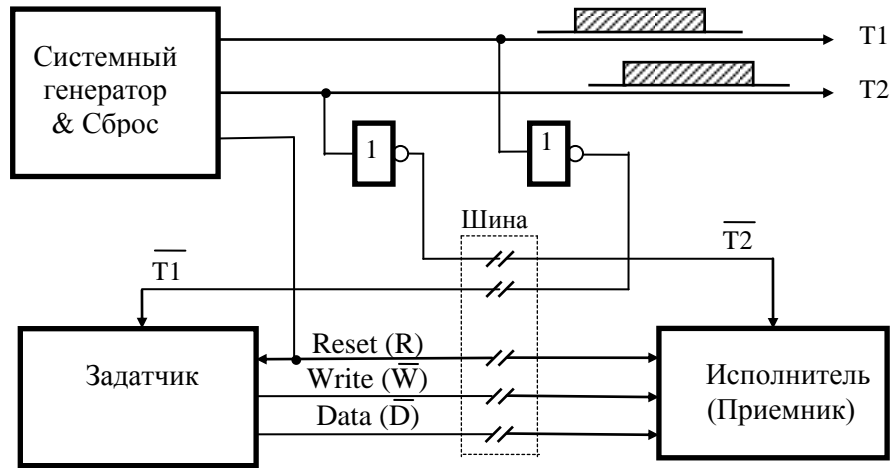
На *рис. 1* представлен С-преобразователь с двухтактной системой синхроимпульсов (Т1-Т2), на *рис. 2* - С-триггер.

Результаты моделирования одноктактных вариантов преобразователя (одно- и двухфронтовых) показали, что они менее производительны, чем двухтактный вариант, и, кроме того, не обеспечивают работоспособность во всем диапазоне условий эксплуатации. Предпочтение было отдано двухтактному варианту, по отношению к которому далее будет использоваться термин "идеализированный", поскольку:

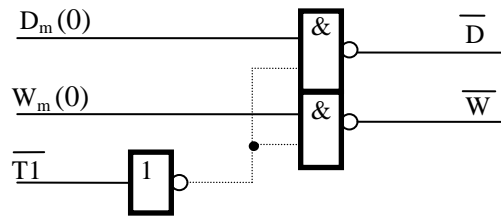
- произведена "подгонка" параметров системы синхронизации (синхроимпульсов и сдвига между ними) для достижения его максимальной производительности;

- исключены из рассмотрения драйверы доставки импульсов к местам назначения, как правило, снижающие производительность;

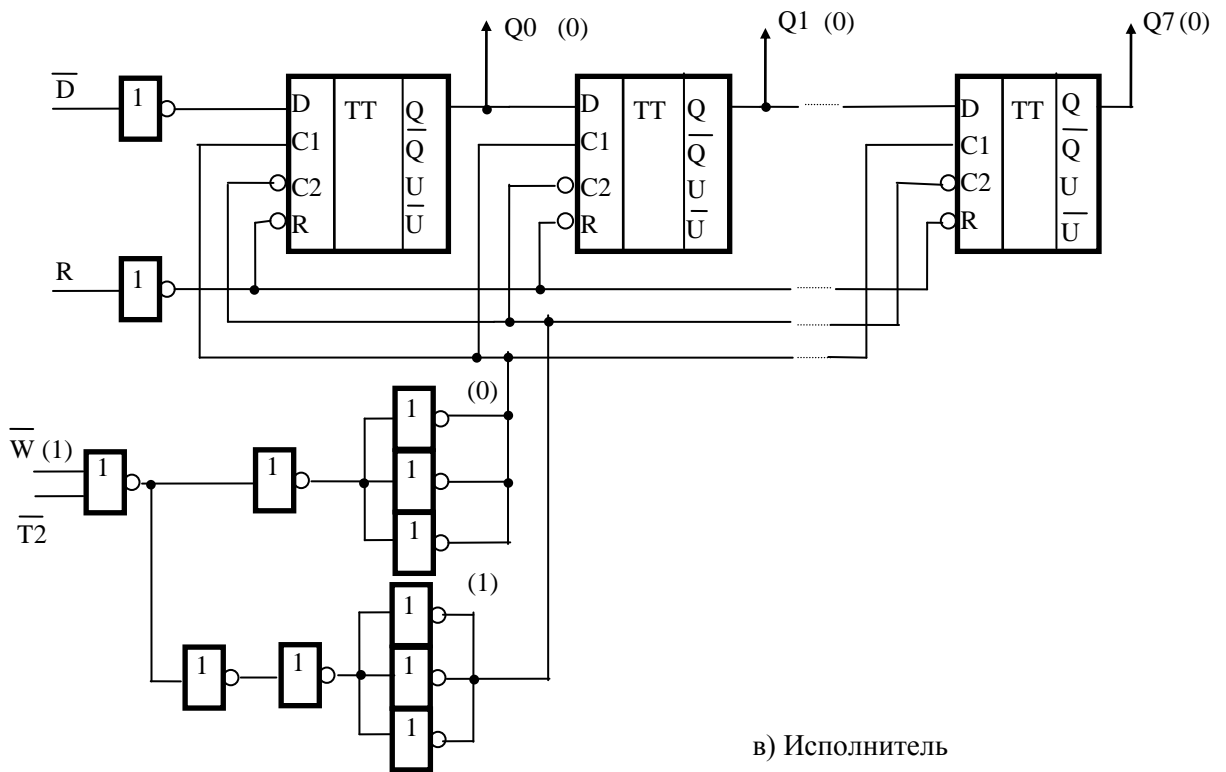
- использована триггерная ячейка с минимальными аппаратными затратами и максимальным быстродействием;



а) Схема взаимодействия в синхронной системе



б) Задатчик



в) Исполнитель

Рис. 1. Синхронный преобразователь (неизбыточный) S_SR8

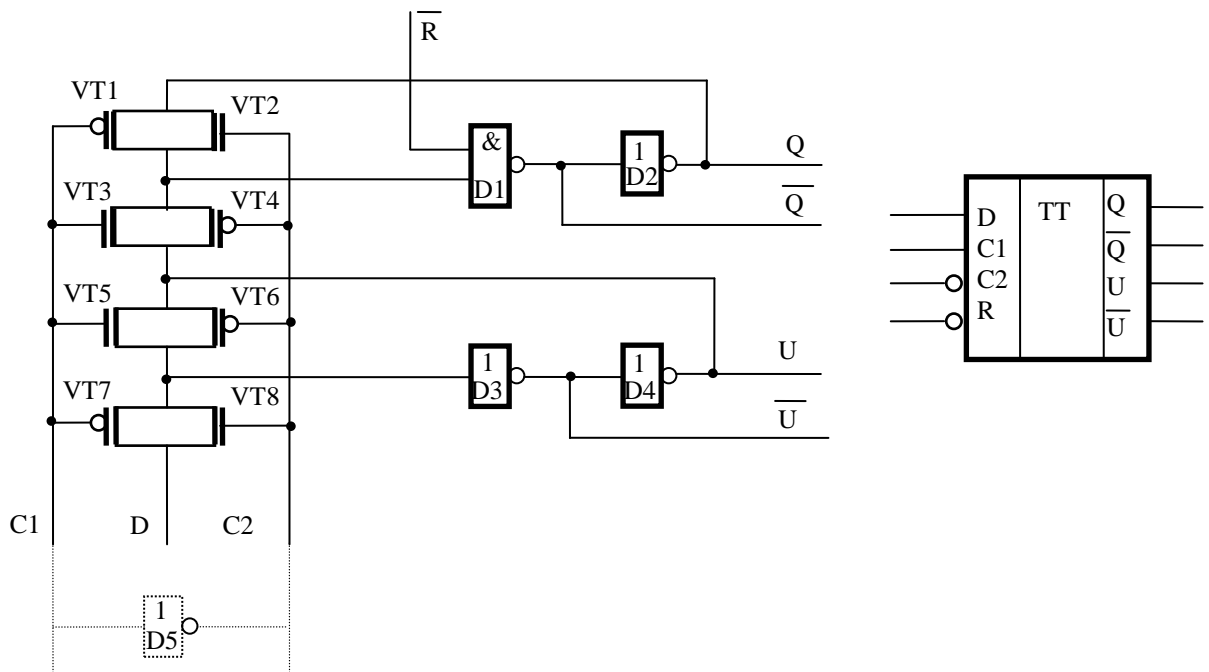


Рис. 2. Синхронный триггер со сбросом

- проигнорирован технологический разброс - неидентичность временного срабатывания однотипных элементов от разных поставщиков при одних и тех же условиях работы.

Триггерная ячейка базируется на использовании четырех двунаправленных ключей. Состояние управляющих входов $C1=0$ и $C2=1$ соответствует режиму хранения на выходах ячейки (Q, \bar{Q}) ранее записанной информации и установки на выходах первой ступени триггера (U, \bar{U}) состояния в соответствии с входом ($U=D$). При этом ключи ($VT1, VT2$ и $VT7, VT8$) открыты, а два другие - закрыты.

При $C1=1$ и $C2=0$ (режим записи) информация из первой ступени переписывается во вторую, а информационный вход D блокируется - состояния ключей противоположны описанным выше. В идеале для правильной работы триггера должно быть обеспечено условие: $C1$ не равно $C2$, а реально $C1$ может быть равно $C2$ не более 4 нс при нижних граничных условиях и 14 нс - при верхних. Это ограничивает величину задержки элемента $D5$ - инвертора между $C1$ и $C2$.

На *рис. 1* представлены упрощенные структуры Задатчика и Исполнителя, не учитывающие механизмы арбитража, захвата системной шины Задатчиком и адресации Задатчиком конкретного Исполнителя. Предполагается, что информационная связь между Задатчиком (источником последовательного кода) и Исполнителем (преобразователем) установлена, и в Задатчике всегда готов очередной бит информации для передачи.

Высокий уровень $T1$ разрешает Задатчику выдачу информации на подшину данных (Data) и управляющего сигнала записи (Write). Преобразователь использует сигнал Write для разрешения формирования сигналов $C1$ и $C2$ на основе $T2$. Все сигналы, которыми обмениваются устройства - системный генератор, Задатчик и преобразователь, рассматриваются как сигналы шины, по отношению к которым должно соблюдаться требование единичности нагрузки.

В *табл. 1* отражены аппаратные затраты всех вариантов преобразователей в МОП-транзисторах на 1 бит информации, в *табл. 2* - реальное время записи одного произвольного бита (наихудший случай) в преобразователь при нормальных условиях эксплуатации, в *табл. 3* - реальное время ввода последовательного кода (типовой случай) при нормальных условиях эксплуатации.

Целесообразность введения термина "реальное время" проистекает из способности ССС-схем функционировать по реальным задержкам входящих в них элементов и соединительных проводников.

Синхронные схемы разрабатываются в предположении ограниченности времени переходного процесса как снизу, так и сверху, а также с учетом условий эксплуатации, в которых должна быть обеспечена их работоспособность. В ССС-схемах длительность переходного процесса любого компонента не ограничивается ни снизу, ни сверху. Возможность определения факта завершения переходного процесса обеспечивается использованием ССС-кодов и фиксируется индикатором окончания переходных процессов.

Таблица 1. Аппаратные затраты для преобразователей кода на один бит информации

Устройство	Число МОП-транзисторов при разрядности устройства, бит		
	8	16	32
S_SRn	22	21	21
S_SRn-SC	61	60	59
S_SRn-FT-D	170	158	151
S ³ _SRn-F	48	48	48
S ³ _SRn-RC	46	45	45
S ³ _SRn-RG	48	47	47
S ³ _SRn-RCP-FT-D	111	108	107
S ³ _SRn-RCP-FT-OS	118	108	102

Таблица 2. Время записи одного бита информации в преобразователь кода (наихудший случай)
 $T = 27^{\circ} \text{C}$, $V_{CC} = 5 \text{ В}$, $N_d = 6$

Устройство	Время записи, нс, при разрядности устройства, бит		
	8	16	32
S_SRn	240	243	247
S_SRn-SC	408	412	417
S_SRn-FT-D	397	401	406
S ³ _SRn-F	382	406	445
S ³ _SRn-RC	191	193	193
S ³ _SRn-RG	170	172	172
S ³ _SRn-RCP-FT-D	191	236	251
S ³ _SRn-RCP-FT-OS	198	243	258

Таблица 3. Реальное время ввода последовательного кода в преобразователь (типовой случай)
 $T = 27^{\circ} \text{C}$, $V_{CC} = 5 \text{ В}$, $N_d = 6$

Устройство	Время ввода кода длиной n бит/одного бита, нс, при разрядности устройства n бит		
	8	16	32
S_SRn	1920/240	3928/243	7904/247
S_SRn-SC	3264/408	6592/412	13344/417
S_SRn-FT-D	3176/397	5728/401	10928/406
S ³ _SRn-F	2730/341	6152/385	13834/432
S ³ _SRn-RC	1310/164	2652/166	5312/166
S ³ _SRn-RG	1144/143	2320/145	4640/145
S ³ _SRn-RCP-FT-D	1310/164	3500/219	7935/248
S ³ _SRn-RCP-FT-OS	1366/170	3612/226	8159/255

На *рис. 3* в качестве примера представлены кривые зависимостей быстродействия двух вариантов исполнения преобразователя - синхронного (S_SR8) и самосинхронного (S³_SR8RG) - от внешних условий эксплуатации (температуры, питающего напряжения и числа устройств, подключенных к шине). Применительно к S_SR8 каждая точка на кривых обозначает максимальное быстродействие, которое можно получить от схемы, спроектированной только для этих условий эксплуатации. Из кривых следует, что быстродействие С-преобразователя для каждой конкретной совокупности условий эксплуатации выше, чем ССС-варианта. Однако, поскольку С-реализация обязана ориентироваться на самый худший случай условий эксплуатации ($T = +125^{\circ}\text{C}$, $V_{CC} = 3\text{ В}$, $N_d = 15$), то ее реальное быстродействие практически не будет изменяться при изменении условий. Поэтому при определенной совокупности условий эксплуатации она начинает уступать реальному быстродействию ССС-реализаций.

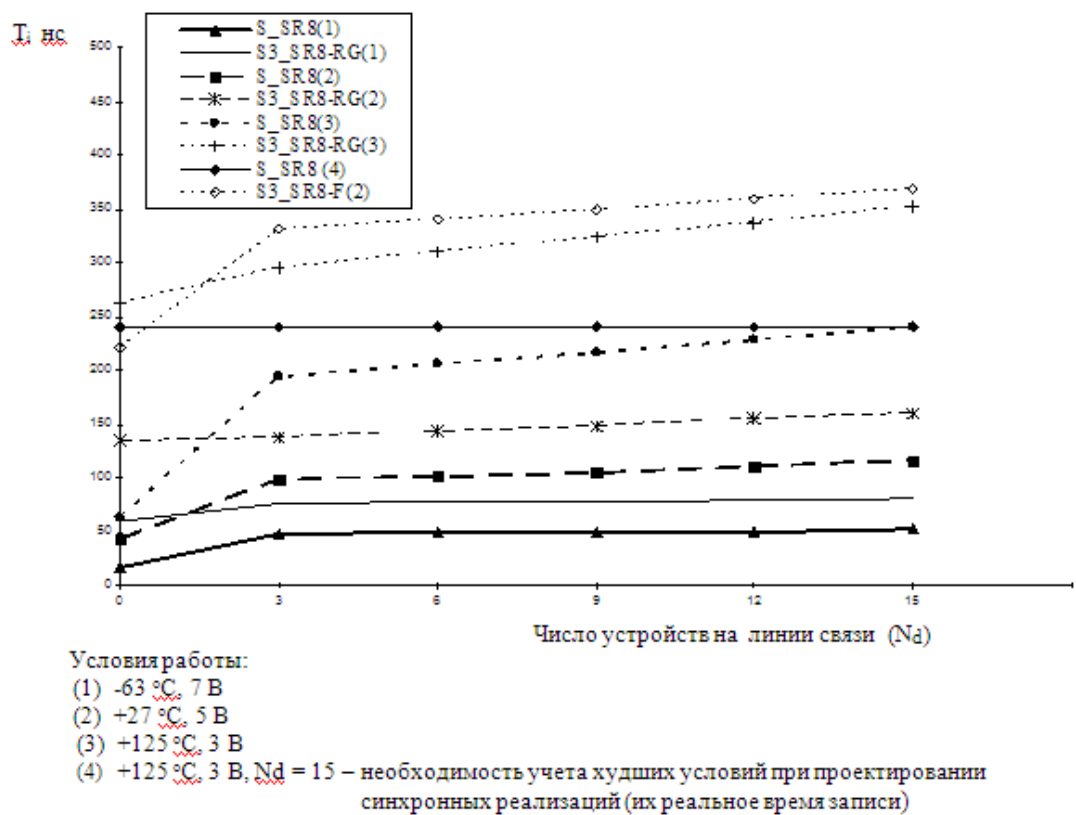


Рис. 3. Время записи в преобразователь одного бита

Реальное быстродействие ССС-схем может варьироваться в широких пределах. Например, быстродействие (длительность цикла обмена) ССС-схемы (S^3_SR8-RG) изменяется от 59 нс ($T = -63^\circ \text{C}$, $V_{CC} = 7 \text{ В}$, $N_d = 0$) до 352 нс ($T = +125^\circ \text{C}$, $V_{CC} = 3 \text{ В}$, $N_d = 15$); первое значение в четыре раза лучше, а второе - в полтора раза хуже, чем для базовой несамопроверяющейся "идеализированной" С-схемы. Сравнительные оценки функционально идентичных вариантов этих схем (самопроверяющихся) будут приведены ниже.

В дальнейшем, если это не оговаривается особо, будут приводиться данные реального быстродействия вариантов ТФУ при нормальных условиях эксплуатации и в предположении шести подключенных к шине устройств ($T = +27^\circ \text{C}$, $V_{CC} = 5 \text{ В}$, $N_d = 6$).

2. САМОСИНХРОННЫЕ ПРЕОБРАЗОВАТЕЛИ

В процессе разработки ССС-преобразователя с последовательным приемом информации от источника и ее параллельной выдачей необходимо пройти следующие этапы:

- 1) выбрать триггерную ячейку;
- 2) выбрать дисциплину его взаимодействия с источником последовательного кода;
- 3) выбрать дисциплину его взаимодействия с приемником параллельного кода;
- 4) выбрать способ построения индикатора;
- 5) выбрать вариант сброса отдельного триггера и преобразователя в целом.

При выборе триггерной ячейки можно было бы взять ее С-схему и дополнить управляющим сигналом, обеспечивающим индикацию момента окончания в ней переходного процесса. В данном случае двухтактный С-триггер (рис. 2) построен с использованием двунаправленных ключей, и правильность его работы обеспечивается ограничением на время срабатывания инвертора D5.

В рамках концепции строгой самосинхронизации такой подход неприемлем. В соответствии с ССС-подходом, задержка любого элемента может быть произвольной, но обязательно конечной величиной. Именно в этом разница между ССС-схемами и их подклассом - квазисамосинхронными схемами. При квазисамосинхронном подходе предполагается, что задержки отдельных элементов не должны превышать определенных значений (например, задержки распространения сигналов в альтернативных путях). Для этого применяется ряд специальных топологических и технологических приемов. В частности, ряд элементов библиотеки базовых блоков, используемых в процессоре ARM [2], базируется именно на этом предположении. Отказ от положений квазисамосинхронизации позволяет реализовать возможности ССС-схем в полном объеме, в том числе их устойчивость к параметрическим отказам. Естественно, что и цена реализации ССС-схем выше, чем аналогичных квазисамосинхронных схем. В данном случае синхронный триггер (рис. 2) реализуется на 18, а самосинхронный (ТТ2, рис. 4) - на 24 транзисторах.

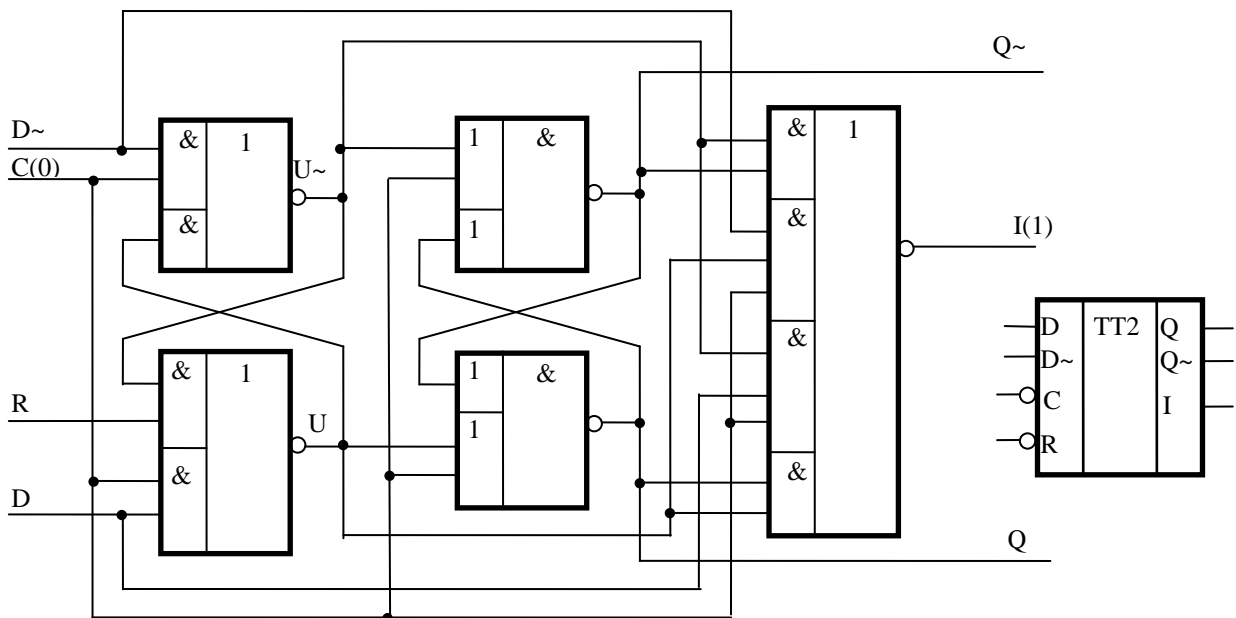


Рис. 4. Самосинхронный двухтактный управляемый триггер со сбросом ТТ2

Схема ТТ2, предложенная в [3], дополнена сигналом сброса R.

Триггер хранит бит информации полный следующий цикл: спейсер и новую рабочую фазу. В рабочей фазе ($C=1$) информация записывается в первую бистабильную ячейку, в спейсере ($C=0$) - переписывается из первой бистабильной ячейки во вторую. Сигналы D и \bar{D} должны изменяться только при $C=0$. Индикаторный сигнал I, общий для обеих ячеек, сигнализирует об окончании переходных процессов текущей фазы для триггера в целом.

2.1. Формальный ССС-преобразователь

Преобразователь S^3_SR8-F (см. рис. 5) - пример формального подхода к проектированию ССС-схем. Взаимодействие ССС-преобразователя с Задатчиком осуществляется по принципу "запрос - ответ", что требует формирования ответного сигнала (SSYN).

Поэтому, если подходить формально, время ССС-обмена (T_{E-SSS}) между Задатчиком и преобразователем определяется соотношением:

$$T_{E-SSS} = 2t_D + 2t_{SSYN} + t_{O-SSS} + t_I = 4t_{BUS} + t_{O-SSS} + t_I, \quad (1)$$

где t_D и t_{SSYN} - задержки распространения установки/сброса по шине (в том числе на одном приемнике и передатчике шины) одnorазрядных данных и сигнала SSYN соответственно; t_{O-SSS} - время приема и запоминания бита в ССС-регистре; t_I - время формирования сигнала окончания переходных процессов в регистре.

Соответственно, время синхронного (T_{E-S}) обмена между Задатчиком и S_SR8 :

$$T_{E-S} = t_{T1} + t_W + t_{O-S} = 2t_{BUS} + t_{O-S}, \quad (2)$$

где t_{T1} и t_W - задержка распространения по шине сигнала T1 от генератора к Задатчику и сигнала "Запись" от Задатчика к преобразователю (в том числе в приемнике и передатчике шины) соответственно; t_{O-S} - время приема и запоминания бита в С-регистре.

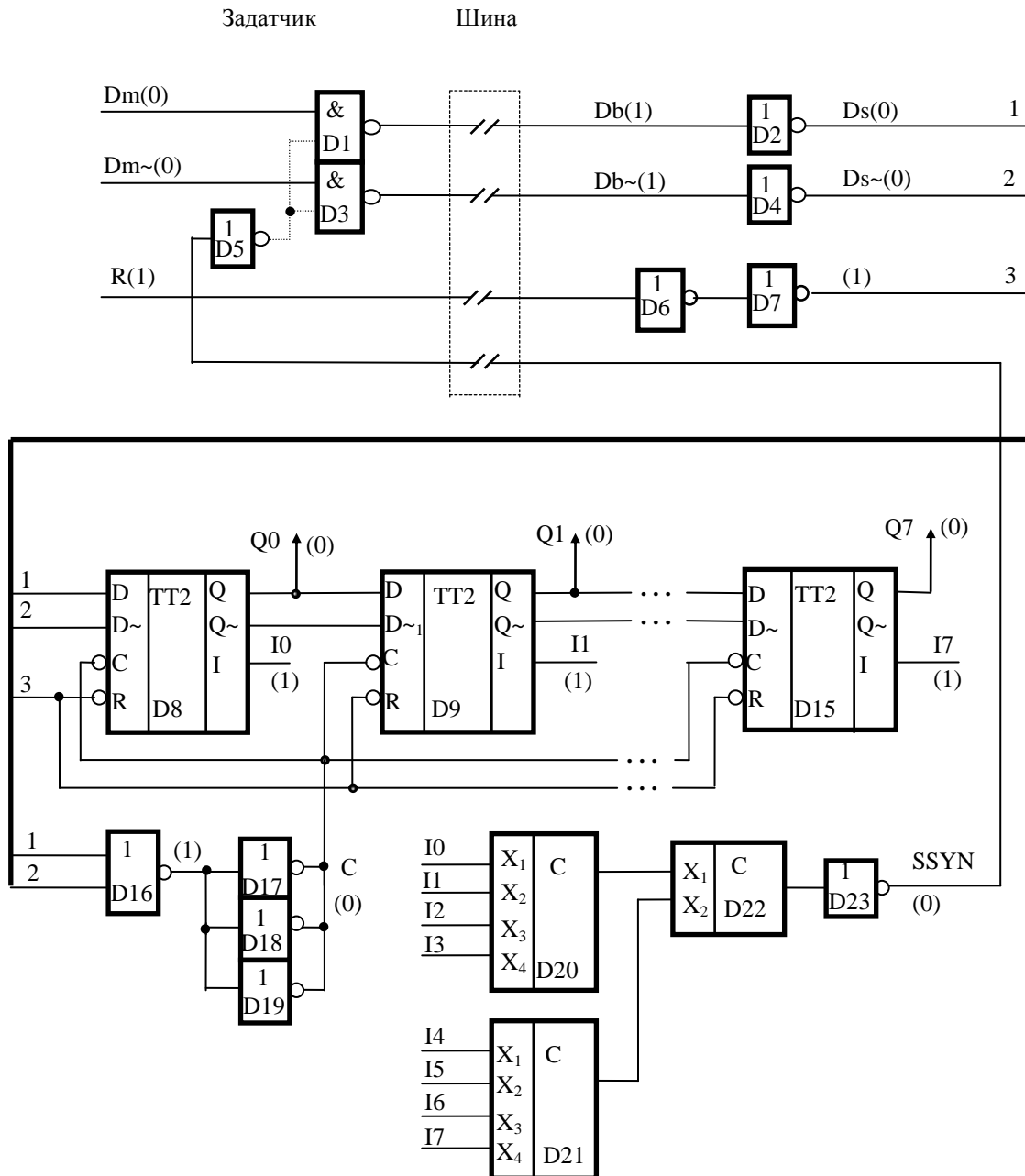


Рис. 5. Строго самосинхронный преобразователь S^3_SR8-F

Формулы (1) и (2) показывают, что при прочих равных условиях быстродействие С-обмена будет выше, чем быстродействие формального ССС-обмена (хотя t_{0-S} , как правило, больше t_{0-SSS}).

Формула (1) справедлива для преобразователя S^3_SR8-F (рис. 5); сигнальный граф его работы представлен на рис. 6.

Преобразователь работает следующим образом. В исходном состоянии - после начальной установки (см. значения сигналов в круглых скобках на рис. 5) все разряды сброшены ($Q_i = 0$), и

преобразователь разрешает передачу информации ($SSYN = 0$) Задатчику, который удерживает свои информационные выходы в спейсере ($D_m = D_{m\sim} = 0$). Получив $SSYN$, Задатчик инициирует процесс передачи информации переводом своих выходов ($D_m, D_{m\sim}$) в рабочую фазу (код 01 или 10), что вызывает в регистре формирование сигнала записи информации (+C) в первую ступень двухтактных триггеров ТТ2 ($U_i = Q_{i-1}$). После окончания переходных процессов в преобразователе формируется $+SSYN$, информируя Задатчик, что переданный им бит информации принят. В ответ Задатчик переходит в фазу гашения ($D_m = D_{m\sim} = 0$), что вызывает в преобразователе возврат сигнала C в исходное состояние - перезапись информации из первой ступени триггеров во вторую ($Q_i = U_i$). Окончание переходных процессов индицируется сигналом $-SSYN$, обозначающим момент готовности к использованию параллельного кода на выходе преобразователя.

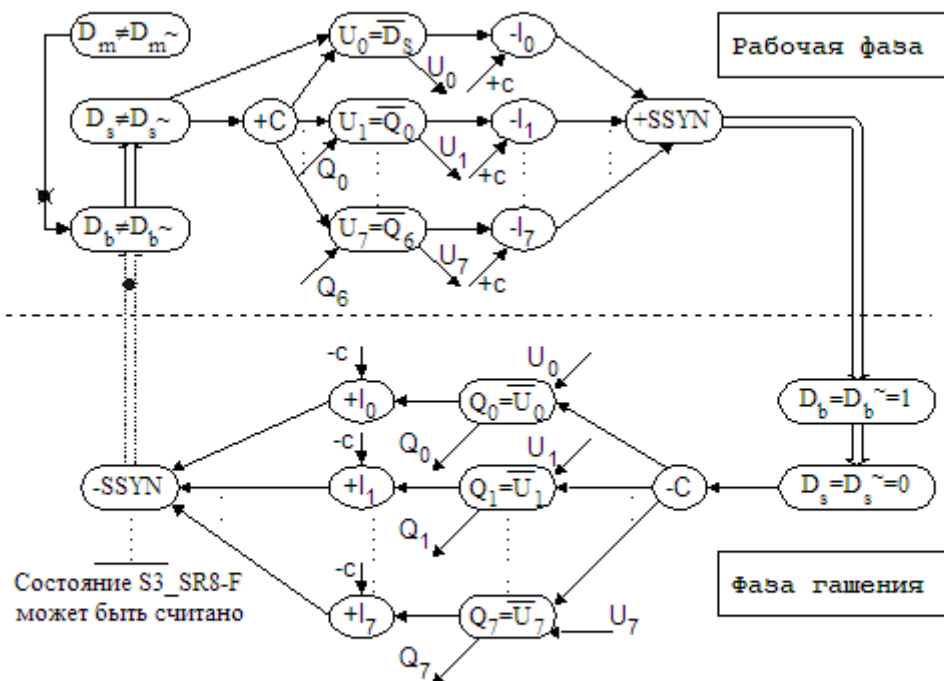


Рис. 6. Сигнальный граф работы S3_SR8-F (формальный подход)

Сигнальный граф на *рис. 6* подтверждает формулу (2) и наглядно иллюстрирует, что такая организация преобразователя базируется на строгой последовательности всех процессов. Параллелизм имеет место только в рамках n разрядов параллельного регистра. Особенно следует выделить в акте обмена сигналы шины, обозначенные на графе двойными линиями - четыре последовательных участка: распространение по шине установки ($D_b \neq D_b \sim$) и сброса ($D_b = D_b \sim$) одноразрядного парафазного кода данных, установки (+SSYN) и сброса (-SSYN) ответного сигнала.

При С-способе обмена, вместо ответного сигнала, параллельно с инициацией по шине обмена используется выдержка во времени - длительность тактовых сигналов T_1 и T_2 , по истечении которых происходят параллельные процессы: окончание записи информации в преобразователе и возвращение в исходное состояние сигналов - инициаторов обмена.

Если не учитывать этого обстоятельства, то при прочих равных условиях быстродействие С-преобразователей будет выше, чем само-синхронных. Даже работа по реальным задержкам может не компенсировать потерю в быстродействии ССС-преобразователя по сравнению с синхронным, вынужденно ориентированным на максимальные задержки элементов. Из *рис. 3* видно, что быстродействие преобразователя S_SR8 на 25 % лучше S^3_SR8-F ($T = +27^\circ C$, $V_{CC} = 5 V$, $N_d = 6$).

В данном случае сравниваются две неравноценные схемы: идеальная С-схема, не имеющая контроля, и самопроверяющаяся ССС-схема. И, тем не менее, даже при таких условиях сравнения правильный учет особенностей применения ССС-схем может дать выигрыш в быстродействии по сравнению с С-аналогами. Этот вывод подтверждается результатами следующего раздела.

2.2. Реальный ССС-преобразователь S^3_SR8-R

Особенность этого преобразователя - в частичном совмещении процесса обмена сигналами по шине с формированием сигнала окончания переходного процесса. Идея совмещения состоит в том, чтобы ответный сигнал от преобразователя устанавливать (сбрасывать) по окончании в нем не всех переходных процессов, а только тех, которые сопровождают процесс передачи информации от Задатчика к Исполнителю. Это означает, что достаточно зафиксировать факт окончания переходных процессов во входном триггере преобразователя (например, при записи - после окончания записи в первую ступень).

Можно утверждать, что своеобразный характер ССС-обмена между взаимодействующими устройствами, допускающий временное распараллеливание процессов, требует и своеобразного подхода к проектированию аппаратуры: *введения элементов конвейера*. В цикле обмена могут быть выделены внешний и внутренний подциклы с ССС-характером взаимодействия в пределах каждого подцикла и между ними. Тогда во внешнем подцикле работает вся передающая аппаратура Задатчика и часть аппаратуры Приемника, окончание переходных процессов в которой является необходимым и достаточным условием надежного обмена, а во внутреннем подцикле - остальная аппаратура Приемника. Каждая очередная инициализация внешнего цикла в Приемнике будет происходить по завершению предыдущего внутреннего цикла. Использование такого подхода увеличивает скорость ССС-обмена между взаимодействующими устройствами.

Для повышения быстродействия входного триггера следует учесть особенность его входного сигнала - парафазного со спейсером и ССС-способом перезаписи информации из Задатчика в преобразователь. Поэтому реализация входного разряда отличается от других разрядов: он выполняется в виде однотоктного входного триггера (вторая ступень – элементы D8, D9) в предположении, что

его первая ступень находится в Задатчике (см. рис. 7). При этом сокращается длительность внутреннего цикла преобразователя.

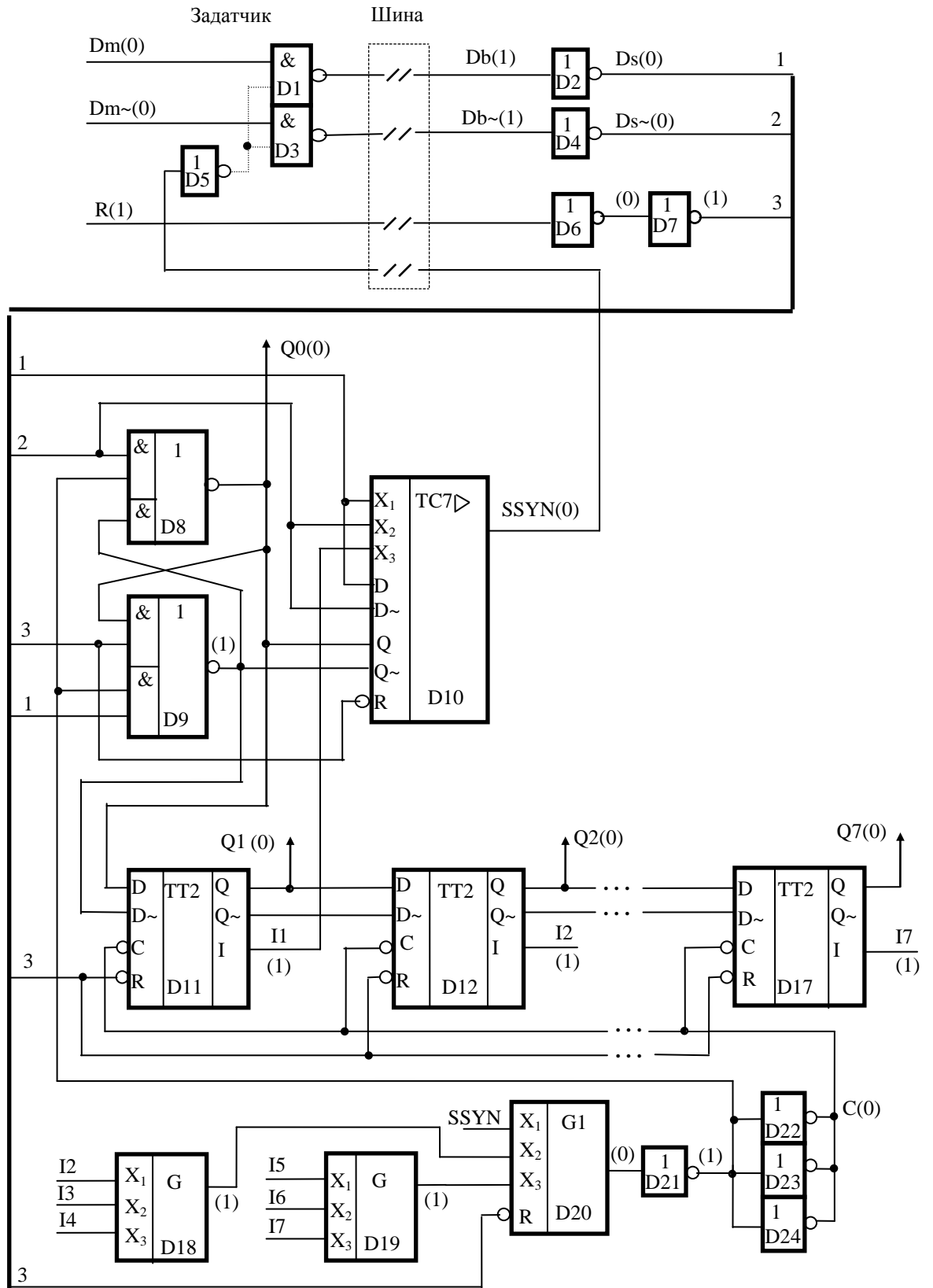


Рис. 7. Строго самосинхронный преобразователь S^3_SR8-RG

Регистр работает следующим образом. Задатчик инициирует процесс передачи информации переводом выходов ($D_m, D_{m\sim}$) в рабочую фазу (код 01 или 10), что разрешает запись информации во входной триггер ($Q_0=D_s$), если предыдущий внутренний цикл завершен ($D_{21}=1$). Выполнение этих двух условий необходимо и достаточно для окончания акта обмена - формирования ответа Задатчику (+SSYN).

С этого момента, идут два параллельных процесса (см. рис. 8):

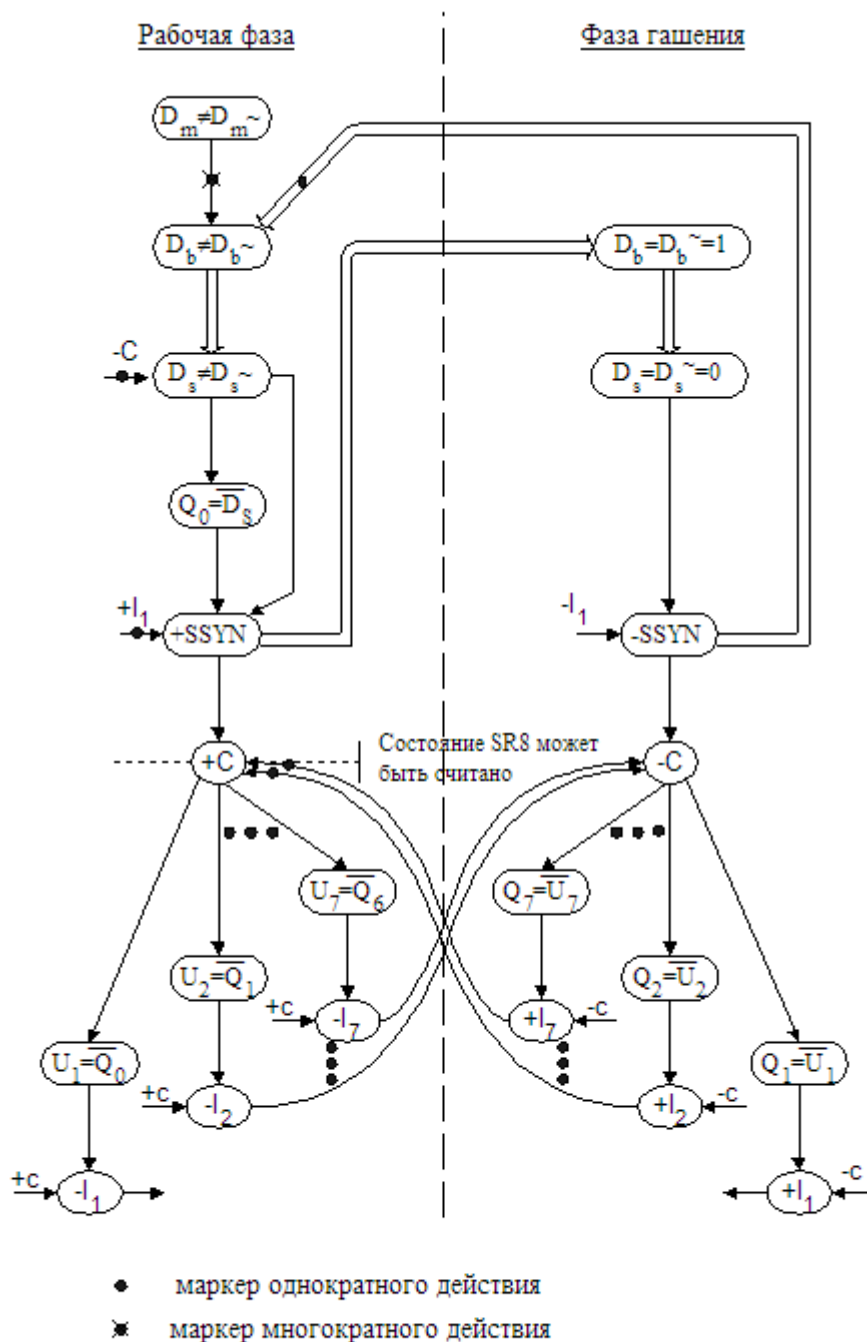


Рис. 8. Сигнальный граф работы S^3_SR8-RG

1) выдача сигнала +SSYN Задатчику, инициация Задатчиком фазы гашения ($D_b=D_b\sim=1$) и обнаружение этого факта Исполнителем ($D_s=D_s\sim=0$);

2) перезапись информации из Q_i в U_{i+1} , обнаружение факта завершения всех переходных процессов в рабочей фазе - установка сигналов $-I_i$.

Формула вычисления периода T_{E-SSS} для S^3_SR8-R :

$$T_{E-SSS} = \max(4t_{BUS}, t_I) + t_O \quad (3)$$

С учетом сказанного, период взаимодействия T_{E-SSS} будет теперь определяться не суммой величин $4t_{BUS}$ и t_I , а только одной из них, имеющей большее значение.

Факторы, улучшающие быстродействие схемы S^3_SR8-R :

- потеря времени на формирование сигнала об окончании переходных процессов полностью скомпенсирована временем обмена по шине (за счет совмещения этих процессов);

- работа S^3_SR8-R по реальным задержкам (при нормальных условиях эксплуатации) дает выигрыш по времени больший, чем потери времени на обмен сигналами по шине, по сравнению с С-преобразователем.

Можно отметить еще один аспект термина "реальное быстродействие" для ССС-схем. Длительность окончания переходных процессов в них определяется не только реальными задержками элементов, но и видом поступившей к ним информации. Например, длительность переходных процессов в ССС-преобразователе будет почти в два раза меньше при поступлении нулевых символов или нулевых битов в символе сразу же после его сброса сигналом Reset: приход очередного нулевого бита на вход сброшенного разряда не вызывает изменения его состояния, и длительность переходного процесса при этом будет определяться только временем переключения индикаторных элементов. Но это событие достаточно редкое.

Другой пример более вероятного события. Если в преобразователь поступает бит, равный предыдущему, и входной разряд преобразователя не изменяет своего состояния, это уменьшает длительность переходного процесса. Исходя из высокой вероятности поступления таких комбинаций сигналов, были выбраны соответствующие тестовые воздействия: 00-11- 00..

Знание статистических свойств потоков данных, поступающих, например, на входы операционных устройств, может быть средством повышения производительности ССС-схем (возможность адаптации ССС-схем к поступающей информации, чего нет в С-схемах).

Еще один прием повышения быстродействия ССС-преобразователей связан с использованием механизма предвыборки, что можно считать следствием принятия конвейерной структуры. Во время сброса преобразователи переходят в требуемое исходное состояние и блокируют запись новой информации. После окончания действия сигнала сброса в преобразователях начинается процесс предвыборки - опережающей перезаписи информации из U_i в Q_i . После завершения этого процесса устройство деблокируется и готово к приему новой информации. Как правило, после сигнала сброса, сопровождающего подачу питания на систему, обращение Задатчика к преобразователю будет иметь место гораздо позже, чем завершится процесс предвыборки в преобразователе. Поэтому к моменту первого и каждого очередного обмена по шине параллельный код на $Q1 - Q7$, как правило, уже установлен.

Используются и другие приемы: введение ТС-элемента (D10), функции которого - индикация завершения переходного процесса во входном триггере и объединение его с сигналом П1 (обычно для этого используют отдельный элемент Маллера), а также реализация общего индикатора (элементы D18-D20) на Г-триггерах (S^3_SR8-RG) [3], а не на элементах Маллера (S^3_SR8-RC) [4]. Функционирование ТС-элемента описывается уравнением:

$$\overline{SSYN}^+ = (DQ + D\sim Q\sim)X3 + \overline{SSYN}[(X1 + X2 + X3)R + X3],$$

а индикаторных элементов:

$$I^+ = X1X2X3 + I(X1 + X2 + X3)R,$$

при разной схмотехнической реализации последних. Символ "+" в названиях сигналов указывает на их будущие значения.

В итоге быстродействие самопроверяющегося преобразователя S^3_SR8-RG выше быстродействия несамопроверяющегося С-преобразователя: реальное время записи одного произвольного бита (наихудший случай) - 170 и 240 нс соответственно. Разница реальных типовых (среднестатистических) времен еще выше: 143 и 240 нс соответственно.

Результативность рекомендуемого подхода для проектирования и корректного анализа преобразователя (S^3_SR8-RG) в сравнении с формальным подходом (S^3_SR8-F) очевидна: при одинаковых аппаратных затратах их быстродействие разнится в 2,7 раза (143 и 382 нс). Таким образом, если правильный учет особенностей проектирования самопроверяющейся регистровой ССС-схемы (S^3_SR8-RG) обеспечивает выигрыш в быстродействии по сравнению с несамопроверяющейся схемой (S_SR8) в 1,7 раза, то использование формального подхода (S^3_SR8-F) приводит к противоположному результату - проигрышу в быстродействии в 1,6 раза.

Следует отметить, что недостатки, присущие формальному методу, проявляются и при увеличении разрядности преобразователя. Реализация общего пирамидального индикатора на С-элементах Маллера, описанных выше, сильно замедляет работу 16- и 32-разрядных вариантов преобразователей (S^3_SR16-F и S^3_SR32-F). Быстродействие конвейерных преобразователей на базе реального подхода ($S^3_SR16-RG$ и $S^3_SR32-RG$) практически не уменьшается - реальное типовое время записи одного бита информации увеличивается на 2 нс

(145 нс вместо 143 нс). А разница в быстродействии 32- разрядных преобразователей на базе формального и реального подходов составляет 3,1 раза в пользу реального подхода.

3. ОЦЕНКА ПОТРЕБЛЯЕМОЙ МОЩНОСТИ

Заключение о преимуществах и недостатках ССС-реализации преобразователя было бы неполным без оценки энергии (мощности) потребления альтернативных схем. С ростом степени интеграции ИС цена отдельного транзистора постоянно снижается, в то время как энергопотребление выдвигается в число наиболее приоритетных характеристик. Если раньше определяющей характеристикой микропроцессора было его быстродействие (рабочая частота в МГц), то теперь все чаще в таком качестве выступает энергетическая эффективность этого быстродействия, т.е. величина потребляемой энергии, отнесенная к быстродействию (мкВт/МГц) [5]. Говоря о цене увеличения быстродействия микропроцессоров, нельзя забывать также об увеличении стоимости подсистемы охлаждения при переходе на более высокие рабочие частоты.

Упрощенный подход к сравнительной оценке энергопотребления альтернативных схемотехник может привести не только к необоснованным утверждениям, но и к диаметрально противоположным выводам. Например, ошибочно считать, что удвоение числа транзисторов в ССС-преобразователях по сравнению с С-реализациями при прочих равных условиях ведет к удвоению их энергопотребления.

Для того чтобы сравнение было корректным и отражало действительные значения потребляемой энергии, необходимо соблюдение двух условий.

Во-первых, сравнение схемотехнических решений должно производиться на базе системного подхода. Сравнимые решения не должны рассматриваться изолированно от системы, частью которой они являются. При этом ресурсы системы, необходимые для

организации функционирования этой части, должны быть в соответствующей пропорции отнесены на ее счет. Например, обязательно должны быть учтены ресурсы подсистемы синхронизации: для С-реализаций это наиболее энергопотребляющая подсистема, а в ССС-реализациях она отсутствует по определению.

Во-вторых, обязательно должна учитываться частота использования рассматриваемого функционального устройства в рамках системы - так называемый коэффициент активности (K_A).

Кроме того, при сравнении ТФУ должны учитываться статистические свойства обрабатываемой информации. Например, если в разряд ССС-регистра инициируется запись уже хранящегося там бита информации, то переключения оборудования и увеличения мощности потребления не происходит.

Показатели потребляемой мощности имеют смысл лишь при одинаковом быстродействии схем обоих базисов реализации. Если период сигнала синхронизации С-варианта и суммарное время двух фаз (спейсера и рабочей) ССС-варианта совпадают, то оценка мощностей потребления адекватна оценке энергий потребления схем.

Энергия, расходуемая на переключение КМОП элемента, складывается из энергии, накапливаемой в паразитных и нагрузочных емкостях полупроводниковых структур, и энергии, рассеиваемой при прохождении тока через сопротивления открытых каналов транзисторов и паразитных структур. Энергия емкости:

$$E_C = V_{CC}^2 C, \quad (4)$$

где V_{CC} - напряжение питания, C - суммарная перезаряжаемая емкость в процессе переключения. Энергией рассеивания для КМОП-транзисторов можно пренебречь [6, 7].

Детальное рассмотрение особенностей переключения КМОП-элементов позволяет уточнить формулу (4) с целью получения более достоверных результатов сравнения С- и ССС-вариантов:

$$E = (C_H + C_{\text{ВЫХ}} + k_{\text{ВХ}} C_{\text{ВХ}}) V_{\text{CC}}^2 + k_P C_P (V_{\text{CC}} - V_{p \text{ пор}})^2 + k_N C_N (V_{\text{CC}} - V_{n \text{ пор}})^2, \quad (5)$$

где C_H - емкость нагрузки; $C_{\text{ВЫХ}}$ - выходная емкость; $C_{\text{ВХ}}$ - входная емкость; C_P , C_N - внутренняя емкость P- и N-частей схемы соответственно; $V_{p \text{ пор}}$, $V_{n \text{ пор}}$ - абсолютные значения пороговых напряжений транзисторов p- и n-типов проводимости соответственно; $k_{\text{ВХ}}$, k_P , k_N - коэффициенты (не более единицы), определяющие, какие части суммарной входной и общих внутренних диффузионных емкостей переключаются при данной комбинации входных сигналов.

В наихудшем случае $k_{\text{ВХ}} = k_P = k_N = 1,0$. В среднестатистическом случае не все входные сигналы элемента изменяют состояние элемента и не все диффузионные области стоков/истоков транзисторов имеют электрическую связь с выходом элемента. Причем значение коэффициентов k_P и k_N в большой степени зависит от транзисторной структуры схемы элемента: чем больше обособленных (не связанных друг с другом электрически, кроме точек выхода элемента и шин - питания или общей) цепочек последовательно соединенных транзисторов присутствует в P(N)-части схемы, тем меньшее значение будет иметь коэффициент k_P (k_N) в среднестатистическом случае. Коэффициент $k_{\text{ВХ}}$ также зависит от конкретного использования элемента в составе устройства и закономерностей формирования управляющих и информационных сигналов. Определение значений коэффициентов $k_{\text{ВХ}}$, k_P и k_N для получения более точных оценок потребляемой энергии требует индивидуального подхода к каждому элементу схемы.

Обязательным устройством в составе С-преобразователя является тактовый генератор (ТГ). Традиционно ТГ выполняет роль синхронизатора переключений всех устройств в синхронной системе, и его энергопотребление распределяется между всеми ее устройствами.

Рассмотрим пример: ТГ служит источником тактовых сигналов для 12 цифровых устройств, помимо преобразователя; из них 5 устройств тактируются непосредственно частотой ТГ, а остальные (в том числе

и преобразователь) - производной частотой системной шины, получаемой из выходной частоты ТГ с помощью делителя.

Для обеспечения нормальной работы преобразователей всех видов и для приведения к единой базе сравнения выберем частоту переключений на системной шине равной 2,5 МГц. Пусть исходная частота ТГ, обеспечивающая работу быстродействующей центральной части системы, равна 20 МГц. Тогда для получения частоты системной шины нужен делитель на 8. Оценим вклад ТГ в энергопотребление преобразователя кодов.

Мощность потребления ТГ определяется следующими параметрами: частотой синхронизации, номиналами пассивных компонентов, типом и мощностью потребления логических элементов в составе ТГ.

Реализация ТГ приведена на *рис. 9*. Он построен на достаточно мощных логических элементах *ИЛИ-НЕ*. К выходу ТГ подключено до 5 цифровых устройств, тактируемых частотой 20 МГц, и два мощных буферных элемента (источники сигналов Т1 и Т2), работающих на системную шину, к которой подсоединены еще 8 устройств вместе с преобразователем.

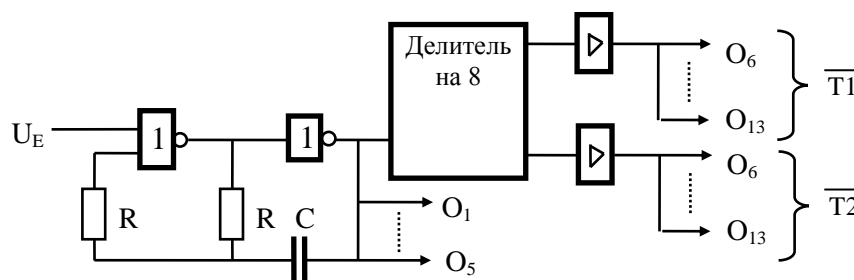


Рис. 9. Схема тактового генератора

Номиналы резисторов R и емкости C подбираются таким образом, чтобы добиться требуемой частоты ТГ и стабильности генерации. Пусть $C+C_H=100$ пФ, где C_H - дополнительная нагрузочная емкость входов/выходов элементов самого ТГ и подключенных к нему устройств; $R \approx 360$ Ом, входная емкость микросхем - 6 пФ, а

выходная - 12 пФ. Тогда мощность потребления ТГ составит около 60 мВт, из них примерно 10 мВт приходится на долю системной шины. С учетом мощности потребления делителя частоты и буферных элементов, работающих на системную шину, добавку ТГ к мощности потребления С-преобразователя можно оценить в 1,5 мВт.

Суммарные значения мощностей потребления С- и ССС-вариантов преобразователя с учетом ТГ, буферных элементов и K_A для частоты переключения 2,5 МГц приведены в *табл. 4*.

Таблица 4. Мощность потребления преобразователей

Устройство	Мощность потребления, мВт, при разрядности устройства <i>n бит</i>		
	8	16	32
S_SRn	2,0+1,69 K_A	2,0+2,98 K_A	2,0+5,58 K_A
S_SRn-SC	2,02+3,31 K_A	2,02+6,17 K_A	2,02+11,91 K_A
S_SRn-FT-D	2,53+6,85 K_A	2,53+12,82 K_A	2,53+24,77 K_A
S ³ _SRn-F*	2,84	5,09	9,60
S ³ _SRn-RC	2,24 K_A	3,92 K_A	7,36 K_A
S ³ _SRn-RG	2,31 K_A	4,05 K_A	7,60 K_A
S ³ _SRn-RCP-FT-D	4,93 K_A	8,74 K_A	16,54 K_A
S ³ _SRn-RCP-FT-OS	4,33 K_A	7,50 K_A	13,83 K_A

* - наихудший случай, без учета статистических свойств поступающей информации

Сравнительный анализ диаграмм на *рис. 10* показывает, что ССС-реализации преобразователя имеют меньшую мощность потребления, чем функционально аналогичные С-варианты. Более того, лишь при коэффициенте активности $K_A = 1,0$ простейший С-вариант без свойств самопроверяемости (S_SR32) сравнивается по мощности потребления с самопроверяющимся ССС-вариантом (S³_SR32-RG). А при тех же граничных условиях мощность потребления ССС-вариантов – самопроверяющихся и отказоустойчивых - почти два раза меньше, чем для аналогичных синхронных.

Картина существенно меняется при уменьшении K_A . Применение преобразователя в составе контроллера принтерного порта предопределяет его редкое использование в активном режиме: K_A

близок к 0. Например, при $K_A = 0,1$ преимущество (меньшее потребление мощности) ССС-вариантов перед С-вариантами преобразователей следующее:

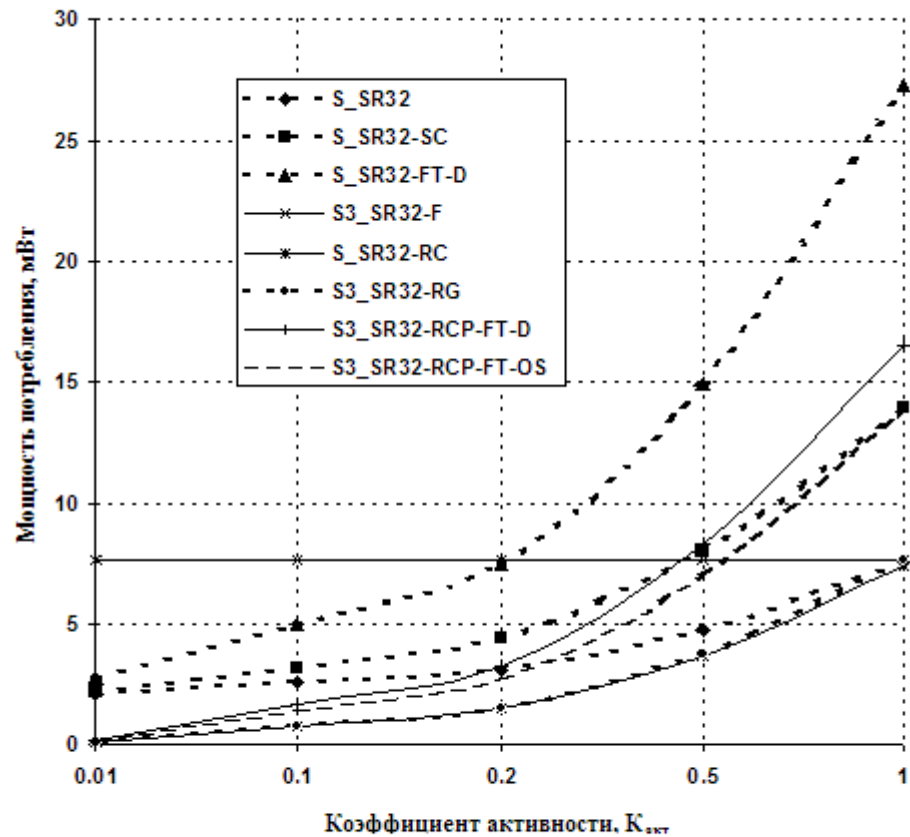


Рис. 10. Влияние активности 32-разрядного преобразователя на мощность потребления для типового случая

- в 3-9 раз при сравнении S^3_SRn-RG с простейшим С-вариантом S_SRn - в зависимости от разрядности (n) устройства;
- в 2-10 раз при сравнении S^3_SRn-RG с функционально идентичным самопроверяющимся С-вариантом S_SRn-SC ;
- в 2-8 раз при сравнении $S^3_SRn-RCP-OS$ с функционально идентичным отказоустойчивым С-вариантом $S_SRn-FT-D$.

Такой выигрыш ССС-реализаций объясняется отсутствием в них элементов подсистемы синхронизации (постоянно переключающихся ТГ, цепей синхронизации и буферных элементов преобразователя,

тактируемых синхросигналами). Большая мощность потребления С-реализаций - своеобразная цена за относительную простоту проектирования и меньшие аппаратные затраты в классе самопроверяющихся схем.

При формальном (необъективном) подходе к сопоставительному анализу потребляемой мощности С- и ССС-реализаций преобразователя результаты получаются диаметрально противоположными. Например, потребляемая мощность ССС-преобразователя S^3_SRn-F (без вычета мощности подсистемы синхронизации, приходящейся на преобразователь, и без учета коэффициента его активности - $K_A = 1,0$), вместо существенного выигрыша, имеющегося при объективном подходе, выше, чем у С-преобразователя S_SRn .

Сегодня разработчики СБИС ищут пути снижения мощности потребления двумя способами:

- усовершенствованием общеизвестных приемов сокращения потребления;
- поиском принципиально новых подходов к проблеме, в частности, таким изменением физических элементов СБИС, чтобы дать ей возможность закливания (recycling) мощности реверсированием (reversing) результатов операций в схеме [8].

Второй подход только зарождается, и практических результатов пока не получено.

Один из путей реализации реверсивной логики заключается в создании дополнительного зеркального отображения схемы, реализующего инверсию по отношению к основной, обычной схеме, с организацией специального взаимодействия между ними. Это связано с дублированием количества оборудования. Утверждается, что реверсируемая логика позволит сократить потребление мощности не менее чем в десятки раз. Хотя пути ее реализации не совсем понятны, можно констатировать, что этот подход структурно напоминает ССС-реализацию, где также имеет место прямая и

обратная функции (парафазные каналы) и специальное взаимодействие между ними. Возможно, что в рамках решения этой проблемы откроется еще одна уникальная грань ССС-схемотехники, превосходящая по значимости все ее известные грани.

4. САМОПРОВЕРЯЮЩИЙСЯ СИНХРОННЫЙ ПРЕОБРАЗОВАТЕЛЬ КОДА

В этом преобразователе для обеспечения его высоких показателей надежности предпочтение было отдано использованию самопроверяющихся средств функционального диагностирования. При многообразии средств самопроверяемости и отказоустойчивости, существенно зависящих от условий применения и от требований показателей надежности, здесь используется только аппаратная избыточность, что дает корректность сравнительного анализа схем.

При построении С-устройства свойство самопроверяемости обеспечивалось относительно класса одиночных константных неисправностей для идентичности по отношению к варианту ССС-реализации устройства. Вопросы, связанные с защитой от сбоев, при реализации устройства не рассматривались.

На *рис. 11* представлена структурная схема самопроверяющегося (SC) устройства S_SRn-SC, реализованного с использованием метода дублирования.

Синхронная работа всех структурных элементов обеспечивается генератором G, который формирует две последовательности синхроимпульсов T1 и T2, поступающие в канал передачи через буферные элементы D1, D2.

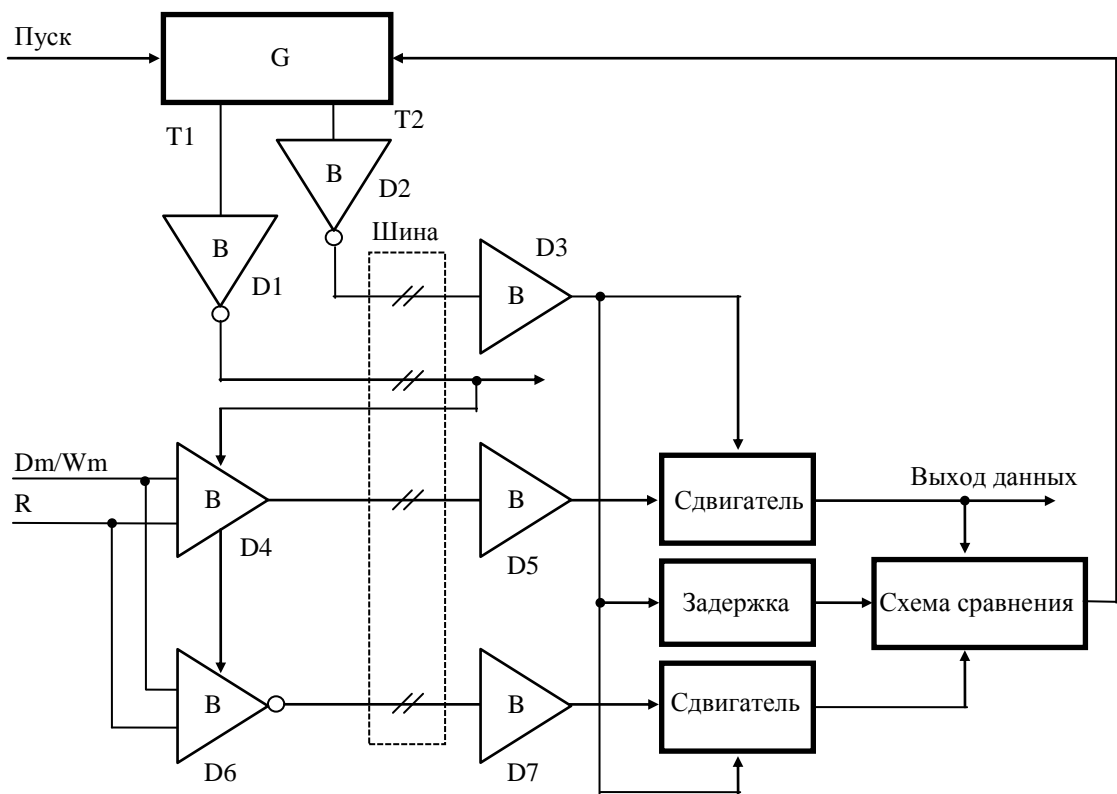
Генератор синхросигналов выполнен на основе одновибратора, который каждый раз запускается импульсом, поступающим от самопроверяющейся схемы сравнения.

Последовательный интерфейс - дублированная линия связи. По одной линии (D4, D5) передается прямой код, а по другой (D6, D7) -

инверсный. Дублирование линии связи обеспечивает контроль передаваемой информации.

Для обеспечения самопроверяемости регистр сдвига также дублирован, и на выходах сдвиговых регистров установлена самопроверяющаяся схема сравнения.

Синхросигнал T2 проходит через линию задержки, обеспечивающую время для завершения переходных процессов в регистрах сдвига и схеме сравнения. В случае отсутствия константных неисправностей в интерфейсе, регистрах сдвига и схеме сравнения задержанный синхросигнал T2 поступает на мультивибратор G и запускает следующий



**Рис. 11. Синхронный самопроверяющийся преобразователь S_SR8-SC.
Структурная схема**

цикл работы. При возникновении константной неисправности импульс T2 не поступит на G, что вызовет останов работы устройства. В случае исчезновения синхроимпульсов генератора также происходит останов устройства.

Принятый принцип организации контроля работы генератора обеспечивает обнаружение только тех его неисправностей, которые приводят к пропаданию синхросигнала T2. Однако простота реализации такой схемы контроля делает ее предпочтительной.

Следует подчеркнуть, что самопроверяющаяся С-схема (S_SRn-SC) гарантирует обнаружение лишь одиночных константных неисправностей при стопроцентном обнаружении константных неисправностей любой кратности в ССС-схеме (S³_SRn-SC).

Результаты моделирования самопроверяющихся схем - "идеализированной" синхронной (S_SRn-SC) и реальной строго самосинхронной (S³_SRn-RG) - показали следующие результаты:

- по типовому быстродействию: в 2,9 раза в пользу ССС-схемы;
- по числу транзисторов: в 1,3 раза в пользу ССС-схемы;
- по потребляемой энергии:

в 2-10 раз в пользу ССС-схемы (при 10-процентном коэффициенте использования);

в 1,8-2,3 раз в пользу ССС-схемы (при 100-процентном коэффициенте использования).

Следовательно, применение ССС-схемотехники в СБИС для компьютерных систем повышенной готовности к использованию (допускающих останов для проведения ремонта) предпочтительно и экономически целесообразно.

5. ОТКАЗОУСТОЙЧИВЫЕ ПРЕОБРАЗОВАТЕЛИ

Отказоустойчивый С-преобразователь кода S_SRn-FT-D был разработан с использованием аппаратной избыточности - дублирования генераторов G, шин обмена и самопроверяющихся

преобразователей (S_SRn-SC). Преобразователь состоит из двух каналов - основного (активного) и резервного (горячий резерв). Принципиальным изменениям подверглись схема генератора синхрои импульсов G и принцип контроля его работоспособности, для чего введена схема контроля генератора.

Если возникают неисправности в генераторе, в последовательном интерфейсе или в регистре сдвига, то в основном и/или резервном каналах формируются сигналы неисправности Error 1, Error 2, поступающие на верхний уровень системы. Анализируя сигналы об ошибках, устройство верхнего уровня переключает ранее активный, но отказавший канал на резервный или полностью отключает схему, если нет работоспособного резервного канала. Для переключения направления передачи информации (от основного или резервного каналов) введен самопроверяющийся мультиплексор. В случае обнаружения неисправности в работе мультиплексора вырабатывается сигнал Error 3.

Реализация принципа отказоустойчивости любого устройства связана с последовательным выполнением следующих функций:

- 1) диагностирование неисправности - выявление ошибки в работе устройства;
- 2) локализация неисправности - определение места, где произошла ошибка;
- 3) ремонт методом замещения неисправного модуля резервным.

Реализация первой функции является необходимым атрибутом ССС-схем, что и оправдывает применение к ним термина "самопроверяющиеся". ССС-схема не может быть несамопроверяющейся.

Вторая функция в ССС-схемах реализуется без труда, так как каждый индикаторный сигнал несет информацию об исправности индицируемого фрагмента схемы. Из требований уровня резервирования выбираются соответствующие индикаторные сигналы. В рассмотренных выше ССС-вариантах ТФУ локализация неисправности

обеспечивается в рамках отдельного разряда преобразователя и элемента Маллера, что делает возможным использование резервирования достаточно низкого уровня.

Информационные выходы дублируемых преобразователей коммутируются самопроверяющимся мультиплексором. Появление ошибки в работе активного преобразователя (чьи выходы скоммутированы на входы МХ) приводит к прекращению его функционирования и срабатыванию в схеме управления механизма "тайм-аута". Устройство управления анализирует индикаторные выходы преобразователя, находящегося в состоянии горячего резерва, и при отсутствии в нем неисправностей коммутирует выход индикатора исправного преобразователя на управляющий вход МХ. Если резервное устройство также неисправно, устройство управления логически отключает оба отказавших преобразователя.

Моделирование функционально близких (в том числе по надежности показателям) отказоустойчивых схем - "идеализированной" синхронной ($S_SRn-FT-D$) и реальной строго самосинхронной ($S^3_SRn-RCP-FT-D$) с дублированием аппаратуры - показало следующий результат (в зависимости от 8-, 16- или 32-разрядного исполнения):

- по типовому быстродействию: в 1,7-2,4 раза в пользу ССС-схемы;
- по числу транзисторов: в 1,5 раза в пользу ССС-схемы;
- по потребляемой энергии:
 - в 1,6-1,9 раза в пользу ССС-схемы (при 100-процентном коэффициенте использования);
 - в 3-6,5 раз в пользу ССС-схемы (при 10-процентном коэффициенте использования).

Был также разработан ССС-преобразователь $S^3_SRn-RCP-FT-OSC$, в котором реализован другой метод саморемонта: замена неисправного элемента схемы резервным по методу скользящего резервирования с

замещением посредством сдвига [3]. Этот метод в полной мере использует все возможности ССС-схем по локализации неисправности. Точнее, в таком преобразователе совмещены два метода - метод дублирования для неоднородных элементов схемы S^3_SRn-RC (входной триггер и общий индикатор, см. *рис. 7*) и метод замещения для однородных элементов (всех других триггеров преобразователя).

В случае возникновения неисправности в элементе однородной части такого преобразователя этот элемент просто удаляется из структуры логическими средствами (подобно элементу из списка), а размерность структуры восстанавливается за счет подключения к ней резервного элемента. Преобразователь содержит триггеры неисправности (по числу однородных элементов) и соответствующие средства коммутации.

Преобразователь $S^3_SRn-RCP-FT-OSC$ обеспечивает сохранение полной функциональности при возникновении трех константных неисправностей: по одной во входном разряде, индикаторе и однородной части. При возникновении двух и более неисправностей в однородной части он обеспечивает режим постепенной деградации - правильное функционирование при уменьшении разрядности выходного параллельного кода. На базе этого преобразователя легко реализуется принцип n -кратного покрытия неисправностей в его однородной части, например, для 32-разрядного варианта $S^3_SR32-RCP-FT-OSC$ каждое дополнительное покрытие ведет к увеличению его аппаратных затрат только на 3 %.

Существенное повышение уровня отказоустойчивости ССС-преобразователя $S^3_SRn-RCP-FT-OSC$ по сравнению с вариантом по методу дублирования $S^3_SRn-RCP-FT-D$ получено без увеличения его аппаратных затрат и при снижении быстродействия только на 3 %. Кроме того, имеет место выигрыш по потребляемой мощности: 14-28 % при 100-процентном коэффициенте использования и 12-17 % при 10-процентном коэффициенте использования. При этом выигрыш ССС-преобразователя $S^3_SRn-RCP-FT-OSC$ по сравнению с С-

преобразователем $S_SRn-FT-D$ по потребляемой энергии составит: в 2,2 раза при $K_A = 1,0$ и 3,6 - 7,4 раз при $K_A = 0,1$.

6. СИНХРОННЫЕ ВАРИАНТЫ ИСПОЛНЕНИЯ АЛУ32

Анализ возможностей проектирования и реализации ССС-СБИС был бы неполным без рассмотрения вопроса о реализации комбинационных устройств в базисе ССС-схем.

Ниже приведены результаты сравнительного анализа характеристик комбинационных С- и ССС-схем в классах традиционной, самопроверяющейся и отказоустойчивой реализаций на примере типичного представителя комбинационных схем - АЛУ.

В качестве функционального прототипа (по выполняемым арифметическим и логическим операциям) взято типовое 4-разрядное АЛУ фирмы Texas Instruments SN74AS181A [9], к которому добавлен узел формирования флагов и входные регистры (необязательные элементы для чисто комбинационного варианта организации АЛУ).

Структурная схема С-АЛУ прототипа приведена на *рис. 12*. Схема содержит следующие блоки:

- собственно АЛУ, выполняющее операции над входными операндами А и В разрядностью от 8 до 32;
- входные регистры операндов, кода операции и размера операндов;
- дешифратор кода операции (при необходимости);
- регистр флагов операции.

Отметим, что регистры являются неотъемлемой частью АЛУ при включении его в состав операционных блоков цифровых СБИС для обеспечения конвейерного принципа обработки информации.

АЛУ32 оптимизировано для выполнения операций над 32-разрядными операндами и допускает работу с операндами меньшей длины (8- и 16-разрядными). АЛУ формирует флаги результата операции: О - переполнения, S - знака, Z - нулевого результата, P - контроля

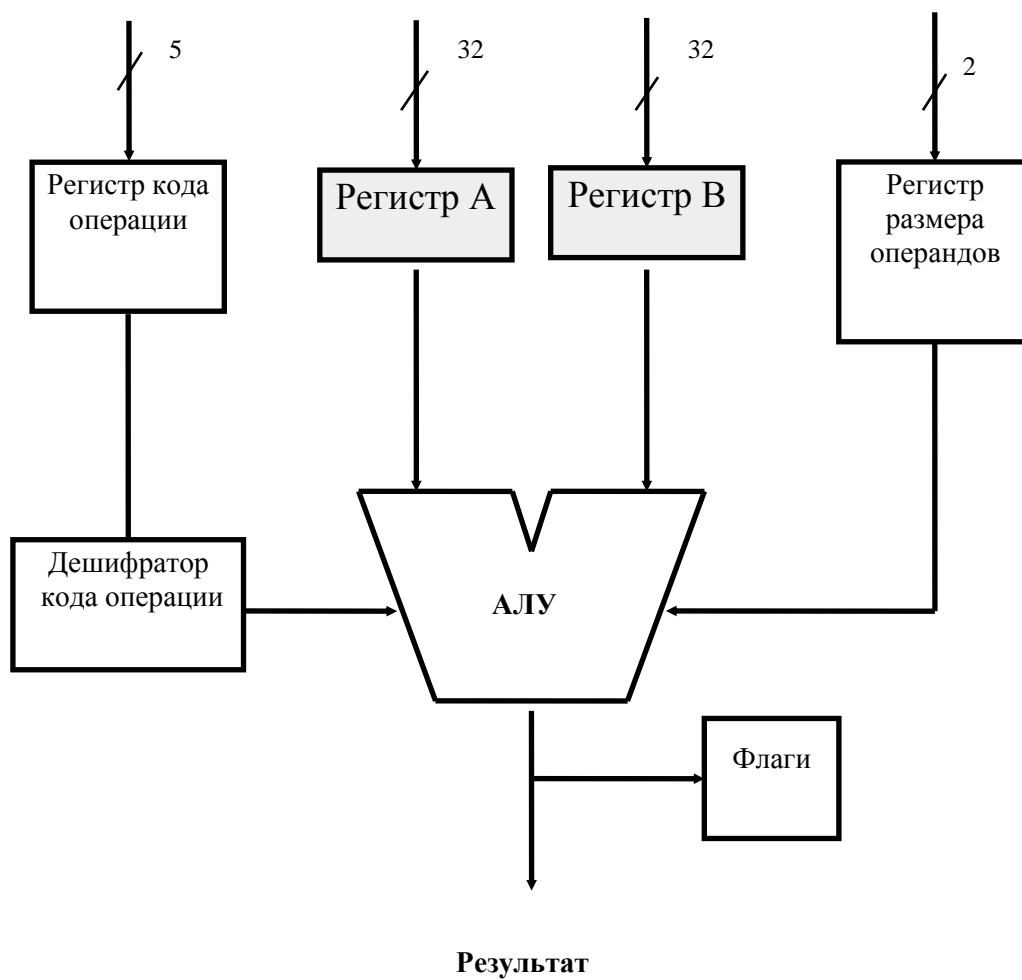


Рис. 12. Структурная схема синхронного АЛУ32

четности результата (паритета), С - выходного переноса, признаков $A = B$ и $A < B$.

Были разработаны две оптимальные по быстродействию модификации: S_ALU32- чисто комбинационное С-АЛУ32 и S_ALU32-P - конвейерное С-АЛУ32 с необходимыми входными регистрами. Они характеризуются приемлемыми аппаратными затратами (с учетом особенностей структурной организации их операционного блока и узлов формирования управляющих сигналов). На базе каждой из этих модификаций были разработаны самопроверяющиеся (S_ALU32-SC, S_ALU32-P-SC) и отказоустойчивые (S_ALU32-FT-D, S_ALU32-P-FT-D) варианты.

Для каждого из вариантов были получены данные по аппаратным затратам (в КМОП-транзисторах), быстродействию и потребляемой мощности (см. табл. 5).

Таблица 5. Параметры вариантов 32-разрядного АЛУ

Тип устройства	Вариант	Аппар. затр., транз.	Задержка, у.е.	Мощность потребления, МВт
Традиционное Комбинационное	S_ALU32	2600	8620	11,9+89,39 К _А
	S ³ _ALU32-F	8620	9700	435,83 К _А
Традиционное конвейерное	S_ALU32-P	4300	9100	11,9+181,53К _А
	S ³ _ALU32-R	6600	8200	302,30 К _А
Самопроверяющееся Комбинационное	S_ALU32-SC	5400	9800	13,8+189,14К _А
	S ³ _ALU32-F-SC	8620	9700	435,83 К _А
Самопроверяющееся конвейерное	S_ALU32-P-SC	8800	10300	13,8+281,26К _А
	S ³ _ALU32-R	6600	8200	302,30 К _А
Отказоустойчивое Комбинационное	S_ALU32-FT-D	11000	10300	17,6+382,81К _А
	S ³ _ALU32-F-FT-D	18640	10900	845,53 К _А
Отказоустойчивое конвейерное	S_ALU32-P-FT-D	17800	10800	17,6+567,06К _А
	S ³ _ALU32-R-FT-D	13400	8900	594,81 К _А

7. САМОСИНХРОННЫЕ ВАРИАНТЫ ИСПОЛНЕНИЯ АЛУ32

При разработке ССС-вариантов АЛУ32 была использована та же методика, что и при разработке преобразователя. На базе формального подхода был разработан самосинхронный (самопроверяющийся) вариант - $S^3_ALU32-F$, структурно и функционально полностью аналогичный синхронному варианту.

Другими словами, синхронный вариант был переведен в самосинхронный базис путем ввода парафазной дисциплины сигналов и схемы индикации в полном соответствии со стандартным (традиционным) подходом к проектированию ССС-комбинационных схем.

На его основе был также разработан отказоустойчивый ССС-вариант - $S^3_ALU32-F-FT-D$.

Результаты сравнительного анализа самопроверяющегося формального ССС-АЛУ32 ($S^3_ALU32-F$) и несамопроверяющегося идеализированного С-АЛУ32 (S_ALU32) дают примерно ту же картину, что и сравнительный анализ аналогичных вариантов исполнения преобразователя. Существенный выигрыш имеет С-вариант:

- по аппаратным затратам - в 3,3 раза;
- по быстродействию - в 1,1 раза;
- по энергопотреблению - в 4,3 раза (при $K_A = 1$) и 3,8 раз (при $K_A = 0,5$).

Однако картина существенно меняется при введении элементов реального подхода.

Если рассматривать АЛУ32 не изолированно, то видно, что АЛУ32, как правило, является одним из элементов конвейерного механизма обработки информации, и необходимо ввести регистры на его входах (или соответственно на выходах источника данных и информации для него). Учитывая вероятность возникновения групповых переносов и принимая во внимание, что ССС-АЛУ32 будет работать в соответствии

с реальным быстродействием, можно существенно уменьшить объем аппаратуры для обработки переносов между разрядами и формирования выходного сигнала переноса. В типовых, наиболее вероятных случаях быстродействие такого ССС-варианта будет выше, чем С-варианта, и лишь в редких, маловероятных случаях будет обратная ситуация.

Применение этих и ряда других приемов реального проектирования ССС-схем позволило разработать более эффективное самопроверяющееся ССС-АЛУ32 ($S^3_ALU32-R$), а на его базе - и отказоустойчивый вариант ($S^3_ALU32-R-FT-D$).

Теперь сравнение самопроверяющегося реального ССС-АЛУ32 ($S^3_ALU32-R$) и несамопроверяющегося "идеализированного" С-АЛУ32 (S_ALU32) дает такой результат:

- по аппаратным затратам - в 1,4 раза в пользу С-варианта;
- по быстродействию - в 1,1 раза в пользу ССС-варианта;
- по энергопотреблению - в 1,5-1,6 раза в пользу С-варианта (при $K_A = 0,5$ и $1,0$ соответственно).

Сравнение функционально идентичных самопроверяющихся ($S_ALU32-P-SC$ и $S^3_ALU32-R$) и отказоустойчивых ($S_ALU32-P-FT-D$ и $S^3_ALU32-R-FT-D$) вариантов исполнения АЛУ32 при одинаковом энергопотреблении показывает уже преимущество ССС-реализаций:

- по аппаратным затратам - в 1,3 раза;
- по быстродействию - в 1,2-1,3 раза.

Эти данные подтверждают тенденцию улучшения относительных характеристик при переходе от несамопроверяющихся реализаций комбинационных схем к самопроверяющимся и отказоустойчивым в пользу ССС-реализаций, хотя масштабы улучшения скромнее по сравнению с регистровыми схемами. Причины снижения степени привлекательности ССС-реализаций в классе комбинационных схем носят как объективный, так и субъективный характер.

С одной стороны, регистровые С-схемы уже изначально поддерживают парафазную (бифазную) дисциплину входных, выходных и проме-

жуточных сигналов, что и приводит к сокращению аппаратных затрат как функциональной, так и индикаторной частей ССС-устройства.

С другой стороны, сравнительно большой объем аппаратуры АЛУ32 (число транзисторов в четыре раза больше, чем у 32-разрядного преобразователя), существенно меньшая степень регулярности схемы и ограниченные ресурсы моделирования не позволяют в рамках настоящей статьи рассмотреть другие, более эффективные решения. Но важно здесь то, что они есть.

Остался в резерве способ перевода чисто комбинационных ССС-схем в разряд комбинационно-регистровых. Последние при переходе ССС-устройства в фазу гашения (служебную, нерабочую) не переключаются, а сохраняют состояние, в которое они перешли в предыдущей (рабочей) фазе. Чисто комбинационные ССС-схемы за один ССС-цикл переключаются два раза, а комбинационно-регистровые - один раз, что, естественно, сокращает их потребление энергии.

Отсутствие достоверных статистических данных по виду обрабатываемой информации не позволило также реализовать в полной мере преимущество ССС-реализаций по быстродействию - работу по реальному (а не максимально возможному) числу переключений активных структур. Здесь статистика использовалась только с точки зрения организации переносов. Уменьшение числа возможных переключений одновременно ведет к снижению потребляемой мощности.

Не рассмотренными остались наиболее эффективные отказоустойчивые ССС-реализации АЛУ32 по методу скользящего резервирования с замещением посредством сдвига.

Востребование этих резервов позволит повысить относительную степень привлекательности комбинационных ССС-реализаций.

ВЫВОДЫ

1) Представляется, что использование формального подхода к проектированию ССС-устройств и анализу их характеристик в ряде

зарубежных проектов было одной из основных причин их неудачи: не удалось существенно поднять производительность и снизить потребляемую мощность ССС-устройств по сравнению с С-аналогами, и эти показатели исчезли из числа достоинств ССС-схемотехники. Например, реальный подход (вместо формального) к проектированию существенно улучшает сравнительные показатели преобразователей (в зависимости от их разрядности):

- по быстродействию - в 2,7-3,1 раза;
- по потребляемой мощности - в 5-17 раз (при $K_A = 0,1$).

2) Предложен ряд рекомендаций по эффективному проектированию ССС-устройств - на основе конвейерной организации, учета статистики обрабатываемой информации, перевода чисто комбинационных схем в разряд комбинационно-регистровых и др. Использование этих рекомендаций позволяет существенно повысить быстродействие ССС-реализаций и снизить мощность их потребления.

3) Предложены и обоснованы условия объективного сравнения альтернативных схемотехник и, в первую очередь, на основе реального быстродействия - характеристики, позволяющей точно оценить работу ССС-схем по реальным задержкам элементов, которые определяются реальными условиями их работы (температурой, питающим напряжением, нагрузкой) и реальным видом обрабатываемой информации. Показано, что реальное быстродействие ССС-схем изменяется в широких пределах. Например, время передачи одного бита информации схемы S^3_SR8-RG лежит в диапазоне от 59 (min) до 352 (max) нс, что соответственно в 4 раза лучше и всего лишь в 1,5 раза хуже, чем время "идеализированной" С-схемы. Понятие реального быстродействия приводит к понятию реальной производительности компьютерной системы.

4) Обоснована необходимость применения системного подхода к расчетам параметров отдельных схемотехнических реализаций: сравнение вариантов должно учитывать все части системы, имеющие

отношение к рассматриваемой реализации. При этом аппаратные, временные, энергетические и другие ресурсы системы, необходимые для организации функционирования анализируемой части, должны быть отнесены на ее счет в соответствующей пропорции (например, с помощью учета коэффициента активности этой части). Для синхронных реализаций обязательно должны быть учтены ресурсы подсистемы синхронизации.

5) Результаты сравнения регистровых (преобразователи) и комбинационных (АЛУ32) схем показывают, что использование ССС-схемотехники обеспечивает более высокое быстродействие аппаратуры и, в ряде случаев, существенно меньшее энергопотребление. Применение ССС-схемотехники может быть оправдано даже в областях, где высокая надежность функционирования не является определяющей, но требуется высокое быстродействие или низкое энергопотребление.

6) Применение ССС-схемотехники в высоконадежных обслуживаемых компьютерных системах (допускающих останов для проведения ремонта) предпочтительно и экономически целесообразно.

7) В высоконадежных отказоустойчивых системах реального времени применение ССС-схемотехники наиболее предпочтительно.

ЛИТЕРАТУРА

1. *Филин А.В., Степченко Ю.А.* Компьютеры без синхронизации. // Наст. сб.
2. *Woods J.V. et al.* AMULET1: An Asynchronous ARM Microprocessor. IEEE Transactions on Computers, Vol. 46, N 4, April 1997, pp. 385-397.
3. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. / Под. Ред. В.И. Варшавского. - М.: Наука, 1986, 400 с.
4. *Ivan E. Sutherland.* Micropipelines. / Communications of the ACM, June 1989, Volume 32, Number 6, pp. 720-738.
5. *Колеников С.* Микропроцессоры в преддверии следующего тысячелетия. / Computer Weekly, N 43, 1998, с. 25-26.
6. *Ватанабэ М., Асада К., Кани К., Оцуки Т.* Проектирование СБИС. Пер. с яп./ - М.: Мир, 1988, 304 с.
7. *Валиев К., Орликовский А.* Технология СБИС. Основные тенденции развития / Электроника: наука, технология, бизнес. - М., 1997, N 1, с. 3-14.
8. *Peter Wayner.* Silicon in reverse. / Byte, August 1994, pp. 67-74.
9. The TTL Data Book. Volume 2. / Texas Instruments, 1984, pp. 2-173 - 2-183.