

БИБЛИОТЕКА ЭЛЕМЕНТОВ БАЗОВЫХ МАТРИЧНЫХ КРИСТАЛЛОВ ДЛЯ КРИТИЧЕСКИХ ОБЛАСТЕЙ ПРИМЕНЕНИЯ

*Степченков Ю.А., Денисов А.Н., Дьяченко Ю.Г., Гринфельд Ф.И.,
Филимоненко О.П., Фомин Ю.П.*

1. Введение

В последнее время возобновился интерес зарубежных специалистов к самосинхронным системам из-за их устойчивости к ошибкам, малой мощности потребления и хорошей производительности [1, 2]. Для российской электронной техники это особенно актуально. Многие из современных систем управления вооружением, стоящим на боевом дежурстве в России, близки к выработке своего морального и физического ресурсов.

Функциональные параметры и объемно-весовые характеристики элементной базы для модернизации существующих и разработки новых поколений вооружения характеризуются следующими повышенными требованиями:

- *устойчивостью функционирования* к разбросу и отклонениям параметров элементной базы из-за старения материалов, изменения температуры и напряжения источника питания;
- *внутренней безопасностью функционирования и достоверностью обработки информации* (самопроверяемостью относительно константных неисправностей);
- *умеренным энергопотреблением*;
- *высоким быстродействием* (максимально возможным в реальных условиях окружения и вида обрабатываемой информации);
- *отказоустойчивостью при эксплуатации* (восстановлением функционирования за счет саморемонта).

Этим требованиям в полной мере отвечает новая самосинхронная элементная база, методология проектирования которой разработана в ИПИ РАН.

Анализ материалов зарубежной печати [3 - 13] позволяет сделать вывод, что схемотехнические решения, представляемые как самосинхронные, относятся, в основном, к классу квазисамосинхронных. Такого рода схемы представляют собой комбинацию самосинхронных (СС) элементов, в которых реализован контроль действительного окончания событий (переходных процессов), и асинхронных элементов. В последних, вместо контроля действительного окончания событий, действует гипотеза ограниченного времени протекания событий, реализуемая встроенными элементами задержек, что позволяет уменьшить число транзисторов на их реализацию. Однако при этом квазисамосинхронные схемы теряют свойство самопроверяемости относительно константных неисправностей и, следовательно, не удовлетворяют в полной мере требованиям, изложенным выше, что неприемлемо при реализации вычислительного устройства (ВУ) для критических областей применения [14].

2. Обоснование реализации ВУ в виде БИС с программируемой структурой

Возможно несколько путей решения этой проблемы.

1) Разработка специализированных строго самосинхронных интегральных схем (ССС-ИС) высокого уровня интеграции, сравнимых со стандартными синхронными ИС. Однако это связано с очень большими затратами средств и времени на проектирование БИС/СБИС, что, с учетом недостаточной отработанности самосинхронных схемотехнических решений, делает этот подход в настоящее время нецелесообразным.

2) Обработка ССС-изделий на базе микросхем малого и среднего уровней интеграции. Применение МИС и СИС приводит к резкому росту числа корпусов ИС и усложнению монтажа, и в результате снижается надежность изделий и их быстродействие. Этот тупиковый путь может скомпрометировать саму идею самосинхронизации. Ее основные достоинства – повышение надежности и быстродействия – сводятся на нет использованием ИС малой степени интеграции.

3) Разработка БИС/СБИС с программируемой и репрограммируемой структурой. Известно, что использование таких структур оправдано в следующих случаях [15]:

- когда требуется быстро разработать и начать производство изделия;
- когда объем производства изделия относительно невысок, а подходящих БИС среди выпускаемых нет;
- при создании специфичной аппаратуры с оригинальной схемотехникой.

В настоящее время разработчикам аппаратуры доступна обширная гамма программируемых изделий [16]:

- а) программируемые логические матрицы ПЛИМ (PLA, Programmable Logic Array);
- б) программируемая матричная логика ПМЛ (PAL, Programmable Array Logic); в английской терминологии PAL и PLA объединяются термином PLD (Programmable Logic Devices);
- в) базовые матричные кристаллы (БМК), называемые также вентиляльными матрицами ВМ (GA, Gate Array);
- г) новые эффективные средства разработки цифровых схем:
 - CPLD (Complex PLD);
 - FPGA (Field Programmable GA);
 - SPGA (System Programmable GA).

Современные программируемые средства позволяют создавать целую "систему на кристалле". В настоящее время говорить о собственных российских разработках программируемых логических ИС (ПЛИС) высокой степени интеграции пока, к сожалению, не приходится. Возможности же ПЛИС зарубежных фирм не могут быть в полной мере востребованы в ССС-разработках, что будет показано ниже.

3. Практическая непригодность базиса ПЛИС для проектирования ССС-схем

Рассмотрим основные особенности самосинхронных схем на двух возможных программируемых базисах – ПЛИС и БМК (более подробно со спецификой ССС-схем можно познакомиться в [17, 18]).

На рис. 1 показано взаимодействие ССС-схемы с внешней средой – источником входных данных (X_0, X_1, \dots, X_k) и, возможно, управляющего сигнала C , сопровождавшего их, а также приемником результирующих данных (Y_0, Y_1, \dots, Y_l) и обязательного сигнала I_e (внешнего индикаторного сигнала, информирующего внешнюю среду о достоверности выходных результатов и завершении всех переходных процессов в ССС-схеме). Управляющего сигнала C может не быть, если входные данные представлены самосинхронным кодом.

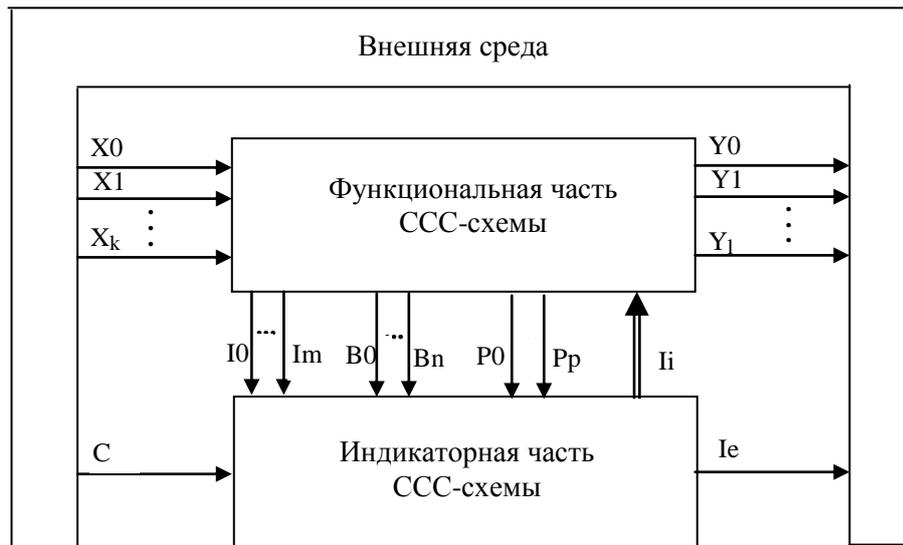


Рис. 1. Взаимодействие внешней среды с обобщенной структурой CCC-схемы

$X_0 - X_k$ – набор входных сигналов;

$Y_0 - Y_l$ – набор выходных сигналов;

C – необязательный управляющий сигнал со стороны среды;

$I_0 - I_m$ – набор индицируемых инфазных непарных сигналов;

$B_0 - B_n$ – набор индицируемых бифазных сигналов (парных сигналов без состояния спейсера);

$P_0 - P_p$ – набор индицируемых парафазных сигналов (парных с третьим логическим состоянием – спейсером);

I_i – набор промежуточных внутренних индикаторных сигналов;

I_e – основной внешний индикаторный сигнал.

Самосинхронная схема условно разбивается на две части – функциональную часть (ФЧ), выполняющую обработку входных данных, и индикаторную часть (ИЧ), фиксирующую окончание переходных процессов в отдельных частях ФЧ и CCC-схемы в целом. Взаимодействие внешней среды с CCC-схемой характеризуется двумя параметрами: запрос-ответным механизмом обмена и двухфазной дисциплиной работы: за каждой фазой обработки информации следует нерабочая фаза (гашение или спейсер). При этом на время установки и сброса запрос-ответных сигналов и, соответственно, время нахождения CCC-схемы в рабочей фазе и в спейсере не накладывается никаких ограничений. Эти времена могут быть сколь угодно большими, но конечными.

Четыре особенности CCC-схем (первая – фундаментальная □ следует из только что сказанного):

1) *Независимость от задержек на составляющих элементах и соединительных проводах.*

Независимость от задержек предполагает отсутствие синхронизации. Схемотехнические решения, применяемые в ПЛИС, соответствуют принципу *синхронного* проектирования и определяются конструктивными особенностями ПЛИС. Прежде всего, это наличие в ПЛИС глобальных сигналов синхронизации. Напротив, конструктивные решения, реализуемые в БМК, ориентированы на *асинхронное* проектирование, что соответствует требованию самосинхронного исполнения.

Другие соображения, не носящие принципиального характера, но снижающие эффективность построения CCC-схем на ПЛИС:

– в рамках ПЛИС много избыточных элементов, ненужных для построения CCC-схем (все цепи и элементы синхронизации);

– триггеры на ПЛИС с глобальными и локальными сигналами синхронизации также не могут быть использованы.

2) *Индицируемость всех функциональных элементов.* Каждый отдельный функциональный элемент должен удовлетворять требованию индицируемости: любой инициированный переходный процесс (процесс возбуждения) в этом элементе должен быть завершен, и факт завершения должен быть зафиксирован (индицирован). Снятие возбуждения до завершения переходного процесса является признаком нарушения самосинхронности, и такая реализация схемы не может быть аттестована как самосинхронная. Одним из наиболее простых (но не оптимальных и не обязательных) требований построения сложных многокаскадных элементов для самосинхронных реализаций является возможность индикации каждого его выхода, т.е. каждого каскада (понятие однокаскадности будет введено ниже). Значительная часть внутренних элементов ПЛИС недоступна для индикации, что делает проблематичным (практически невозможным) построение корректных ССС-схем.

Этому требованию не удовлетворяет также большая часть стандартных функционально сложных библиотечных элементов БМК. Например, для фиксации факта окончания переходных процессоров в двухтактных D-триггерах недостаточен анализ состояния только выходов второй ступени триггера. Для анализа должны быть доступны и выходы первой ступени.

Основополагающие принципы построения строго самосинхронных схем включают в себя и два следующих требования к их индикаторной части.

3) *Однокаскадная реализация индикаторов* – логических элементов, индицирующих завершение процесса переключения в ССС-схеме. Индикаторные элементы, по существу, являются средством синхронизации процессов в ССС-схемах. Именно к их построению предъявляются наиболее жесткие требования, в данном случае – однокаскадность реализации. Теоретически и практически доказано, что корректные индикаторные элементы нельзя построить на упрощенном базисе И-НЕ и ИЛИ-НЕ. Для его построения необходим базис И-ИЛИ-НЕ.

Среди индицируемых сигналов (инфазных, бифазных и парафазных со спейсером) наибольшую сложность представляет индикация инфазных сигналов.

На рис. 2 приведены две реализации индикатора для двух инфазных сигналов – так называемого гистерезисного триггера (G-триггера); табл. 1 – его таблица истинности.

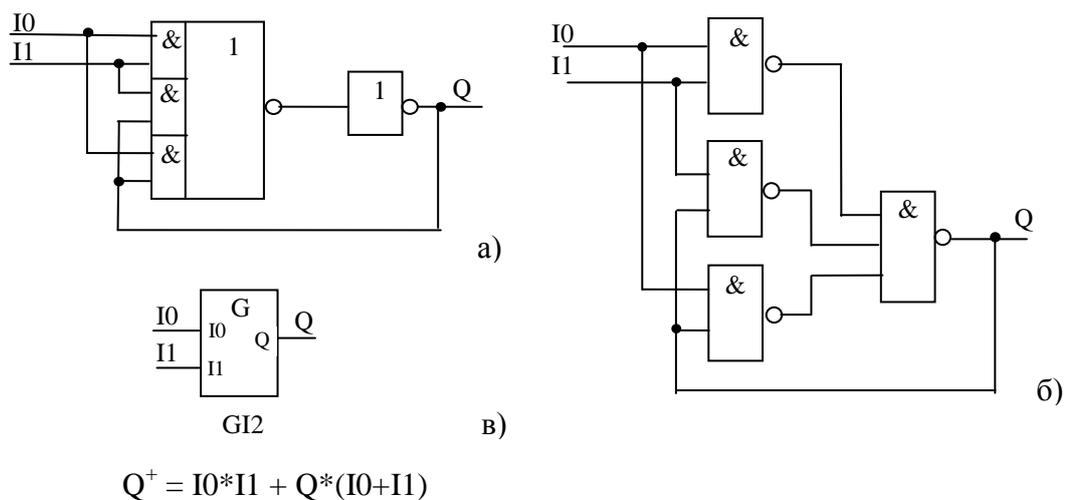


Рис. 2. Иллюстрация двух форм реализации индикаторных G-триггеров для двух инфазных сигналов:

- а) корректной (однокаскадной) в своей основной логической части;**
- б) некорректной (двухкаскадной);**
- в) условное графическое обозначение (УГО), наименование и формульная запись функционирования G-триггера (GI2)**

Таблица 1
Таблица истинности элемента GI2

№	Входы		Выход
	I0	I1	Q
1	0	0	0
2	0	1	Хранение
3	1	0	Хранение
4	1	1	1

Если наборы на входах I0 и I1 (00 и 11) фиксируются на длительное время, за которое успевают закончиться все переходные процессы, оба варианта реализации свободны от состязаний. Однако если в схеме, показанной на рис. 2а, изменение выхода является признаком окончания всех переходных процессов, то в схеме на рисунке 1б после изменения выхода переходные процессы в элементах первого каскада могут продолжаться.

G-триггер должен индцировать окончание переходных процессов не только в схемах, подключенных к его входам, но и в себе самом. При этом предполагается, что логические состязания на уровне одного однокаскадного элемента невозможны, т.к. время его переключения определяется, в основном, временем перезаряда его выходной емкости.

Рассмотрим возможные состязания в схеме на рис. 2. Исходное состояние I0=I1=0, при котором на выходах всех элементов первого яруса сигналы равны 1, а Q=0. Изменение выхода (Q=1) произойдет после того, как выполнится условие I0=I1=1. Предположим, что задержки элементов первого яруса, охваченные обратной связью, так велики, что сигналы на их выходах (или на выходе хотя бы одного элемента) остались равными 1¹, в то время как один из входов I0 или I1 перешел в исходное состояние 0. При этом выход элемента $\overline{I0} * \overline{I1}$ станет равным 1. Тогда выход Q может перейти из 1 в 0, не дожидаясь окончания переходных процессов в других элементах первого яруса, т.е. выполнения условия I0=I1=0; схема, таким образом, не выполнит функцию индикатора. Отметим, что реализация однокаскадного самосинхронного GI2 требует 12, а двухкаскадная (с нарушением самосинхронности) – 18 транзисторов.

Более точное понятие однокаскадности логического элемента с позиции гипотезы Маллера, лежащей в основе построения ССС-схем [19], формулируется так:

- а) элемент имеет один или несколько входов и один выход;
- б) все входы и выходы могут принимать только значения логических констант "0" и "1";
- в) задержка элемента (длительность его возбуждения) приведена к его выходу.

Напомним, что возбуждением элемента по Маллеру называется инициация внутреннего процесса, начинающегося с изменения одного из входов и приводящего к изменению выхода.

Анализ гипотезы Маллера позволяет определить структуру базового ССС-элемента (рис. 3). Если функциональная часть (ФЧ) будет выполнена как схема с одним каскадом по каждому входу, то задержка базового элемента (инерционная часть, ИЧ) будет сосредоточена на его выходе F, и третье условие гипотезы Маллера будет соблюдено.

Отсюда требование однокаскадности можно сформулировать таким образом.

Для любого входа X_i ($i = 1, \dots, n$) должно выполняться условие: если X_i возбуждает элемент, то весь ток переключения, определяющий изменение потенциала точки F (см.

¹ Напомним, что самосинхронная схема (в данном случае G-триггер) должна работать корректно при любых величинах задержек элементов, ее составляющих.

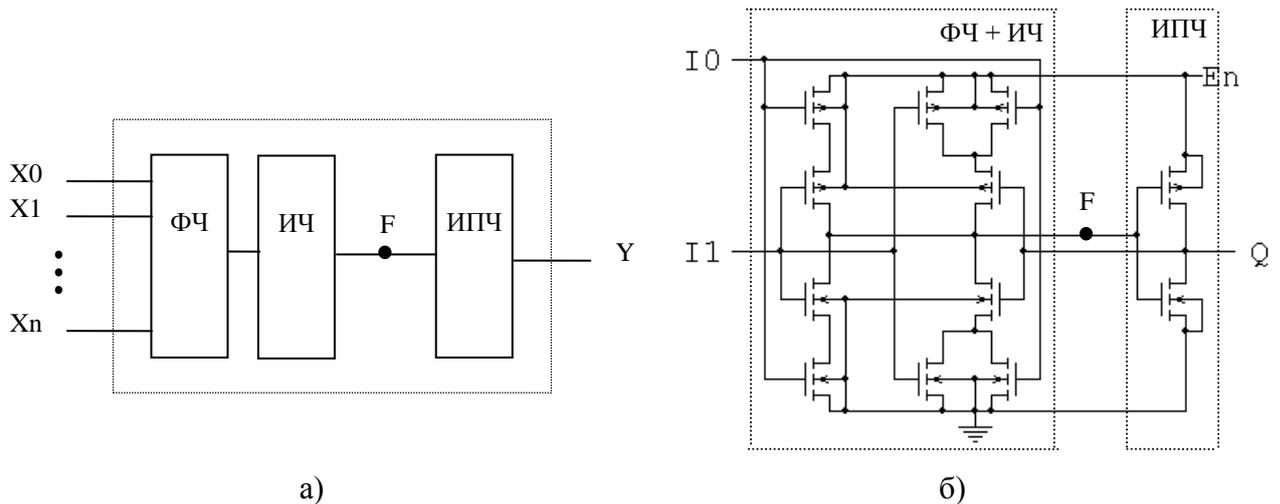


Рис. 3. ССС-базовый элемент с однокаскадной функциональной частью:
а) структура ССС-базового элемента;
б) принципиальная схема G-триггера (GI2), соответствующая этой структуре.

ФЧ – однокаскадная функциональная многовходовая часть;

ИЧ – инерционная часть;

ИПЧ – часть, содержащая произвольное число последовательно включенных инверторов и повторителей

рис. 3), должен проходить через какой-либо транзистор, соединенный управляющим электродом с входом X_i . После однокаскадной функциональной части могут следовать только инверторы или повторители. При этом, контролируя выход Y , мы контролируем окончание переходного процесса во всем базовом ССС-элементе.

Структура ПЛИС ориентирована на программируемую коммутацию матрицы готовых простейших логических элементов (И, ИЛИ, И-НЕ, ИЛИ-НЕ и др.) таким образом, чтобы сформировать требуемую функцию на определенном выводе. В результате логический элемент, имеющий сложную функцию (например, индикаторный элемент ССС), реализуется в виде "дерева" простейших логических элементов – базиса макроячейки ПЛИС, т.е. получается *многокаскадным*.

Напротив, структура БМК изначально предполагает возможность реализации логического элемента любой сложности в виде однокаскадной электрической схемы за счет соответствующей коммутации транзисторов на этапе разработки топологической библиотеки проектирования ССС. Библиотека элементов САПР БМК может быть расширена включением в нее элементов и макроэлементов, оптимизированных для использования в составе ССС (расширение не обязательно, а может лишь позволить получить решения, более оптимальные по аппаратным затратам и быстродействию). Макроэлемент отличается от элемента тем, что не имеет соответствующего топологического примитива. При проектировании топологии схемы макроэлемент реализуется совокупностью нескольких топологических примитивов, соответствующих элементам, из которых состоит макроэлемент.

4) *Контроль и учет длин линий соединений.* В соответствии с гипотезой Маллера вся задержка логического элемента сосредоточена на его выходе. В то время задержки логических элементов существенно превышали задержки линий связи в рамках ИС. Схема, таким образом, могла быть охарактеризована как "совокупность логических элементов, соединенных проводами". С уменьшением топологических норм ситуация изменилась: задержки логических элементов уменьшались, и превалирующей стала задержка в соединяющих линиях. Схема, таким образом, может быть охарактеризована как "совокупность проводников (линий связи), соединенных логическими элементами". И

в том случае, если имеет место ветвление – выход логического элемента (ЛЭ) подключен к входам более чем одного приемного ЛЭ, – гипотеза Малера может не работать.

Для того чтобы гипотеза Малера оставалась справедливой для схем субмикронного диапазона, необходимо либо разрабатывать новые подходы (такие разработки пока находятся на концептуальном уровне, например, в работе [20] исследуются схемотехнические решения с использованием разветвления полем), либо учитывать задержку, вносимую линией связи индикаторной части ССС-схемы.

В общем случае в структуру ССС-базового элемента, кроме ФЧ и ИЧ, необходимо добавить транспортную часть (ТЧ) или транспортную задержку (см. рис. 4)..

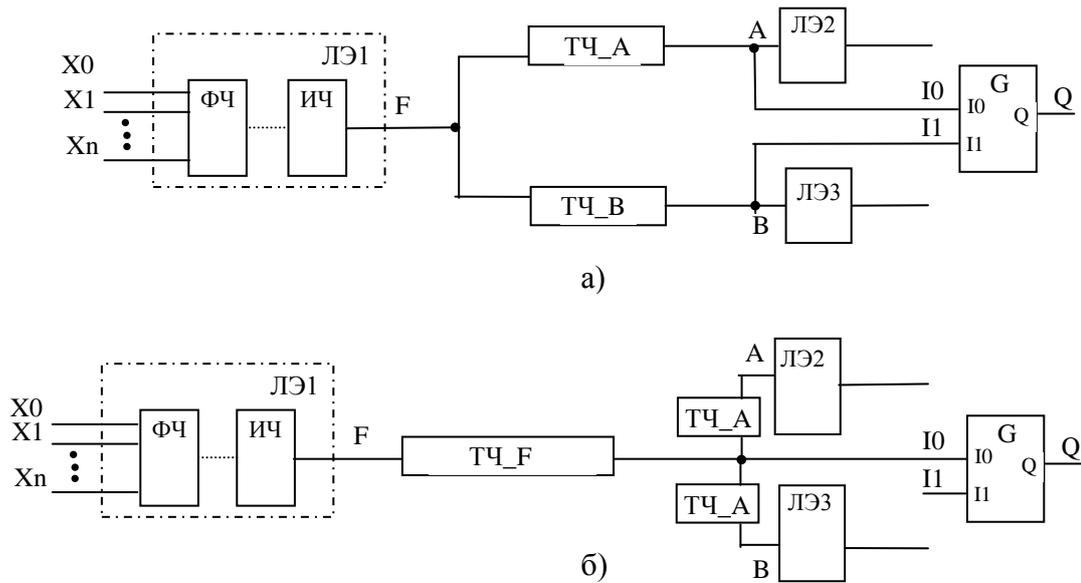


Рис. 4. Варианты учета транспортной части ЛЭ при разветвлении:
 а) двухпроводная индикация; б) однопроводная индикация

Инерционная часть отражает переходные процессы при перезаряде выходной емкости ЛЭ1, а ТЧ характеризует длинную линию – время распространения сигнала по линии связи, например, из точки F в точку A. Как правило, при формировании библиотечного элемента (БЭ) на БМК длины связей между его компонентами небольшие, он реализован на соседних ячейках, а значит, и величины ТЧ невелики. В рамках БЭ можно считать, что величина ИЧ гораздо больше ТЧ. Гипотеза Малера остается справедливой и для фиксации окончания переходного процесса в ЛЭ1: достаточно анализировать точку F.

Это условие может нарушаться при организации связи между произвольными БЭ, которые располагаются на значительном геометрическом расстоянии друг от друга. Если точек разветвления нет (выход ЛЭ1 идет на вход только элемента ЛЭ2), величина ТЧ_А может быть сколь угодно большой. Самосинхронность при этом не нарушится, а число индицируемых точек не увеличится (индикатор анализирует точку A). В противном случае для индицируемости элемента ЛЭ1 может быть использован один из четырех способов:

а) организация двухпроводной индикации, если контроль длин соединений F-A и F-B затруднен или невозможен (см. рис. 4а);

б) максимально возможное перенесение точки разветвления ближе к приемникам сигналов, при котором $ТЧ_А = ТЧ_В \approx 0$ (см. рис. 4б), или другие варианты однопроводной индикации;

в) выравнивание задержек $TЧ_A = TЧ_B$ (произвольное значение); при этом в качестве точки индикации может быть выбрана точка А или В;

г) если одна из линий связи характеризуется существенно большей задержкой, например, $TЧ_A \gg TЧ_B$, то в качестве точки индикации выбирается точка А.

Возможности контроля параметров трасс соединений успешно реализуются на БМК и не могут в принципе быть реализованы на ПЛИС.

Для выполнения внутрисхемных межсоединений ПЛИС использует матрицу проводников, не обеспечивающую требуемые параметры межсоединений, поскольку взаимное расположение логических элементов в топологии кристалла не контролируется жестко.

БМК допускает интерактивное проектирование топологии кристалла с целью упорядочения взаимного расположения связанных логических элементов на этапе топологического проектирования. Это позволяет при необходимости корректировать длины критичных трасс межсоединений в соответствии с необходимым критерием.

Таким образом, использование БМК (в отличие от ПЛИС) в качестве базиса для проектирования и изготовления ССС-схем гарантирует соблюдение всех ограничений, связанных с особенностями проектирования ССС-схем, и перспективно в плане дальнейшего развития БМК, оптимизированной для проектирования и изготовления ССС-схем. Поэтому даже на уровне разрабатываемого макетного образца традиционная технология разработки аппаратуры с применением ПЛИС при ее самосинхронном исполнении неприемлема.

Как справедливо указано в [1], все современные коммерческие FPGA разработаны для реализации синхронных систем. Однако потенциальные преимущества самосинхронного стиля проектирования заставляют привносить в программируемые микросхемы локальные элементы самосинхронности, позволяя, по мнению автора, проектировать самосинхронные схемы. На рис. 5 (рис. 4 из [1]) приведен пример реализации конвейера в базисе FPGA.

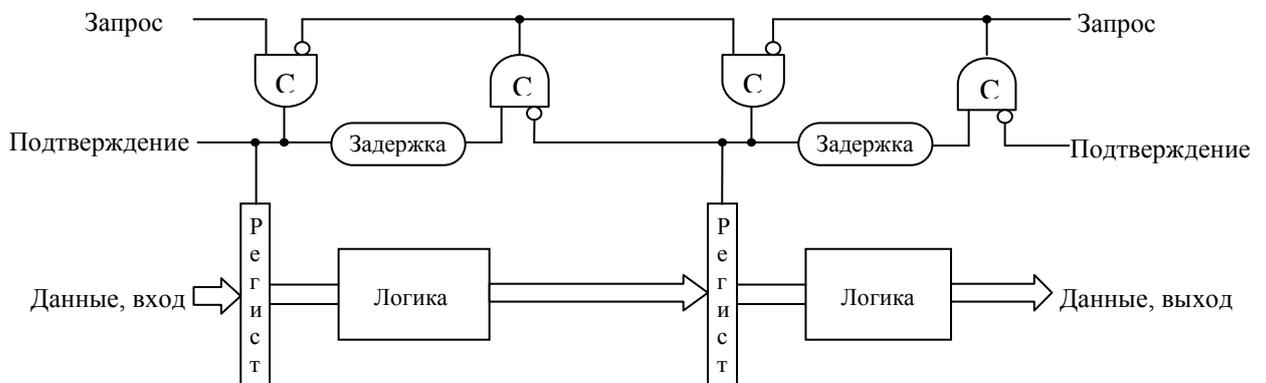


Рис. 5. Реализация четырехфазного конвейера с двумя стадиями в базисе FPGA

Из рисунка видно, что между соседними ступенями конвейера организовано запрос-ответное взаимодействие на базе С-элемента (функционально эквивалентен G-триггеру, но требует для своей реализации меньше транзисторов за счет использования так называемых "слабых" транзисторов [21]). Однако сигнал подтверждения (окончание записи информации в текущую ступень конвейера из предыдущей ступени) формируется как результат отработки элемента задержки, а не как результат действительного завершения процессов в текущей ступени. Таким образом, здесь имеет место классический асинхронный стиль проектирования: одновременно с инициацией некоторого процесса обработки информации запускается элемент задержки. Длительность задержки выбирается по длительности выполнения иницированного процесса; срабатывание элемента задержки приравнивается к завершению процесса. При таком

подходе удастся существенно упростить глобальные проблемы синхронизации всего устройства, реализованного на FPGA, путем перевода их в локальные области.

Однако при этом теряется основное преимущество самосинхронных схем – независимость их поведения от задержек элементов, и, как следствие, пропадает возможность бестестовой самодиагностики и локализации неисправностей. Поэтому устройства, базирующиеся на этом подходе, не удовлетворяют требованиям критических областей применения.

Следует упомянуть еще об одном факторе общего порядка безотносительно к специфике самосинхронной схемотехники. Одним из требований к реализации аппаратуры специального назначения является ее ориентация на отечественную элементную базу. Как уже упоминалось, отечественная промышленность сегодня не может предложить ПЛИС высокой степени интеграции. Сектор же полузаказных микросхем на основе БМК развивается достаточно интенсивно. Именно эти изделия удовлетворяют потребности многих разработчиков радиоэлектронной аппаратуры и широко применяются в системах и комплексах специального и военного назначения.

4. Соответствие характеристик БМК требованиям со стороны гарантоспособных изделий ВТ

Полузаказные БИС имеют свою достаточно обширную нишу на рынке электронных компонентов и востребованы, прежде всего, в наиболее ответственной и важной области – при разработке аппаратуры специального назначения.

Преимущества БМК, отвечающие требованиям этой области применения [22]:

- БМК имеют значительно более высокую надёжность в сравнении с ПЛИС и микропроцессорами в условиях воздействия спецфакторов;
- применение БИС на основе БМК гарантирует значительное сокращение сроков разработки аппаратуры и снижение трудоемкости проектных работ;
- в ряде случаев БМК позволяют реализовать как цифровые, так и аналоговые схемы;
- БМК имеют малую мощность потребления, обеспечивают возможность построения аппаратуры с малыми весовыми и габаритными характеристиками;
- квалификационные испытания, проведённые при освоении производства БМК, распространяются на все микросхемы, изготовленные на основе этого БМК.

Соответствие конструктивных, технологических и схемотехнических аспектов БМК требованиям самосинхронного исполнения аппаратуры рассмотрено в [14].

Отечественный рынок БМК остаётся практически незаполненным элементной базой специального назначения. В табл. 2 представлен перечень возможных кандидатов БМК для реализации ССС-ВУ на их базе.

Из анализа материалов табл. 2 видно, что требованию разработки однокристалльного самосинхронного ВУ с числом используемых вентилях не менее 50000 тыс. в соответствии с ОСТ В 11 0998 (приемка “5”) отвечают только две серии БМК: 1592 ХМ (АО “Ангстрем”) и 5508/5509 (ГУ НПК “Технологический центр” МИЭТ). В качестве базы для разработки самосинхронного варианта БМК были выбраны БМК серий 5503/5508/5509 с учетом лучшей совокупности их параметров (см. табл. 3).

Немаловажное значение имела и заинтересованность руководства ГУ НПК “Технологический центр” МИЭТ во введении в состав библиотечных элементов БМК нового класса – ССС-элементов, которые при реализации ССС-схем обеспечивают минимизацию аппаратных затрат (при максимально возможном быстродействии).

Таблица 2

Параметры отечественных БМК

Тип БМК	Характеристики серии	N вентиляей		Число контактов			I _{OZ} (ста- тика) max	Раз- мер, мм	Тип корпуса керамический	Стоимость		Потребле- ние на вентиль	Тип при- емки
		исполь- зуемых	общ.	min V _{DD}	min V _{SS}	max сигн.				проекта и партии (V партии), тыс. руб.	одной ИС/ при 200 шт., руб.		
Титул 22 (1578) НИИЭТ	- 2-мкм КМОП, 2 уровня металла - тз 2И-НЕ (н.у., 5В, 2 нагр.) 2 нс - F пер. T в счет. реж. – до 130 МГц - V биб-ки: 70 эл., - 182 буферов в/в	8800	22000	8	12	156	10 мкА	8,7х 8,7	CHIP CARRIE- RS (CC) 64- 84; QFP:68-208 PGA: 68-208			15 мкВт/ вент./МГц	
Титул 30 (1578)	- ТТЛ/КМОП совместимость	12000	30000	8	12	182	10 мкА	10,2х 10,2	CC: 64 –84 QFP: 68-208 PGA: 68-208				
1592ХМ1	- 1,2 мкм КМОП-процесс - t з. Элемента ядра: 1,2 нс/вентиль	35000 ⁴⁾	100000 ²⁾	32		100	10 мА	10,7х 10,7		350 (30)	1135 (65% корп)	T- триггер 9 вентиляей	5
1592ХМ2	- рабочая частота до 50 МГц	21000 ⁴⁾	60000						4229.132-3	300 (30)	950	потребляет 33,5 мкВт/ МГц = 3,72 мкВт/вент/ МГц	
1592ХМ3	- море вентиляей- 2 уровня металла	10500 ⁴⁾	30000 ³⁾						H18.64-1B	200 (35)	400-450		
1592ХМ4	- V биб-ки: 170 эл. - 60 буферов в/в (все АО Ангстрем)	3500 ⁴⁾	10000 ²⁾						H18.64-1B (\$8,2)	200 (35)	300-345 (82% корп)		
	- выходной буфер до 10 мА - рабочая температура: -60 .. +85 С - напряжение питания: 4,5 ... 5,5 В	216 145-тр-х ячеек для в/в всех 1592											
5507 ⁵⁾ (НПК ТЦ)	- Диапазон Uпит: от 1В до 5,5 В (изготовлена опытная партия)	≥10000	15000									0,5 мкВт (5503)	5
5508 ⁵⁾ (НПК ТЦ)	- радиационно-стойкая до 100 МГц - море вентиляей, два металла - освоение в производстве 2004 ¹⁾	≥25000	50000										5
5509 ⁵⁾ (НПК ТЦ)	- кремний на изоляторе до 100 МГц - освоение в производстве 2005	≥25000	50000										5
K1574ХМ 11 Интеграл	- 1,2 и 2 мкм КМОП, до 50 МГц - море транзисторов, 2 ур. металла - 1,0 нс/вентиль;- от -60 до +125 С	15000 – 20000					5 мА		QFP 4403.Ю100/ А)				

¹⁾ Получены экспериментальные образцы, которые проходят предварительные испытания

²⁾ Восемь зашивок (применений)

³⁾ Одна зашивка (кроме тестовой)

⁴⁾ При автоматическом размещении нерегулярных структур (35%).

При размещении ОЗУ, ПЗУ, регистров и умножителей коэффициент использования может быть увеличен до 50%

⁵⁾ Объем библиотеки > 350 элементов.

Таблица 3

Параметры альтернативных серий БМК для реализации ССС-ВУ

Параметр	Серия 1592XM	Серия 5508
Количество ячеек (общее), шт.	100 000	50 000
Количество используемых ячеек при реализации нерегулярных структур, шт.	$\leq 35\ 000$	$\geq 25\ 000$
Процент использования ячеек при реализации нерегулярных структур	≤ 28	≥ 50
Число библиотечных логических элементов, шт.	170	210
Число библиотечных периферийных элементов, шт.	60	140
Тактовая частота, МГц	50	100
Совместимость библиотеки в рамках серии (серий): – типы совместимых БМК – диапазон ячеек совместимых БМК	Да 1592XM1/2/3/4 10000-100000	Да 5503XM1-10/ 5507/5508XM1-5 500-50000
Возможность реализации индикатора для двух инфазных сигналов	Нет	Нет
Возможность реализации индикатора для двух бифазных сигналов	Да	Да
Возможность реализации базовых ССС-элементов	Нет	Да
Возможность реализации технологии БМК-ПЛИС-БМК	Нет	Да

5. Анализ элементов библиотеки БМК 5503

Анализ существующих элементов библиотеки БМК 5503 показал, что не все базовые и библиотечные элементы могут быть использованы при построении ССС-схем. Основными причинами отказа от большинства элементов библиотеки являются многокаскадность их *функциональной* части и наличие высокого импеданса. Любой элемент любой функциональной сложности, удовлетворяющий требованию однокаскадности, может быть использован в ССС-схемах. В ряде случаев (см. ниже) могут быть использованы и многокаскадные элементы.

Однокаскадные элементы. Из 350 библиотечных элементов БМК 5503 требованию однокаскадности удовлетворяют только 14 элементов:

A21OI, A22OI, A31OI;
INV, INV2, INV3, INV4;
NAN2, NAN3;
NOR2, NOR3;
O21AI, O22AI, O31AI

Многокаскадные элементы. К выходу однокаскадного элемента может быть подключено любое число последовательно/параллельно включенных элементов НЕ (см. рис. 6). Поэтому требованиям к ССС-базовым элементам удовлетворяют и следующие 12 элементов:

AND2, AND3;
A21O, A22O, A31O;
O21A, O22A, O31A;
OR2, OR3;
RS, RSB.

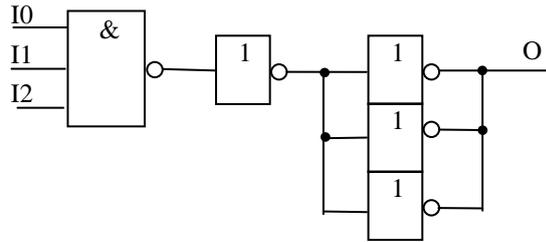


Рис. 6. Пример многокаскадного элемента, удовлетворяющего требованиям ССС-схемотехники

Число используемых библиотечных элементов БМК 5503 в самосинхронной схемотехнике может быть увеличено (и приведенный список расширен) при незначительной модификации их электрических схем. Например, к числу необходимых базовых элементов, используемых в ССС-схемах, относится триггер-защелка RS-типа с синхронизацией управления (см. рис. 7), каждый из выходов которого относится к однокаскадным элементам. Этот элемент в функциональном плане близок к элементам R0RE10 и R1RE10, отличаясь от них в схемотехническом плане. Такой элемент может быть легко введен в состав библиотеки БМК (за счет небольшой модификации имеющихся элементов).

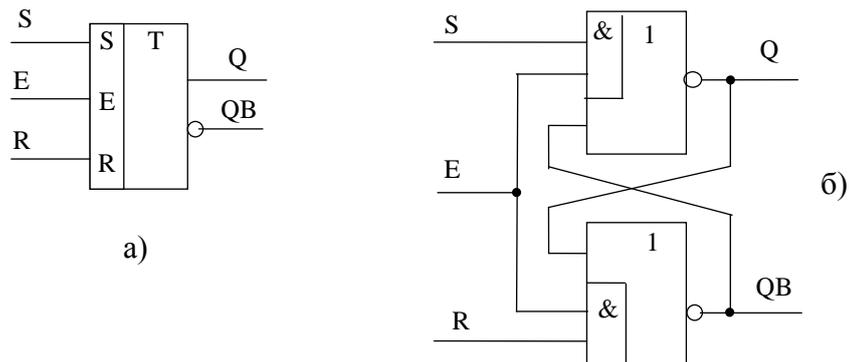


Рис. 7. Триггер-защелка RS-типа с синхронизацией управления:
а) графическое обозначение библиотечного элемента БМК;
б) реализация для ССС-схем.

Число используемых элементов библиотеки в самосинхронной реализации может быть увеличено, если, например, внутренние точки двухкаскадных элементов (выходы элементов первого каскада) будут доступны для анализа завершения в них переходных процессов.

Пример 1. Элемент библиотеки 5503 AND3B1 (3И с инверсным входом) может быть использован в самосинхронных реализациях, если выход внутреннего элемента НЕ, инвертирующий вход I2, будет доступен для анализа завершения в нем переходных процессов (см. рис. 8б). Модифицированный элемент AND3B1М будет востребован при реализации как самосинхронных, так и синхронных устройств.

Пример 2 Элемент библиотеки 5503 A31O1 может быть использован в самосинхронных реализациях, если выход внутреннего элемента НЕ будет доступен для анализа завершения в нем переходных процессов (см. рис. 9,б).

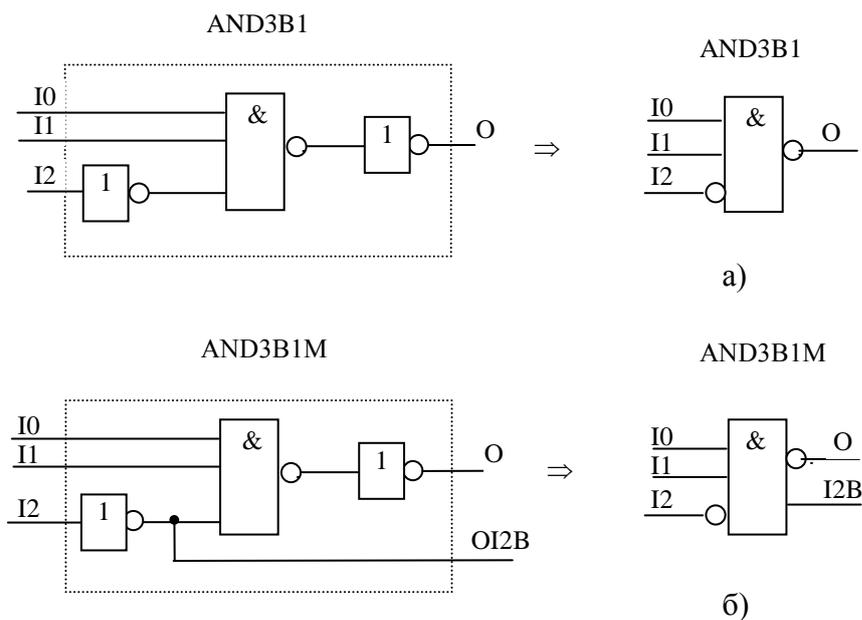


Рис. 8. Трехвходовой элемент И с двумя прямыми и одним инверсным входами:
а) исходный; б) модифицированный

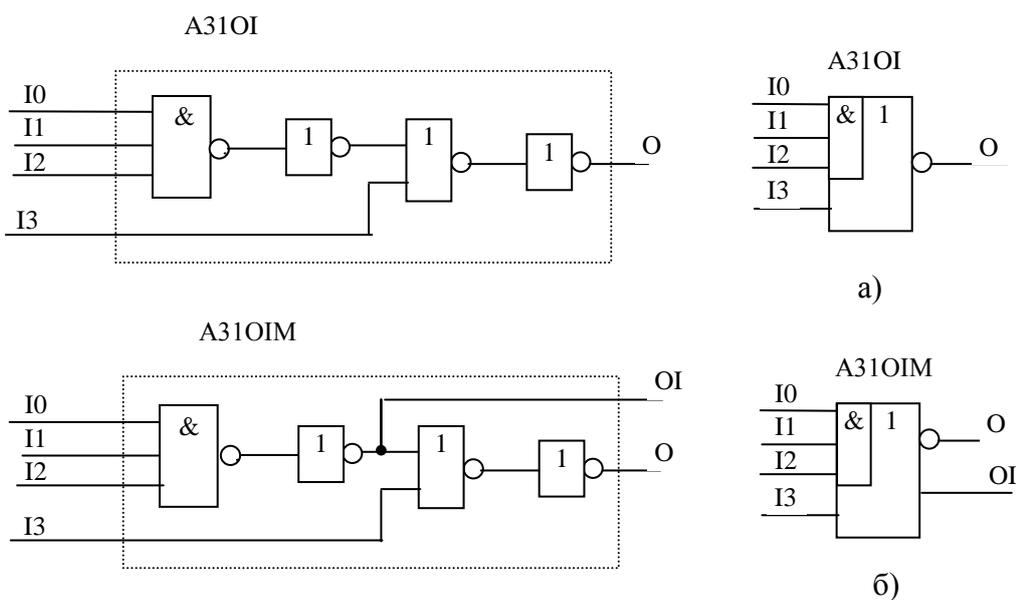


Рис. 9. Четырехвходовой элемент 3И-2ИЛИ-НЕ с четырьмя прямыми входами:
а) исходный; б) модифицированный

Модернизация элементов библиотеки 5503 может увеличить число логических элементов, удовлетворяющих требованию ССС-схемотехники, с 11 до 17 %. Однако разработка ССС-схем, приемлемых по быстродействию и аппаратным затратам, невозможна без введения в состав библиотеки БМК 5503 девяти G-триггеров, первоочередных базовых элементов (4 % от числа имеющихся), которые будут рассмотрены ниже.

6. Библиотека самосинхронных элементов БМК

Введение в состав библиотеки элемента G12 – G-триггера для двух инфазных сигналов, рассмотренного в разделе 3, наряду с имеющимися в составе библиотеки двумя элементами 2И-2И-2ИЛИ (A22O) и 2ИЛИ-2ИЛИ-2И (O22O) открывает теоретическую возможность построения индикаторной части ССС-схемы для всех типов и любого числа индицируемых сигналов с использованием принципа каскадирования.

На рис. 10а приведены два младших (R0 и R1) разряда регистра, построенного на базе одноканальных RS-триггеров, информационные входы которых – парафазные сигналы с нулевым спейсером (при хранении информации $R_i = S_i = 0$). На выходе элемента 2И-2И-2ИЛИ-НЕ, выполняющего роль индикатора для двух бифазных сигналов (S_iQ_i и R_iQ_i), формируется инфазный сигнал, который может быть объединен с другим инфазным сигналом при помощи элемента G12.

Однако, если информационные сигналы R_iS_i – бифазные (имеют не три, а два устойчивых состояния), необходим сигнал разрешения (E) для их преобразования в парафазные сигналы с нулевым спейсером и правильная последовательность сигналов установки и сброса (см. рис. 10б).

На рис. 10в приведен пример индикации установки и сброса двух парафазных сигналов с нулевым спейсером с использованием элементов 2ИЛИ-НЕ и G-триггера G12.

Отметим, что разработка элементов БМК 5503 базируется на использовании не более *трех* последовательно включенных транзисторов в цепи перезаряда выходной емкости. Именно это обеспечивает оптимум в синхронных схемах – достижение максимума возможного быстродействия при минимуме числа используемых транзисторов. Как уже отмечалось выше, для ССС-схем чем больше глубина (число каскадов) функциональной части схемы, тем больше число точек, которые необходимо индицировать, и, следовательно, больше индикаторная часть ССС-схемы и ниже быстродействие всей схемы. Экспериментальным путем установлено, что для ССС-схем оптимум достигается при использовании не более *четырёх* последовательных транзисторов; при этом обеспечивается необходимая помехоустойчивость КМОП-схем. В разработке ССС-элементов необходимо учитывать это положение.

Табл. 4 показывает, что введение в состав библиотеки только одного элемента G12 решает принципиальную проблему индицируемости разного числа и типов сигналов, но не очень рационально. Число требуемых транзисторов можно было бы существенно уменьшить, а быстродействие увеличить, если ввести еще восемь типов G-триггеров. Оценка быстродействия вычисляется по формуле

$$t = \sum_{i=1}^n R_i C_i ,$$

где R_i – сопротивление открытого транзистора (путь перезаряда выходной емкости C_i в однокаскадном элементе), Ом; n – число однокаскадных элементов для формирования выходного индикаторного сигнала. Например, для элемента G12 $t = 2RC + RC = 3RC = 3\tau$.

Таблица 4

Варианты реализации индикаторов

Число и тип индицируемых сигналов	Элементы 5503 и G02		Элементы 5503, G02 и Gi	
	Число транзист.	Задержка t	Число транзист.	Задержка t
2 I	12	3τ	12	3τ
3 I	24	6τ	12	4τ
4 I	36	9τ	20	5τ
2 P	20	5τ	18	4τ
1 P+2 I	28	6τ	18	5τ

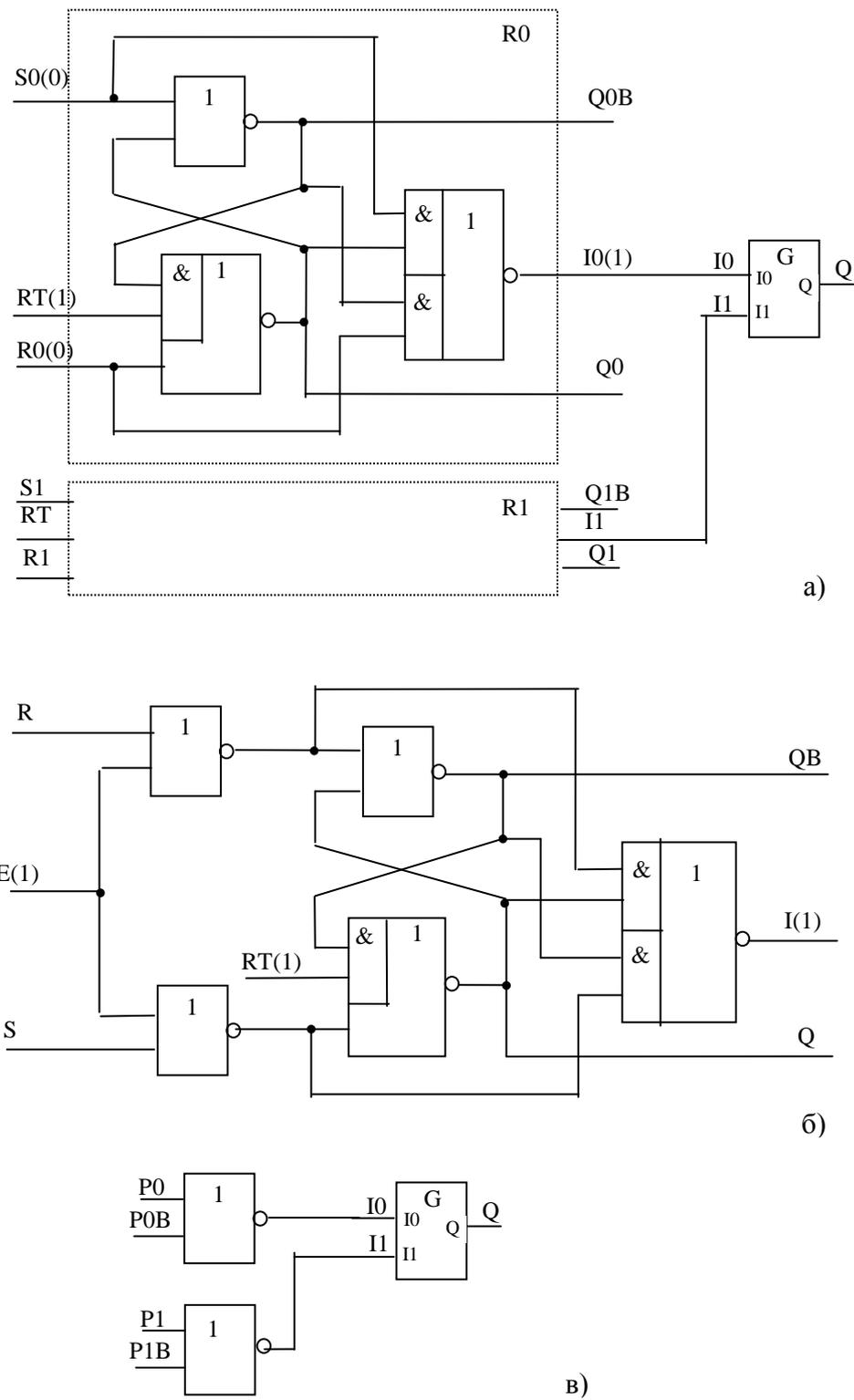
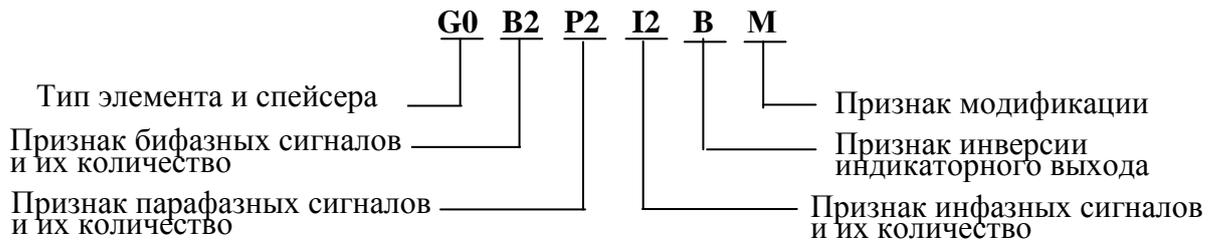


Рис. 10. Варианты использования G-триггера GI2 для индикации других типов сигналов:
 а) объединение выходов, индицирующих окончание переходных процессов в бистабильной ячейке (входные сигналы – парафазные с нулевым спейсером);
 б) бистабильная ячейка с предварительным преобразованием бифазных информационных сигналов в парафазные с нулевым спейсером;
 в) вариант индикации двух парафазных сигналов с нулевым спейсером.

6.1. Гистерезисные триггеры

Гистерезисные триггеры (G-триггеры) – элементы, обеспечивающие индикацию окончания перехода из рабочей фазы в промежуточную (спейсер) и обратно, как в функциональной части ССС-схемы, так и в собственно индикаторе. Спейсеры могут принимать значения 0 и 1. Как уже отмечалось, необходима реализация G-триггеров в базисе И-ИЛИ-НЕ.

Имя индикатора включает в себя тип элемента, тип спейсера, тип индицируемых сигналов и их количество, признак инверсии индикаторного выхода, признак модификации:



Примечание. Элементы с единичными парафазными и инфазными входами обозначаются просто как P и I, соответственно.

Следует отметить, что ограничение на длину имени библиотечного элемента (не больше шести символов), принятое в библиотеке 5503, приносит определенные трудности и иногда нарушает порядок символов в названии элемента.

Обозначения спейсера:

- 0 – нулевой спейсер;
- 1 – единичный спейсер.

Тип индицируемых сигналов:

- I – индикаторные инфазные (непарные);
- P – парафазные (парные) со спейсером (три логических состояния);
- B – бифазные (парные) без спейсера (два логических состояния).

Признак инверсии указывает инверсию индикаторного сигнала. Признаком модификации может быть буква M или цифра. Эти признаки могут отсутствовать.

В табл. 5 приведены 17 типов G-триггеров, из которых 10 являются универсальными элементами широкого применения, а 7 (в названиях которых есть сигналы типа “B”) – специализированные элементы, входящие в состав ССС-макроэлементов. Пример функционирования специализированного G-триггера будет рассмотрен в разделе 5.5.

Работу G-триггера для двух инфазных и одного парафазного входа и нулевого спейсера G0PI2 иллюстрируют рис. 11 и табл. 6.

6.2. Логические элементы, выполняющие простую функцию

Имя логического элемента, выполняющего простую функцию, соответствует требованиям [23] и включает в себя название функции, общее количество входов, признак инверсии выхода и номер модификации. В табл. 7 приведен состав таких элементов.

6.3. Логические элементы, выполняющие сложную функцию

В данном разделе объединены комбинационные ССС-элементы, каждый из которых выполняет сложную функцию. В рамках библиотеки 5503 БМК они входят в разные классы (см. табл. 8); однако в силу их малочисленности представлены здесь одним классом. Имя каждого элемента выбрано, исходя из требований конкретного класса [23] или сконструировано по аналогичным правилам.

Таблица 5

G-триггеры

Имя	Функция	Тип
G0B32I	G-триггер с нулевым спейсером, тремя бифазными и двумя инфазными сигналами. Первичное использование – в составе макроэлемента S0RTE1	БЭ_МЭ
G0B3I	G-триггер с нулевым спейсером, тремя бифазными и одним инфазным сигналами. Первичное использование – в составе макроэлемента S0RRE0	БЭ_МЭ
G0B3I2	G-триггер с нулевым спейсером, тремя бифазными и двумя инфазными сигналами. Первичное использование – в составе макроэлемента D0RE20	БЭ_МЭ
G0B3IB	G-триггер с нулевым спейсером, тремя бифазными и одним инфазным сигналами, инверсным бифазным выходом. Первичное использование – в составе макроэлемента S0RRE1	БЭ_МЭ
G0P2	G-триггер с нулевым спейсером и двумя парафазными входами	БЭ
G0PI	G-триггер с нулевым спейсером, одним инфазным и одним парафазным входами	БЭ
G0PI2	G-триггер с нулевым спейсером, двумя инфазными и одним парафазным входами	БЭ
G1B32I	G-триггер с единичным спейсером, тремя бифазными и двумя инфазными сигналами. Первичное использование – в составе макроэлемента S1RTE1	БЭ_МЭ
G1B3I	G-триггер с единичным спейсером, тремя бифазными и одним инфазным сигналами. Первичное использование – в составе макроэлемента S1RRE0	БЭ_МЭ
G1B3I2	G-триггер с единичным спейсером, тремя бифазными и двумя инфазными сигналами. Первичное использование – в составе макроэлемента D1RE20	БЭ_МЭ
G1B3IB	G-триггер с единичным спейсером, тремя бифазными и одним инфазным сигналами, инверсным бифазным выходом. Первичное использование – в составе макроэлемента S1RRE1	БЭ_МЭ
G1P2	G-триггер с единичным спейсером и двумя парафазными входами	БЭ
G1PI	G-триггер с единичным спейсером, одним инфазным и одним парафазным входами	БЭ
G1PI2	G-триггер с единичным спейсером, двумя инфазными и одним парафазным входами	БЭ
GI2	G-триггер с двумя инфазными сигналами	БЭ
GI3	G-триггер с тремя инфазными сигналами	БЭ
GI3M	G-триггер с тремя инфазными сигналами, мостовая схема	БЭ
GI4	G-триггер с четырьмя инфазными сигналами	БЭ

Примечание: БЭ – библиотечный элемент; БЭ_МЭ – библиотечный элемент для макроэлемента.

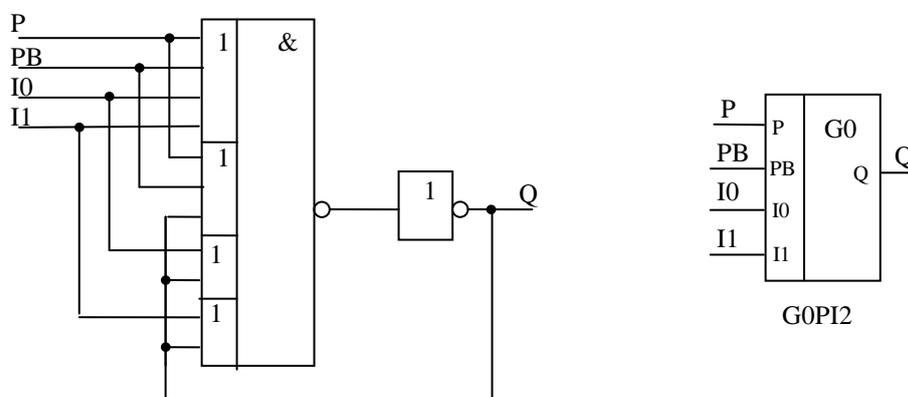


Рис. 11. Функциональная схема и УГО элемента G0PI2

Таблица истинности элемента G0PI2

Входы				Выход
P	P-	И0	И1	Q
0	0	0	0	0
0	1	1	1	1
1	0	1	1	1
Остальные сочетания входных сигналов, кроме недопустимого состояния P=PB=1.				Хранение

Таблица 7
Логические элементы (базовые), выполняющие простую функцию

Имя	Функция
A221OI	2И-2И-И-3ИЛИ-НЕ
A222I	2И-2И-2И-2И-4ИЛИ-НЕ
A222OI	2И-2И-2И-3ИЛИ-НЕ
A31OI	3И-И-2ИЛИ-НЕ
A32OI	3И-2И-2ИЛИ-НЕ
A33OI	3И-3И-2ИЛИ-НЕ
A333OI	3И-3И-3И-3ИЛИ-НЕ
A41OI	4И-И-2ИЛИ-НЕ
A42OI	4И-2И-2ИЛИ-НЕ
A43OI	4И-3И-2ИЛИ-НЕ
A44OI	4И-4И-2ИЛИ-НЕ
NAN4	4И-НЕ
NOR4	4ИЛИ-НЕ
O2222I	2ИЛИ-2ИЛИ-2ИЛИ-2ИЛИ-4И-НЕ
O222AI	2ИЛИ-2ИЛИ-2ИЛИ-4И-НЕ

Таблица 8
Логические элементы, выполняющие сложную функцию

Имя	Функция	Тип
CMPP	Одноразрядный компаратор на «равно» для парафазных сигналов с парафазным выходом	БЭ
AOAOI5	Элемент формирования ускоренного переноса (базовый вариант)	БЭ
AOAOI6	Элемент формирования ускоренного переноса (модифицированный вариант)	БЭ
MAJ	Мажоритарный элемент для трех унарных входов с унарным выходом	БЭ
MAJP	Мажоритарный элемент для трех парафазных входов с парафазным выходом	БЭ
OAOA1	Однокаскадный логический элемент И-ИЛИ-И-ИЛИ, выполняющий функцию индикатора. Первичное использование — в составе макроэлемента R0CE20	БЭ_МЭ
AD1P1	Неполный одноразрядный сумматор для парафазных входов с унарным выходом	БЭ
AD1P2	Неполный одноразрядный сумматор для парафазных входов с унарным выходом (быстродействующая модификация)	БЭ
AD1P3	Неполный одноразрядный сумматор для парафазных входов с парафазным выходом	БЭ

В качестве примера рассмотрим функционирование одноразрядного ССС-

сумматора (см. рис. 12), который включает в себя: а) элемент, формирующий один выходной парафазный сигнал суммы S_0, S_1 для трех парафазных входных сигналов (AD1P3); б) элемент, формирующий выходной парафазный сигнал переноса O_0, O_1 для трех парафазных входных сигналов (MAJP); в) индикаторный элемент.

$$S_0 = \overline{AB \cdot BB \cdot CB + AB \cdot B \cdot C + A \cdot BB \cdot C + A \cdot B \cdot CB}$$

$$S_1 = \overline{A \cdot B \cdot C + AB \cdot BB \cdot C + AB \cdot B \cdot CB + A \cdot BB \cdot CB}$$

$$O_0 = \overline{AB \cdot BB + AB \cdot CB + BB \cdot CB}$$

$$O_1 = \overline{A \cdot B + A \cdot C + B \cdot C}$$

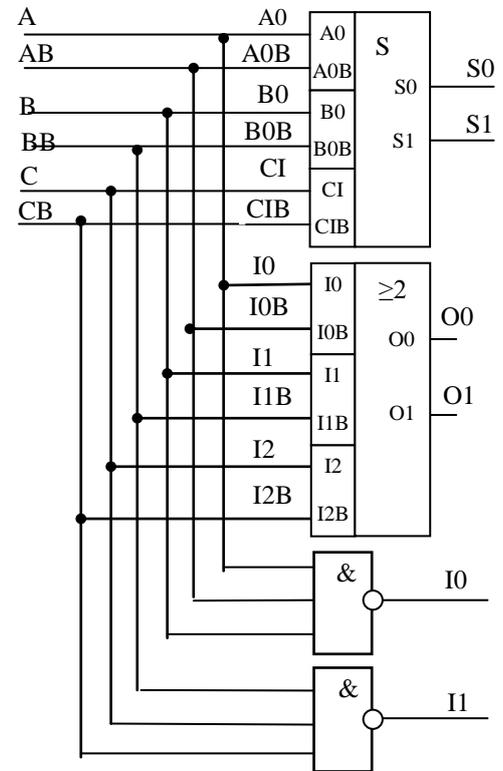


Рис. 12. Одноразрядный ССС-сумматор с единичным входным спейсером

Каждый из элементов AD1P3 и MAJP реализуется 20 транзисторами и формирует соответствующий сигнал только в том случае, если все входные сигналы находятся в рабочей фазе, т.е. имеет место совмещение и функциональных, и индикаторных процессов. Если требуется индицирование перехода входных сигналов в фазу гашения (спейсер), то используются два элемента ЗИ-НЕ (для единичного спейсера) или два элемента ЗИЛИ-НЕ (для нулевого спейсера).

6.4. Триггеры по уровню

В этом классе представлены различные типы двухтактных триггеров с типом синхронизации по уровню, предназначенные для использования в составе сдвиговых регистров (см. табл. 9). Эти триггеры – полуфабрикаты, части макроэлементов (БЭ_МЭ), которые должны быть дополнены соответствующим индикатором окончания в них переходных процессов для получения статуса ССС-элемента. Пример функционирования одного такого элемента см. в разделе 5.5.

Имя триггера включает в себя тип синхронизации элемента, тип спейсера, тип триггера, признаки управляющих сигналов, признак разрешения записи, число каскадов в триггере или номер модификации:



Таблица 9

Триггеры по уровню

Имя	Функция
L0DRE2	Двухтактный D-триггер с нулевым спейсером, синхронным сбросом и сигналом разрешения. Первичное использование – в составе макроэлемента D0RE20
L0RCE2	Двухтактный RS-триггер с нулевым спейсером, самосинхронным сбросом и сигналом разрешения. Первичное использование – в составе макроэлемента R0CE20
L0RRE2	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом и сигналом разрешения. Первичное использование – в составе макроэлементов S0RRE0 и S0RRE1
L0RTE2	Двухтактный RS-триггер с нулевым спейсером, самосинхронной параллельной предустановкой и сигналом разрешения. Первичное использование – в составе макроэлемента S0RTE0
L0RTE3	Двухтактный RS-триггер с нулевым спейсером, самосинхронной параллельной предустановкой и сигналом разрешения (вариант 2). Первичное использование – в составе макроэлемента S0RTE1.
L1DRE2	Двухтактный D-триггер с единичным спейсером, синхронным сбросом и сигналом разрешения. Первичное использование – в составе макроэлемента D1RE20
L1RCE2	Двухтактный RS-триггер с единичным спейсером, самосинхронным сбросом и сигналом разрешения. Первичное использование – в составе макроэлемента R1CE20
L1RRE2	Двухтактный RS-триггер с единичным спейсером, синхронным сбросом и сигналом разрешения. Первичное использование – в составе макроэлементов S1RRE0 и S1RRE1
L1RTE2	Двухтактный RS-триггер с единичным спейсером, самосинхронной параллельной предустановкой и сигналом разрешения. Первичное использование – в составе макроэлемента S1RTE0
L1RTE3	Двухтактный RS-триггер с единичным спейсером, самосинхронной параллельной предустановкой и сигналом разрешения (вариант 2). Первичное использование – в составе макроэлемента S1RTE1

Примечание: все триггеры относятся к типу БЭ_МЭ и должны быть дополнены индикатором окончания переходных процессов.

Тип синхронизации триггера в рамках ССС-библиотеки может принимать только одно значение: **L** – триггер по уровню (latch). В рамках синхронной библиотеки возможно значение: **F** – фронтной триггер (flip-flop).

Обозначения спейсера:

- 0 – нулевой;
- 1 – единичный.

Тип триггера:

- **D** – D-триггер;
- **R** – RS-триггер;
- **J** – триггер JK-типа;
- **T** – счетный триггер (T-типа).

В имени триггера могут использоваться следующие управляющие сигналы:

- **S** – синхронная установка (SET);

- **R** – синхронный сброс (RESET);
- **P** – самосинхронная установка (PRESET);
- **C** – самосинхронный сброс (CLEAR);
- **T** – самосинхронная предустановка (TIMESET).

Признак разрешения **E** (ENABLE) указывает на наличие входа разрешения записи информации в триггер (может отсутствовать).

Число ступеней (тактов):

- 1 – одна ступень;
- 2 – две ступени;
- ≥ 3 – номер модификации элементов с двумя ступенями.

6.5. Триггеры RS-типа и счетчик

В этом классе элементов представлены триггеры RS-типа (однотактные и двухтактные) и разряд последовательного самосинхронного счетного триггера с нулевым спейсером (см. табл. 10). Это полноценные ССС-элементы, которые удалось реализовать в виде базовых элементов. Имя элемента данного класса образовано по правилам предыдущего класса.

Таблица 10

Триггеры RS-типа и счетчик

Имя	Функция
C0CP	Разряд последовательного самосинхронного счетчика с нулевым спейсером
R0CE10	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом и сигналом разрешения
R0RE10	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом и сигналом разрешения
R0RE20	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом и сигналом разрешения
R1CE10	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом и сигналом разрешения
R1RE10	Однотактный RS-триггер с единичным спейсером, синхронным сбросом и сигналом разрешения
R1RE20	Двухтактный RS-триггер с единичным спейсером, синхронным сбросом и сигналом разрешения

Примечание: все триггеры относятся к типу БЭ.

На рис. 13 приведена схема трехразрядного счетчика на базе ССС-счетного триггера C0CP. Триггер обеспечивает возможность предварительной установки в счетчике любого требуемого кода; при этом возможны три варианта установки – синхронный, асинхронный и самосинхронный. В зависимости от требований конкретного применения реализуется один из видов предустановки.

На рис. 13 показан индикатор окончания переходных процессов в счетчике в режиме счета на базе элемента 4И-НЕ.

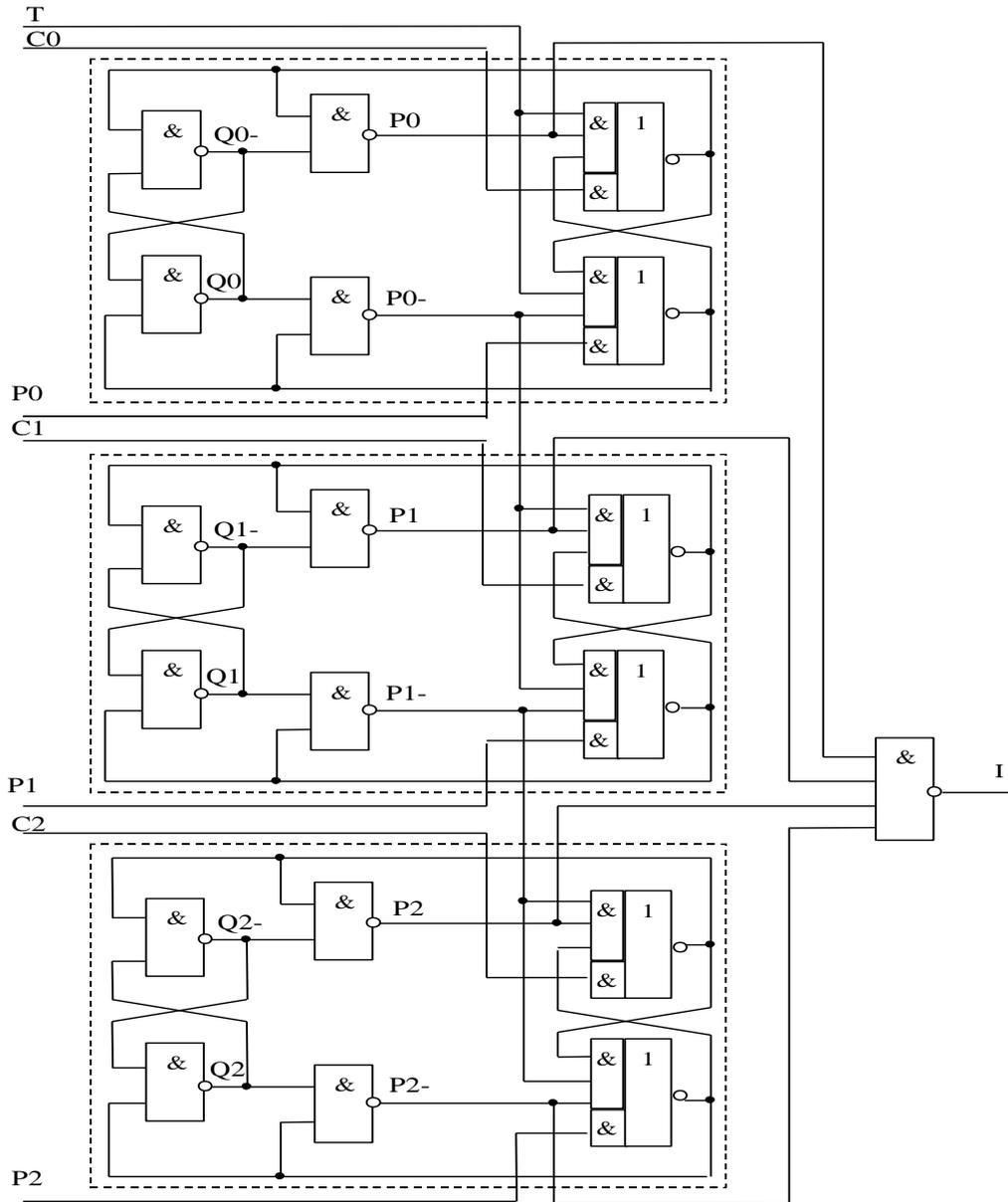


Рис. 13. Трехразрядный счетчик на базе счетного триггера С0СР

6.6. Периферийные элементы

Самосинхронная библиотека БМК позволяет реализовать самосинхронный тестовый кристалл, выполняющий в миниатюре функцию микроконтроллера PIC18CXXX (см. [24]). При этом стык ССС-тестового кристалла с внешним окружением: РС, контрольно-измерительным и контрольно-испытательным оборудованием и демонстрационной платой остается синхронным. Возникает необходимость организации моста между синхронным внешним окружением и самосинхронной внутрикристалльной аппаратурой. Эту роль должны выполнять два периферийных элемента на базе стандартной периферийной ячейки 5503 БМК (находятся в процессе разработки).

В качестве примера на рис. 14 приведена функциональная схема периферийной ячейки IDPS1 (вход цифровой с парафазным выходом и единичным спейсером), которая может быть применена в самосинхронных и квазисамосинхронных решениях.

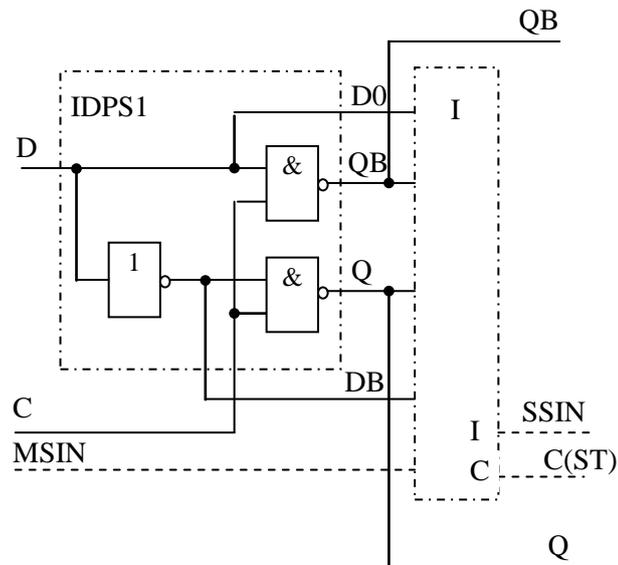


Рис. 14. Цифровой вход с парафазным выходом и единичным спейсером

Входы: D – инфазный информационный сигнал, C – управляющий сигнал.

Выходы: Q, QB – парафазный информационный сигнал.

В спейсере выходы $Q=QB=1$ при $C=0$. При переходе схемы из спейсера в рабочую фазу ($C=1$) только один из выходов меняет свое состояние с 1 на 0, что является признаком установки на выходе элемента достоверной информации (окончания переходного процесса).

Рассмотренный вариант реализации периферийной ячейки может найти применение как в синхронных вариантах организации интерфейса с внешней средой (в качестве синхронно-самосинхронного моста), так и для организации ССС-интерфейса. Во втором случае индикаторный элемент **I** организует с внешней средой запрос-ответное взаимодействие на основе действительного завершения переходных процессов в обменивающихся устройствах – задатчике (MSYN) и исполнителе (SSYN). Дополнительные элементы и связи показаны на рис. 14 пунктиром.

6.7. Макроэлементы

В этом классе собраны функционально сложные элементы, которые предполагалось использовать достаточно широко и невозможно было реализовать топологическими средствами как базовые элементы. Комбинация двух БЭ, используемая как единый элемент, образует макроэлемент, в котором ограниченное число внутренних связей реализуется на общем трассировочном пространстве кристалла БМК. Использование макроэлементов позволяет повысить эффективность проектирования на БМК.

Макроэлементы делятся на две группы. Первые четыре элемента составляют группу триггеров; их имена образуются по правилам, принятым для триггеров данных.

Во вторую группу входят разряды сдвиговых регистров. Имя сдвигового регистра содержит его обозначение, тип спейсера, тип триггера, признак управляющих сигналов, признак сигнала разрешения и номер модификации.



- **0** – нулевой;
 - **1** – единичный.
- Тип триггера:
- **R** – RS-триггер;
 - **D** – D-триггер.

В имени регистра сдвига указываются сигналы управления установкой и сбросом. В качестве управляющих могут использоваться следующие сигналы:

- **S** – синхронная установка (SET);
- **R** – синхронный сброс (RESET);
- **P** – самосинхронная установка (PRESET);
- **C** – самосинхронный сброс (CLEAR);
- **T** – самосинхронная предустановка (TIMESSET).

Признак сигнала разрешения **E** (ENABLE) указывает на наличие входа разрешения записи информации в триггер (может отсутствовать).

Модификациями считаются регистры сдвига, использующие различные индикаторные элементы.

Разработанные ССС-макроэлементы приведены в табл. 11. Все они содержат индикатор окончания переходных процессов.

Таблица 11

ССС-макроэлементы

Имя	Функция
D0RE20	Двухтактный D-триггер с нулевым спейсером, синхронным сбросом и сигналом разрешения
D1RE20	Двухтактный D-триггер с единичным спейсером, синхронным сбросом и сигналом разрешения
R0CE20	Двухтактный RS-триггер с нулевым спейсером, самосинхронным сбросом и сигналом разрешения
R1CE20	Двухтактный RS-триггер с единичным спейсером, самосинхронным сбросом и сигналом разрешения
S0RRE0	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, синхронным сбросом и сигналом разрешения
S0RRE1	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, синхронным сбросом, сигналом разрешения и инверсным индикаторным выходом
S0RTE0	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, самосинхронной параллельной предустановкой и сигналом разрешения
S0RTE1	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, самосинхронной параллельной предустановкой, сигналом разрешения и двухкаскадным индикатором окончания переходных процессов
S1RRE0	Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, синхронным сбросом и сигналом разрешения
S1RRE1	Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, синхронным сбросом, сигналом разрешения и инверсным индикаторным выходом
S1RTE0	Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, самосинхронной параллельной предустановкой и сигналом разрешения
S1RTE1	Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, самосинхронной параллельной предустановкой, сигналом разрешения и двухкаскадным индикатором окончания переходных процессов

Рассмотрим функционирование макроэлементов на примере разряда сдвигового регистра S1RTE1, построенного на базе двухтактного RS-триггера с единичным спейсером, тремя типами сброса (синхронным, асинхронным и самосинхронным), самосинхронной параллельной предустановкой и сигналом разрешения (см. рис. 15).

На рис. 16 представлены сигнальные маркированные графы переходов всех возможных режимов работы макроэлемента S1RTE1. Событийная форма представления работы ССС-схемы – более наглядная и исчерпывающая, чем традиционные временные диаграммы. Кроме того, такая форма хорошо приспособлена для сквозного проектирования ССС-схем: от спецификации и анализа до прямой трансляции в схему. Здесь в качестве событий выступают изменения значений сигналов в схеме.

Любая вершина графа может сработать (сформировать соответствующий сигнал) только при условии наличия маркеров на всех ее входных дугах. После срабатывания вершины маркеры со всех входных дуг изымаются и помещаются на все выходные дуги.

За исходное состояние макроэлемента S1RTE1 принято состояние хранения логического нуля ($Q=0$). Исходные состояния всех элементов макроэлемента показаны на рис. 15 в круглых скобках.

На рис. 16а показано функционирование S1RTE1 в режиме сдвига – запись логической единицы при следующих состояниях входов: $R=W=1$, $S=RT=ST=E=0$. Запись инициируется поступлением высокого уровня сигнала E и заканчивается формированием низкого уровня индикаторного сигнала Q0.

Рис. 16б и 16в демонстрируют разницу синхронного и асинхронного режимов установки макроэлемента S1RTE1. В первом случае после выдачи высокого уровня сигнала ST в окружении схемы запускается выдержка времени, достаточная для завершения всех переходных процессов в S1RTE1. Предполагается, что после этого макроэлемент S1RTE1 установлен в единицу, и запрос-ответного взаимодействия не происходит.

Во втором случае запуск задержки отрабатывается не окружением, а самим макроэлементом. Контроль завершения переходных процессов в макроэлементе здесь также не производится, но величина задержки в макроэлементе, как правило (для общего случая), существенно меньше, чем задержка в окружении, поэтому время установки макроэлемента в этом режиме меньше. Режим использует запрос-ответное взаимодействие внешней среды и макроэлемента.

Рис. 16г демонстрирует самосинхронный режим установки макроэлемента с действительным контролем окончания в нем переходных процессов. Этот же режим используется для предустановки сдвигового регистра – организации параллельной записи необходимой информации во все разряды сдвигового регистра.

6.8. Элементы И-ИЛИ-НЕ специального назначения

Этот класс элементов предназначен для коммутации отказавшего оборудования и организации саморемонта в отказоустойчивых применениях. Использование таких элементов рассматривается в [25] на примере отказоустойчивого самосинхронного последовательного порта.

В Приложении представлены условные графические обозначения всех самосинхронных элементов, входящих в состав библиотеки.

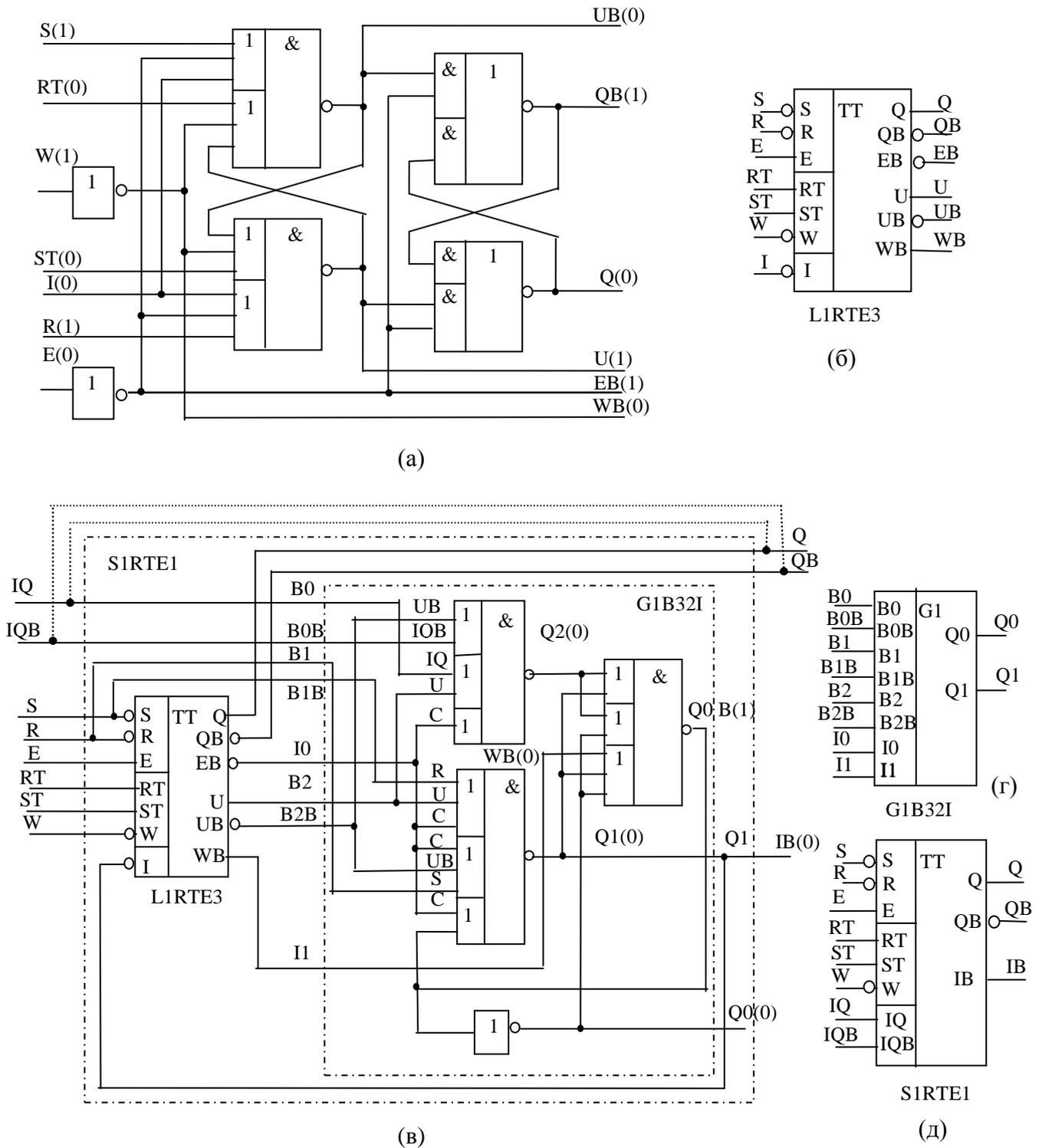


Рис. 15. Макроэлемент – разряд регистра S1RTE1:
 (а) и (б) - функциональная схема и УГО элемента L1RTE3;
 (в) - функциональная схема макроэлемента S1RTE1 с раскрытой схемой элемента G1B32I;
 (г) - УГО элемента G1B32I; (д) - УГО макроэлемента S1RTE1

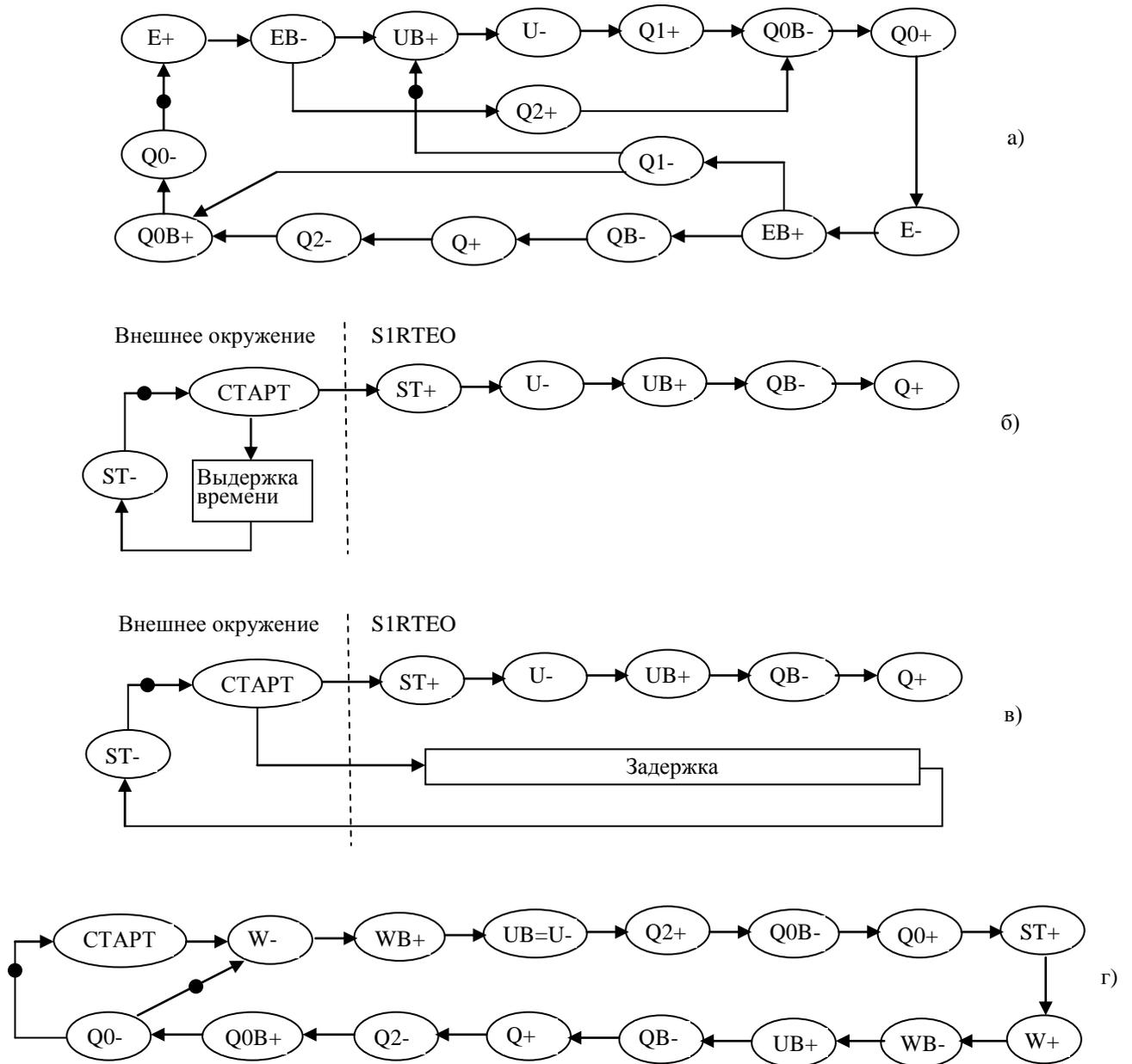


Рис. 16. Сигнальные маркированные графы переходов следующих режимов:
а) полный цикл записи логической 1 в S1RTEO (сдвиг);
б) синхронная установка;
в) асинхронная установка;
г) самосинхронная установка (самосинхронная предустановка)

7. Выводы

К настоящему времени создание теоретической базы построения ССС-схем, основанной на гипотезах о характере задержек в логических элементах и соединительных проводах, можно считать в основном завершённой. Однако методологические и схемотехнические вопросы проектирования в меньшей степени нашли отражение в литературе, что означает меньшую отработанность ССС-схемотехники. Любая новая схемотехническая база, в том числе и самосинхронная, должна пройти период становления. До тех пор, пока изделия на базе самосинхронной схемотехники на практике не докажут свою эффективность, трудно надеяться на ее сколько-нибудь широкое использование. Разработку самосинхронной библиотеки БМК следует рассматривать как первый серьезный практический шаг в этом направлении.

Результаты анализа отечественной элементной базы для самосинхронного исполнения ВУ, учитывающие требования со стороны критических областей применения, специфику самосинхронного проектирования и перспективы его развития, показали, что наиболее полно этим требованиям отвечают полузаказные базовые матричные кристаллы (БМК), в частности, совместимые серия БМК 5507 с пониженным напряжением питания и радиационно-стойкая серия 5508 (двухметальная БМК со структурой "море вентиляей" объемом до 50000 вентиляей и рабочей частотой до 100 МГц) с коэффициентами использования вентиляей при реализации нерегулярных структур не менее 50 %. После апробации ССС-библиотеки в рамках БМК 5503 и успешных результатов испытаний ССС-тестового кристалла библиотека может быть реализована в сериях БМК 5507 и 5508.

Для эффективной реализации самосинхронного тестового кристалла на БМК [22] разработан минимальный состав базовых, типовых и периферийных ССС-элементов (56 элементов) и выполнено их топологическое проектирование. Библиотечные элементы введены в состав САПР БМК "Ковчег 2.3". Кроме этого, в классе ССС-макроэлементов разработано 12 макроэлементов, представляющих собой устойчивые и часто используемые комбинации библиотечных элементов.

Таким образом, впервые в отечественной и зарубежной практике в рамках полузаказных ИС создана библиотека самосинхронных элементов, которая позволит разрабатывать устройства с работоспособностью, *действительно* не зависимой от быстродействия их элементов. Такая библиотека отвечает критерию построения строго самосинхронных схем, оптимальных для реализации на их основе высоконадежных отказоустойчивых средств ВТ.

Авторы приносят благодарность д.т.н. Ю.В. Савченко и к.т.н. Бажанову Е.В. за поддержку нашей работы и интерес к самосинхронной тематике и к.т.н. Л.П. Плеханову за обсуждение рукописи и за участие в формулировке первоначального состава ССС-библиотеки.

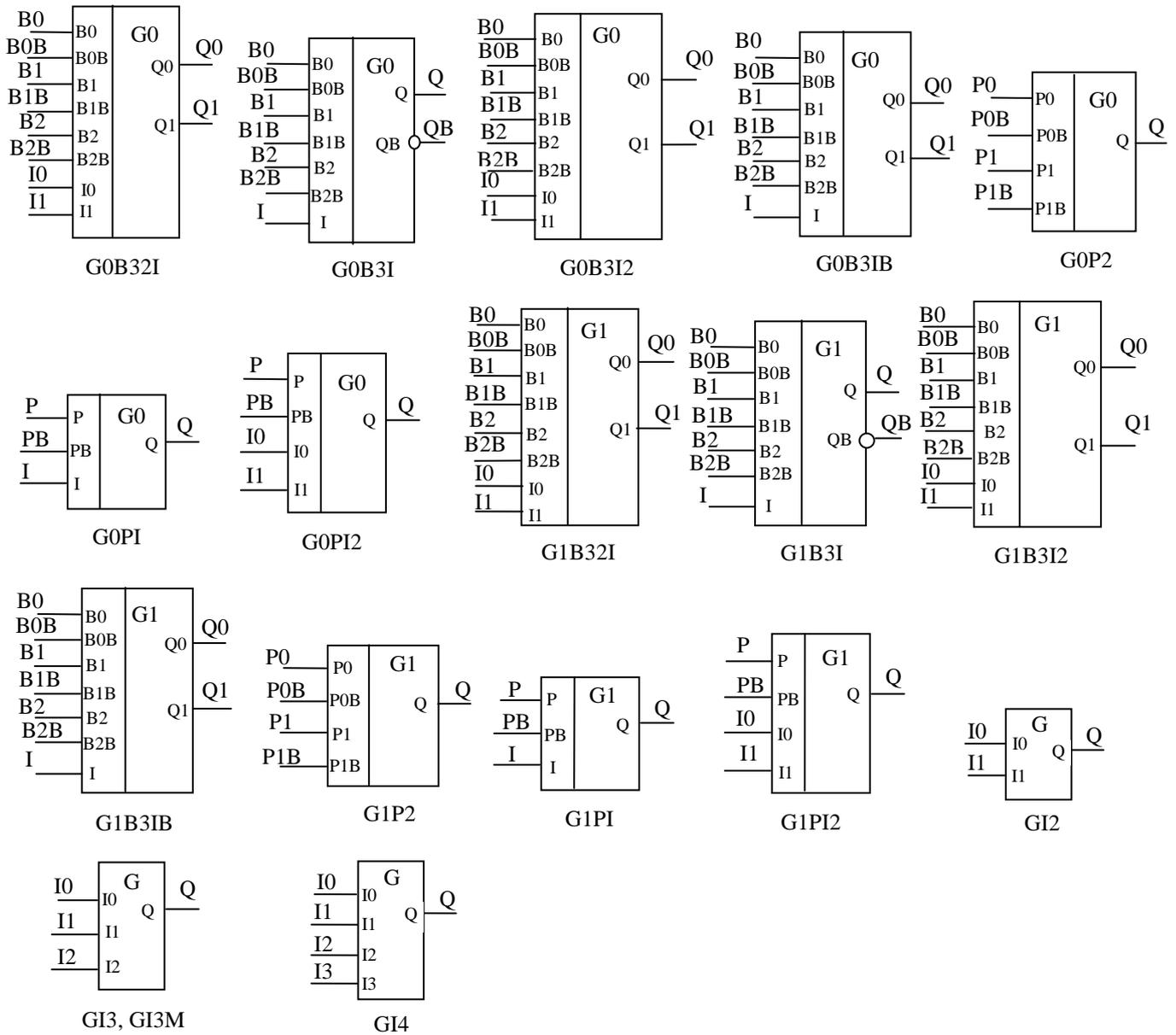
Список литературы

1. *Payne R.E.* Self-timed FPGA systems. // Fifth International workshop on Field Programmable Logic and Applications (W. Moore and W. Luk, eds.), V. 975 of *Lecture Notes in Computer Science*. – 1995. P. 21–35.
2. *Payne R.E.* Asynchronous FPGA architectures. // *IEEE Proceedings, Computers and Digital Techniques*. – Sept. 1996. – V. 143. – P. 282–286.
3. *Brunvand E.* Implementing self-timed systems with FPGAs. // *FPGAs* (W. R. Moore and W. Luk, eds.). Abingdon EE & CS Books. – 1991. – P. 312–323.
4. *Brunvand E.* A cell set for self-timed design using Actel FPGAs. // *Tech. Rep. UUCS-91-013*, Department of Computer Science, University of Utah. – Aug. 1991.
5. *Brunvand E.* Using FPGAs to implement self-timed systems. // *Journal of VLSI Signal Processing*. – June 1993. – V. 6. – P. 173–190.

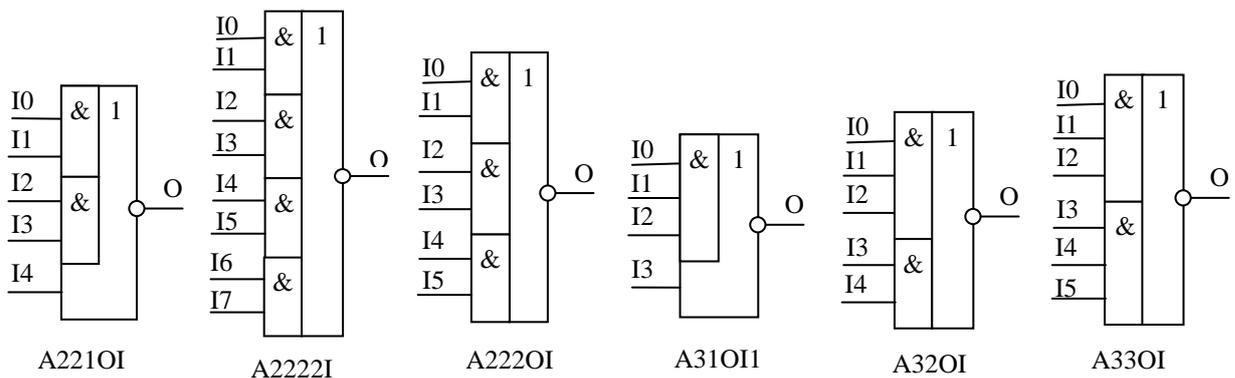
6. *Oldfield J., Kappler C.* Implementing self-timed systems: comparison of configurable arrays with full custom circuits. // *FPGAs: International Workshop on Programmable Logic and Applications*, Abingdon EE&CS Books. – 1991.
7. *Maheswaran K.* Implementing self-timed circuits in field programmable gate arrays. // Master's thesis, University of California. – Davis. – 1994.
8. *Maheswaran K., Akella V.* Hazard-free implementation of the self-timed cell set for the Xilinx 4000 series FPGA. // *Tech. rep.*, University of California. – Davis. – 1994.
9. *Maheswaran K., Lipsher J.B.* A cell set for self-timed design using Xilinx XC4000 series FPGA. // *Tech. rep.*, University of California. – Davis. – 1994.
10. *Renaudin M., Vivet P., Robin F.* ASPRO-216: A standard-cell QDI 16-bit RISC asynchronous microprocessor. // *Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems*. – 1998. – P. 22–31.
11. *Back R.-J.R., Martin A., Sere K.* An action system specification of the Caltech asynchronous microprocessor. // *Third International Conference on the Mathematics of Program Construction, Lecture Notes in Computer Science*, Springer-Verlag. – July 1995.
12. *Furber S.B., Garside J.D., Temple S., Liu J., Day P., Paver N.C.* AMULET2e: An asynchronous embedded controller. // *Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems*. – IEEE Computer Society Press. – Apr. 1997. – P. 290–299.
13. TIМА Laboratory. Annual report 2002. – May 2003. – P. 39-54.
14. *Степченко Ю.А., Петрухин В.С., Дьяченко Ю.Г., Плеханов Л.П.* Оптимизация архитектуры вычислительного устройства для критических областей применения. // Отчет о НИР (заключительный), шифр темы «Гарант». № Г.Р. 01.2.00 316348. – М.: ИПИ РАН, 2003. – 123 с.
15. *Симонов Б., Малашевич Б.* Базовые матричные кристаллы. – / http://www.chipnews.ru/html.cgi/arhiv/00_06/stat_18.htm/
16. *Угрюмов Е.П.* Цифровая схемотехника. // СПб.: БХВ-Петербург, 2002. – 528 с.
17. *Варшавский В.И., Кишиневский М.А., Мараховский В.Б. и др.* Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. // Под ред. В.И.Варшавского. – М.: Наука, 1986. – 398 с.
18. Аперидические автоматы. // Под ред. В.И. Варшавского. – М.: Наука, 1976. – 424 с.
19. *Muller D.E.* "Asynchronous logics and application to information processing. // *Symposium on the Application of Switching Theory to Space Technology*, Stanford University Press. – 1962. P. 289–297.
20. Разработка принципов построения семейства СБИС для ВС и ПЭВМ нового поколения на основе фундаментальных исследований по теории самосинхронизации. // Отчет о НИР (заключительный). Шифр темы "Трасса-Пин". – Л.: ПНТК "Трасса", 1989. – 57 с.
21. *Степченко Ю.А., Филин А.В.* Способы построения самосинхронных комбинационных схем естественно-надежных компьютеров. // Сб. "Системы и средства информатики". Вып. 7. – М.: Наука, Физматлит, 1995. – С. 239-258.
22. *Денисов А.Н., Коняхин В.В., Кузнецов Е.В.* Базовые матричные кристаллы – сегодня и завтра (взгляд разработчика) – <http://www.asic.ru/publ.html/>
23. *Денисов А.Н., Фомин Ю.П., Коняхин В.В., Гаврилов С.В.* Библиотека логических элементов 5503. Книга 2. // М.: Микрон-Принт, 2001. – 180 с.
24. *Степченко Ю.А., Петрухин В.С., Дьяченко Ю.Г.* Сравнительный анализ самосинхронного и синхронного вариантов реализации микроконтроллера. (статья в настоящем сборнике).
25. *Степченко Ю.А., Дьяченко Ю.Г., Петрухин В.С., Филин А.В.* Цена реализации уникальных свойств самосинхронных схем. // Сб. "Системы и средства информатики". – М.: Наука, вып. 9, 1999. – С. 261-292.

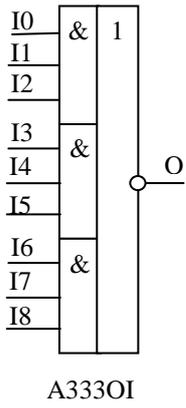
СОСТАВ БИБЛИОТЕКИ САМОСИНХРОННЫХ ЭЛЕМЕНТОВ

а) G-триггеры

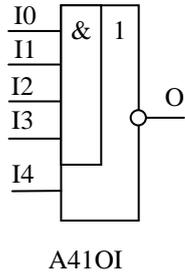


б) Элементы И-ИЛИ-НЕ, выполняющие простую функцию

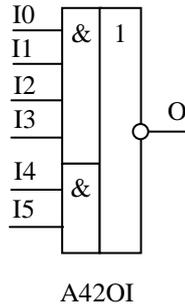




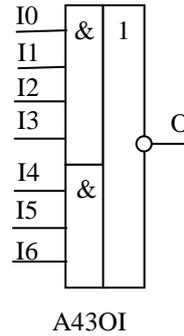
A333OI



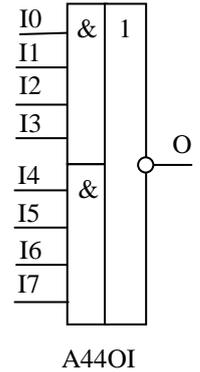
A41OI



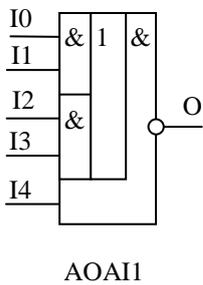
A42OI



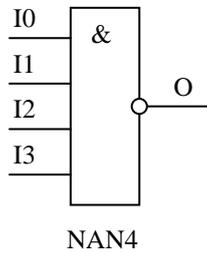
A43OI



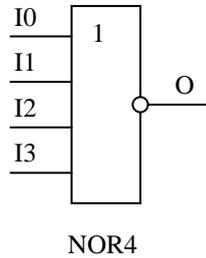
A44OI



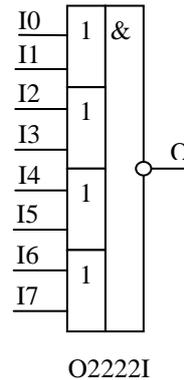
AOAI1



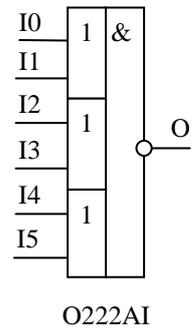
NAN4



NOR4

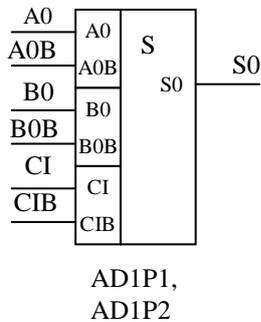


O2222I

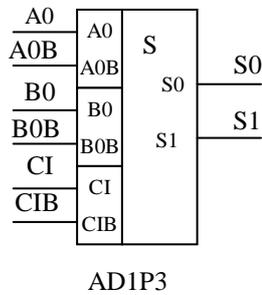


O222AI

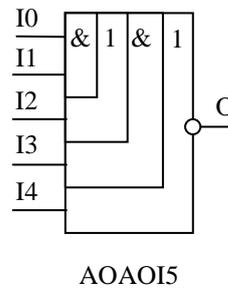
в) Комбинационные элементы, выполняющие сложную функцию



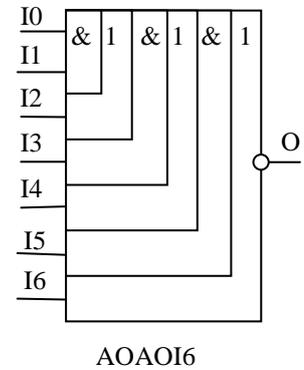
AD1P1,
AD1P2



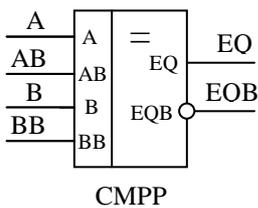
AD1P3



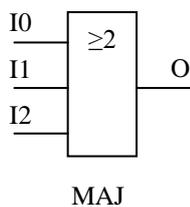
AOAOI5



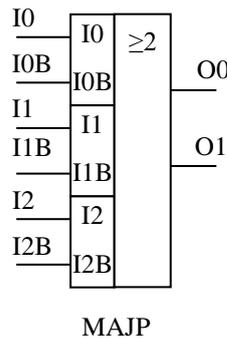
AOAOI6



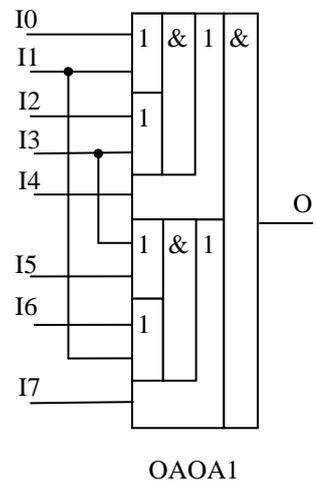
CMPP



MAJ

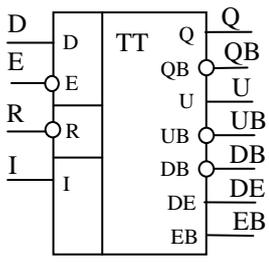


MAJP

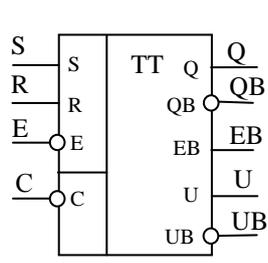


OAOA1

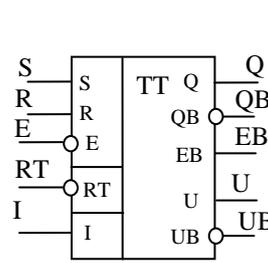
г) Триггеры по уровню



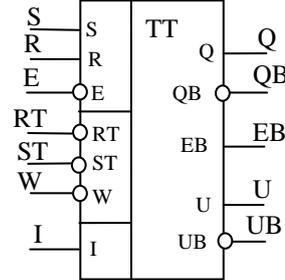
L0DRE2



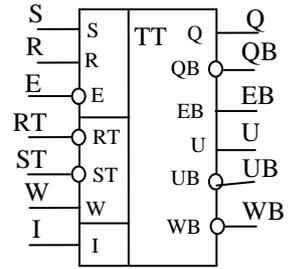
L0RCE2



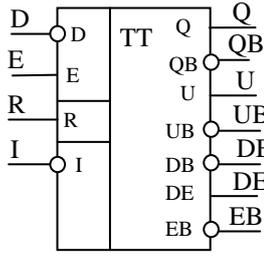
L0RRE2



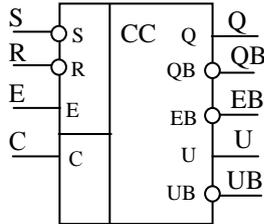
L0RTE2



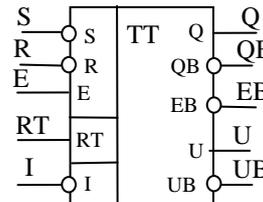
L0RTE3



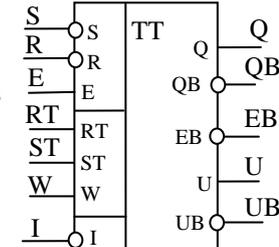
L1DRE2



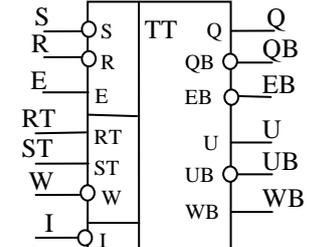
L1RCE2



L1RRE2

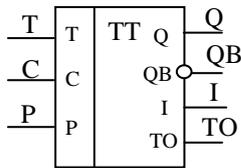


L1RTE2

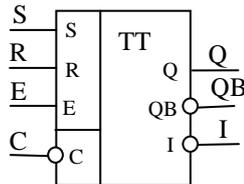


L1RTE3

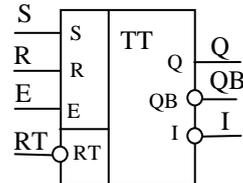
д) Счетчик и триггеры RS-типа



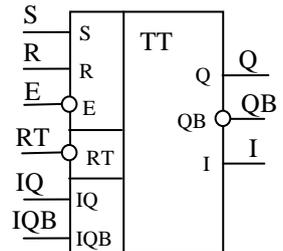
COCP



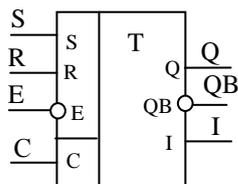
R0CE10



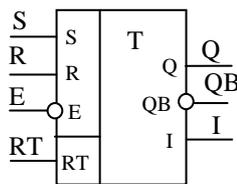
R0RE10



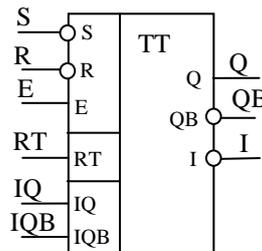
R0RE20



R1CE10

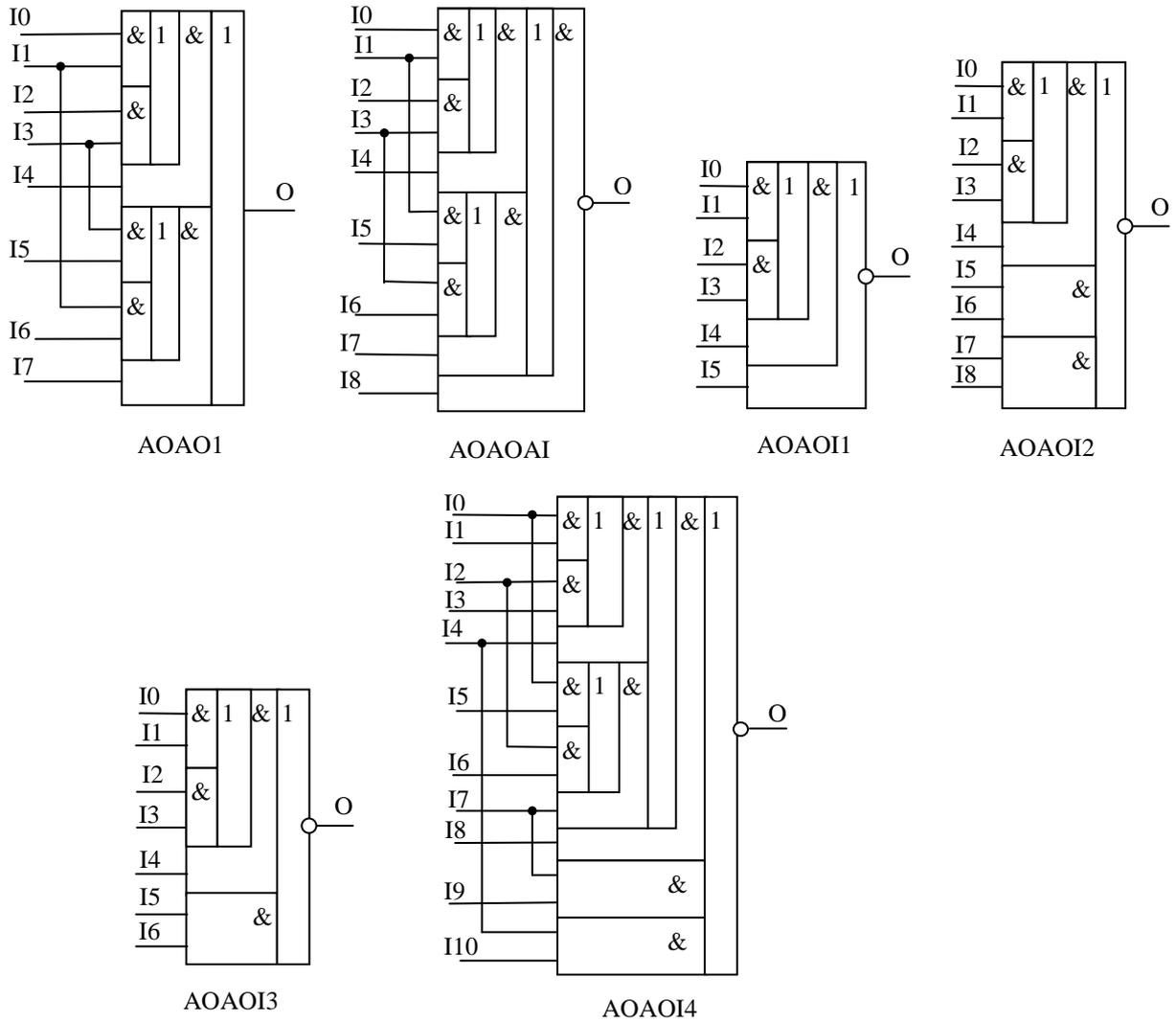


R1RE10



R1RE20

е) Элементы И-ИЛИ-НЕ специального назначения



ж) Макроэлементы

