



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК

H03K 3/00 (2018.08); H03K 3/3562 (2018.08); H03K 3/289 (2018.08)

(21)(22) Заявка: 2018141050, 21.11.2018

(24) Дата начала отсчета срока действия патента:
21.11.2018Дата регистрации:
02.07.2019

Приоритет(ы):

(22) Дата подачи заявки: 21.11.2018

(45) Опубликовано: 02.07.2019 Бюл. № 19

Адрес для переписки:

119333, Москва, ул. Вавилова, 44, корп. 2,
Федеральное государственное учреждение
"Федеральный исследовательский центр
"Информатика и управление" Российской
академии наук" (ФИЦ ИУ РАН)

(72) Автор(ы):

Соколов Игорь Анатольевич (RU),
Захаров Виктор Николаевич (RU),
Степченко Юрий Афанасьевич (RU),
Дьяченко Юрий Георгиевич (RU)

(73) Патентообладатель(и):

Федеральное государственное учреждение
"Федеральный исследовательский центр
"Информатика и управление" Российской
академии наук" (ФИЦ ИУ РАН) (RU)(56) Список документов, цитированных в отчете
о поиске: RU 2362267 C1, 20.07.2009. RU
2362266 C1, 20.07.2009. RU 2361359 C1,
10.07.2009. US 2007/0229133 A1, 04.10.2007.

(54) САМОСИНХРОННЫЙ ДИНАМИЧЕСКИЙ ОДНОТАКТНЫЙ D-ТРИГГЕР С ЕДИНИЧНЫМ СПЕЙСЕРОМ

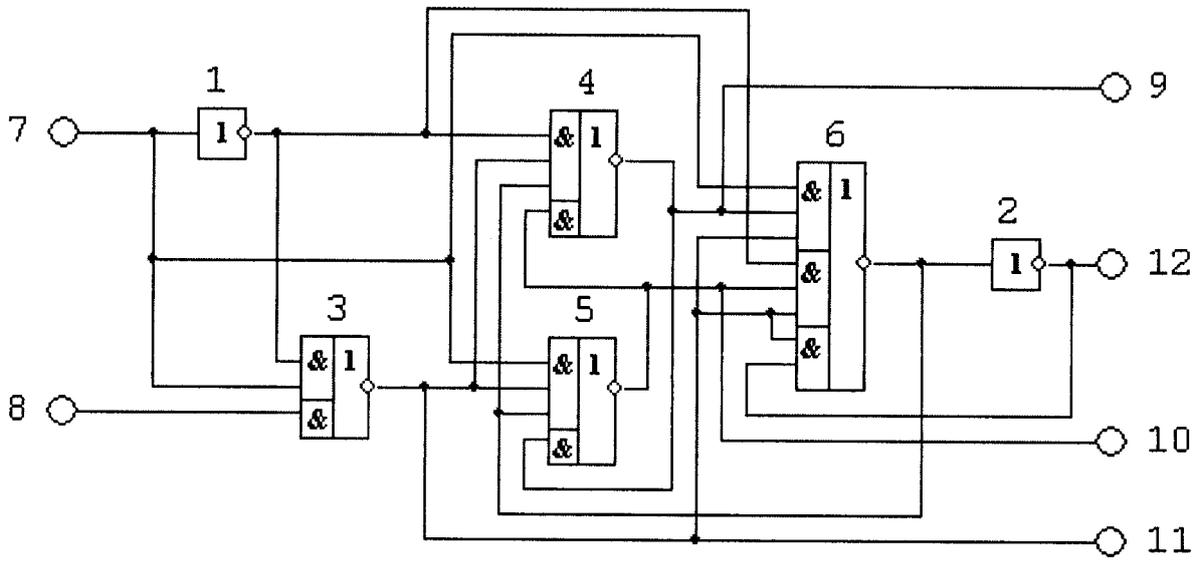
(57) Реферат:

Изобретение относится к импульсной и вычислительной технике. Технический результат заключается в ускорении взаимодействия D-триггера с источником его информационного входа за счет сокращения времени, в течение которого состояние информационного входа D-триггера не должно изменяться после появления низкого уровня на его входе управления. Для этого комбинационный индикаторный выход в самосинхронном однотоктном D-триггере с единичным спейсером преобразуется в последовательностный индикаторный выход (выход с памятью). Это преобразование реализуется введением дополнительного элемента НЕ между комбинационной частью

индикаторного элемента и его внешним выводом и введением двух дополнительных связей. Первая связь обеспечивает подключение комбинационного индикаторного выхода к дополнительным входам триггера (бистабильной ячейке), что гарантирует невосприимчивость триггера к изменению состояния компонентов информационного входа. Вторая связь обеспечивает подключение дополнительного элемента НЕ к дополнительным входам индикаторного элемента, что переводит его из комбинационного класса в последовательностный класс и гарантирует невосприимчивость индикаторного выхода к изменению состояния компонентов информационного входа. 4 ил.

RU 2 693 318 C1

RU 2 693 318 C1



Фиг. 1

RU 2693318 C1

RU 2693318 C1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(12) **ABSTRACT OF INVENTION**

(52) CPC
H03K 3/00 (2018.08); H03K 3/3562 (2018.08); H03K 3/289 (2018.08)

(21)(22) Application: **2018141050, 21.11.2018**

(24) Effective date for property rights:
21.11.2018

Registration date:
02.07.2019

Priority:

(22) Date of filing: **21.11.2018**

(45) Date of publication: **02.07.2019** Bull. № 19

Mail address:

119333, Moskva, ul. Vavilova, 44, korp. 2,
Federalnoe gosudarstvennoe uchrezhdenie
"Federalnyj issledovatel'skij tsentr "Informatika i
upravlenie" Rossijskoj akademii nauk" (FITS IU
RAN)

(72) Inventor(s):

**Sokolov Igor Anatolevich (RU),
Zakharov Viktor Nikolaevich (RU),
Stepchenkov Yuriy Afanasevich (RU),
Dyachenko Yuriy Georgievich (RU)**

(73) Proprietor(s):

**Federalnoe gosudarstvennoe uchrezhdenie
"Federalnyj issledovatel'skij tsentr "Informatika
i upravlenie" Rossijskoj akademii nauk" (FITS
IU RAN) (RU)**

(54) **SELF-SYNCHRONIZING DYNAMIC SINGLE-CYCLE D-FLIP-FLOP WITH SINGLE SPACER**

(57) Abstract:

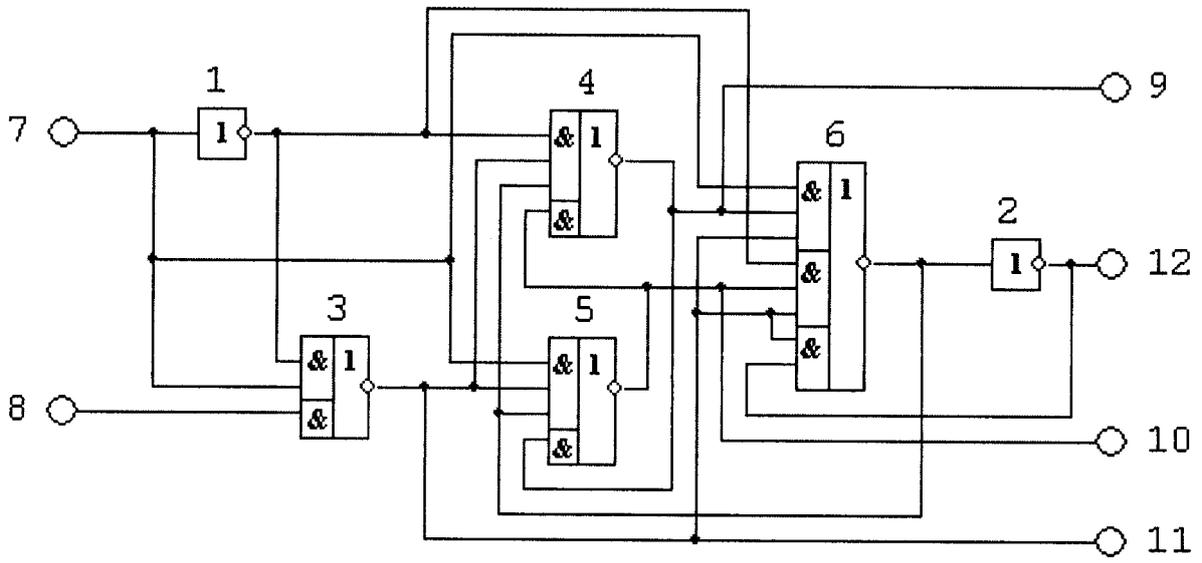
FIELD: computer equipment.

SUBSTANCE: invention relates to pulse and computer technology. Combined indicator output in self-synchronous single-cycle D-flip-flop with single spacer is converted into a serial indicator output (output with memory). This conversion is realized by introducing an additional element NOT between the combination part of the indicator element and its external output and introduction of two additional links. First connection provides connection of a combination indicator output to additional trigger inputs (bistable cell), which guarantees immunity of the flip-flop to change of state of information input components.

Second link provides connection of the additional element NOT to additional inputs of the indicator element, which switches it from the combinational class to the sequential class and guarantees non-susceptibility of the indicator output to change of state of components of the information input.

EFFECT: technical result consists in acceleration of interaction of D-flip-flop with source of its information input due to reduction of time, during which state of information input of D-flip-flop should not change after occurrence of low level at its control input.

1 cl, 4 dwg



Фиг. 1

RU 2693318 C1

RU 2693318 C1

Самосинхронный динамический одноктактный D-триггер с единичным спейсером относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации.

5 Известен динамический асинхронный D-триггер [1], содержащий шесть элементов И-НЕ и обеспечивающий запись информации в триггер и блокирование информационного входа с после прихода активного фронта тактового входа.

Недостаток известного устройства - отсутствие средств индикации окончания переходных процессов в элементах триггера.

10 Наиболее близким к предлагаемому решению по технической сущности и поэтому принятым в качестве прототипа является самосинхронный одноктактный D-триггер с низким активным уровнем сигнала управления [2], в дальнейшем именуемый D-триггером, содержащий один инвертор и четыре элемента И-ИЛИ-НЕ. Триггер обеспечивает запись состояния информационного входа и переключение в рабочую 15 фазу по низкому уровню входа управления, блокировку информационного входа и переключение в спейсерную фазу высоким уровнем входа управления и контроль окончания переходных процессов при переключении в спейсерную и рабочую фазу.

Недостаток прототипа - большая длительность периода времени после появления низкого уровня на входе управления D-триггера, соответствующая длительности 20 низкого уровня на входе управления, в течение которого состояние информационного входа не должно изменяться во избежание нарушения самосинхронной дисциплины формирования сигналов и взаимодействия самосинхронных устройств.

Задача, решаемая настоящим изобретением, заключается в сокращении времени, в течение которого состояние информационного входа D-триггера не должно изменяться 25 после появления низкого уровня на его входе управления. Такое ускорение взаимодействия D-триггера с источником его информационного входа, соответствует требованиям синхронных интерфейсов и обеспечивает возможность использования предлагаемого самосинхронного D-триггера в синхронном окружении.

30 Это достигается тем, что комбинационный индикаторный выход в самосинхронном одноктактном D-триггере с единичным спейсером (прототипе), преобразуется в последовательностный индикаторный выход (выход с памятью). Это преобразование реализуется введением дополнительного элемента НЕ между комбинационной частью индикаторного элемента и его внешним выводом и введением двух дополнительных 35 связей. Первая связь обеспечивает подключение комбинационного индикаторного выхода к дополнительным входам триггера (бистабильной ячейке), что гарантирует невосприимчивость триггера к изменению состояния компонентов информационного входа. Вторая связь обеспечивает подключение дополнительного элемента НЕ к 40 дополнительным входам индикаторного элемента, что переводит его из комбинационного класса в последовательностный класс и гарантирует невосприимчивость индикаторного выхода к изменению состояния компонентов информационного входа.

Использование обратных связей в асинхронных триггерах известно, например, в T-триггере [3]. Однако использование их в самосинхронном D-триггере с учетом специфики 45 работы самосинхронных устройств позволило достичь эффекта, выраженного целью изобретения. Существенное отличие предлагаемой реализации обратных связей от аналогичных решений в асинхронной схмотехнике заключается в том, что в данном случае обратные связи используются для предотвращения нежелательного переключения триггера, а не для подготовки его к переключению в противоположное состояние. Это

позволяет ускорить блокировку информационного входа триггера после прихода активного уровня сигнала управления, разрешающего запись состояния информационного входа в триггер, и обеспечить ее самосинхронность при использовании дополнительного инвертора, как описано ниже.

5 Поскольку введенные конструктивные связи в аналогичных технических решениях не известны (не было известно ранее из опубликованных в мире источников информации), устройство может считаться отвечающим критерию новизны. Из уровня техники известны только объекты, которым присущи признаки, обеспечивающие невосприимчивость триггера к изменению состояния компонентов информационного
10 входа и описанные в формуле. Объекты же, обеспечивающие невосприимчивость индикатора окончания переходных процессов к изменению состояния компонентов информационного входа и описанные в формуле не известны, что отвечает критерию новизны изобретения. В тексте заявки описаны все средства и методы, необходимые для реализации решения, как оно представлено в формуле изобретения, что отвечает
15 критерию промышленной применимости.

На Фиг. 1 изображена схема самосинхронного динамического одноктактного D-триггера с единичным спейсером.

Схема содержит первый 1 и второй 2 инверторы и четыре элемента И-ИЛИ-НЕ 3-6, однофазный информационный вход 7, вход управления 8, информационный бифазный
20 выход 9-10, выход сигнала управления 11 и индикаторный выход 12, причем однофазный информационный вход 7 подключен к входу первого инвертора 1, ко второму входу первой группы входов И первого элемента И-ИЛИ-НЕ 3, первому входу первой группы входов И третьего элемента И-ИЛИ-НЕ 5 и к первому входу первой группы входов И четвертого элемента И-ИЛИ-НЕ 6, вход управления 8 триггера соединен с входом
25 второй группы входов И первого элемента И-ИЛИ-НЕ 3, выход первого инвертора 1 подключен к первым входам первых групп входов И первого 3 и второго 4 элементов И-ИЛИ-НЕ и к первому входу второй группы входов И четвертого элемента И-ИЛИ-НЕ 6, выход первого элемента И-ИЛИ-НЕ 3 соединен со вторыми входами первых групп входов И второго 4 и третьего 5 элементов И-ИЛИ-НЕ, с третьими входами
30 первой и второй групп входов И и первым входом третьей группы входов И четвертого элемента И-ИЛИ-НЕ 6 и выходом сигнала управления 11 триггера, выход второго элемента И-ИЛИ-НЕ 4 подключен к входу второй группы входов И третьего элемента И-ИЛИ-НЕ 5, второму входу первой группы входов И четвертого элемента И-ИЛИ-НЕ 6 и прямой составляющей бифазного информационного выхода 9 триггера, выход
35 третьего элемента И-ИЛИ-НЕ 5 подключен к входу второй группы входов И второго элемента И-ИЛИ-НЕ 4, второму входу второй группы входов И четвертого элемента И-ИЛИ-НЕ 6 и инверсной составляющей бифазного информационного выхода 10 триггера, третьи входы первых групп входов И второго 4 и третьего 5 элементов И-ИЛИ-НЕ соединены с выходом четвертого элемента И-ИЛИ-НЕ 6 и входом второго
40 инвертора 2, второй вход третьей группы входов И четвертого элемента И-ИЛИ-НЕ 6 подключен к выходу второго инвертора 2 и к индикаторному выходу 12 триггера.

Схема работает следующим образом. Запись состояния однофазного информационного входа 7 в триггер происходит при поступлении низкого (рабочего) уровня на вход управления 8 D-триггера. Окончание записи (завершение переключений
45 всех элементов схемы триггера, инициированных в процессе записи) в бистабильную ячейку памяти на элементах И-ИЛИ-НЕ 4 и 5 фиксируется индикаторным элементом на элементе И-ИЛИ-НЕ 6, подтверждающим низким уровнем на своем выходе соответствие состояния информационного бифазного выхода 9-10 триггера состоянию

информационного входа 7. Выход индикаторного элемента 6 переключается в состояние логического нуля, обеспечивающее блокировку записи однофазного информационного входа 7 триггера в ячейку памяти на элементах 4 и 5. Одновременно переключается в состояние логической единицы инвертор 2, запрещая переключение индикаторного

5 элемента 6 из-за возможного переключения информационного входа 7 триггера в состояние, не соответствующее состоянию ячейки памяти на элементах 4 и 5. Выход инвертора 2 формирует индикаторный выход 12, оповещающий подключенные к данному D-триггеру устройства о завершении записи в триггер и разрешающий источнику информационного входа 7 триггера больше не поддерживать текущее

10 состояние информационного входа 7. Источник информационного входа D-триггера, получив это уведомление, инициирует переключение сигнала управления 8 триггера в неактивное (спейсерное) состояние логической единицы и одновременно с этим, не дожидаясь ответа от D-триггера, может начать формирование нового значения информационного входа 7. D-триггер принимает состояние логической единицы

15 (спейсерное) входа управления 8, переводит выход сигнала управления в состояние логического нуля и инициирует переключение индикаторного элемента 6 в состояние логической единицы, снимающее блокировку записи информационного входа 7 в ячейку памяти на элементах 4 и 5 индикаторным элементом (сама блокировка остается, но реализуется уже входом управления) и запрещение изменения состояния индикаторного

20 элемента 6 из-за несоответствия состояния информационного входа 7 состоянию ячейки памяти на элементах 4 и 5. После окончания переключения инвертора 2 в состояние логического нуля D-триггер готов к записи нового значения информационного входа 7, о чем он уведомляет источник информационного входа 7 низким уровнем индикаторного выхода 12.

25 Особенности данной схемы по сравнению с прототипом следующие.

Триггер имеет обратные связи, обеспечивающие блокировку информационного входа триггера после записи его состояния в ячейку памяти триггера и блокировку индикаторного элемента до появления высокого уровня на входе управления триггера. Это позволяет источнику информационного входа триггера начать формирование

30 нового значения информационного входа, не дожидаясь переключения в спейсер (низкий уровень) входа управления триггера, что в прототипе является обязательным условием для соблюдения самосинхронной дисциплины формирования сигналов в самосинхронной схеме.

35 Таким образом, предлагаемое устройство ускоряет взаимодействие D-триггера с источником его информационного входа. Цель изобретения достигнута.

На практике D-триггер часто требует предустановки в определенное состояние перед началом (после включения питания) или в процессе работы схемы.

В качестве примеров покажем реализации самосинхронного динамического одноканального D-триггера с единичным спейсером с асинхронными сбросом и установкой.

40 На Фиг. 2 представлена реализация самосинхронного динамического одноканального D-триггера с единичным спейсером с асинхронной установкой. Реализация отличается от реализации на Фиг. 1 тем, что во вторую группу входов И второго элемента И-ИЛИ-НЕ 4 введен второй вход, подключенный к входу асинхронной установки 13.

Установка триггера в состояние с высоким уровнем на прямой составляющей бифазного выхода 9 и низким уровнем на инверсной составляющей бифазного выхода

45 10 осуществляется при спейсерном состоянии входа управления 8 триггера и происходит следующим образом. При высоком уровне сигнала на входе управления 8 выход элемента И-ИЛИ-НЕ 3 своим низким уровнем блокирует запись информационного

5 входа 7 в бистабильную ячейку на элементах 4 и 5 и поддерживает выход индикаторного элемента И-ИЛИ-НЕ 6 в состоянии логического нуля. Подача в это время низкого уровня на вход асинхронной установки 13 приводит к переключению выхода элемента И-ИЛИ-НЕ 4 и, соответственно, прямой составляющей бифазного выхода 9 в состояние логической единицы, что, в свою очередь, вызывает переключение элемента И-ИЛИ-НЕ 5 и инверсной составляющей бифазного выхода 10 в состояние логического нуля. Установка триггера завершена.

10 На Фиг. 3 представлена реализация самосинхронного динамического одноклапчатого D-триггера с единичным спейсером с асинхронным сбросом. Реализация отличается от реализации на Фиг. 1 тем, что во вторую группу входов И третьего элемента И-ИЛИ-НЕ 5 введен второй вход, подключенный к входу асинхронного сброса 14.

15 Сброс триггера в состояние с низким уровнем на прямой составляющей бифазного выхода 9 и высоким уровнем на инверсной составляющей бифазного выхода 10 осуществляется при спейсерном состоянии (логической единице) входа управления 8 триггера и происходит следующим образом. При высоком уровне сигнала на входе управления 8 выход элемента И-ИЛИ-НЕ 3 своим низким уровнем блокирует запись информационного входа 7 в бистабильную ячейку на элементах 4 и 5 и поддерживает выход индикаторного элемента И-ИЛИ-НЕ 6 в состоянии логической единицы. Подача в это время низкого уровня на вход асинхронного сброса 14 приводит к переключению выхода элемента И-ИЛИ-НЕ 5 и, соответственно, инверсной составляющей бифазного выхода 10, в состояние логической единицы, что, в свою очередь, вызывает переключение элемента И-ИЛИ-НЕ 4 и прямой составляющей бифазного выхода 9 в состояние логического нуля. Сброс триггера завершен.

25 На Фиг. 4 представлена реализация самосинхронного динамического одноклапчатого D-триггера с единичным спейсером с асинхронными сбросом и установкой. Реализация отличается от реализации на Фиг. 1 тем, что во вторые группы входов И второго 4 и третьего 5 элементов И-ИЛИ-НЕ введен второй вход, подключенный к входам асинхронной установки 13 и асинхронного сброса 14 соответственно. Сброс и установка D-триггера выполняется при спейсерном состоянии входа управления 8 в соответствии с рассмотренными выше процедурами сброса и установки вариантов триггера, представленных на Фиг. 2 и 3.

Источники:

[1] Титце У., Шенк К. Полупроводниковая схемотехника: Справочное руководство. Пер. с нем. М: Мир, 1982. - 512 с., рис. 9.34.

35 [2] Степченко Ю.А., Дьяченко Ю.Г., Рождественский Ю.В., Филин А.В. Самосинхронный одноклапчатый D-триггер с низким активным уровнем сигнала управления: пат. №2362267. Зарегистрирован 20.07.09. Оpubл. в Б.И., 2009, №20. - 9 с.

[3] Угрюмов Е.П. Цифровая схемотехника. - СПб.: БХВ - Санкт-Петербург, 2000. 528 с. ISBN 5-8206-0100-9, рис. 3.7(б).

40

(57) Формула изобретения

Самосинхронный динамический одноклапчатый D-триггер с единичным спейсером, содержащий один инвертор и четыре элемента И-ИЛИ-НЕ, вход управления, однофазный информационный вход, прямую и инверсную составляющие бифазного информационного выхода, выход сигнала управления и индикаторный выход, причем однофазный информационный вход подключен к входу инвертора, второму входу первой группы входов И первого элемента И-ИЛИ-НЕ, первому входу первой группы входов И третьего элемента И-ИЛИ-НЕ и первому входу первой группы входов И

четвертого элемента И-ИЛИ-НЕ, вход управления триггера соединен с входом второй группы входов И первого элемента И-ИЛИ-НЕ, выход инвертора подключен к первым входам первых групп входов И первого и второго элементов И-ИЛИ-НЕ и к первому входу второй группы входов И четвертого элемента И-ИЛИ-НЕ, выход первого
5 элемента И-ИЛИ-НЕ соединен со вторыми входами первых групп входов И второго и третьего элементов И-ИЛИ-НЕ, с третьими входами первой и второй групп входов И четвертого элемента И-ИЛИ-НЕ и выходом сигнала управления триггера, выход второго элемента И-ИЛИ-НЕ подключен к входу второй группы входов И третьего элемента И-ИЛИ-НЕ, второму входу первой группы входов И четвертого элемента
10 И-ИЛИ-НЕ и прямой составляющей бифазного информационного выхода триггера, выход третьего элемента И-ИЛИ-НЕ подключен к входу второй группы входов И второго элемента И-ИЛИ-НЕ, второму входу второй группы входов И четвертого элемента И-ИЛИ-НЕ и инверсной составляющей бифазного информационного выхода триггера, отличающийся тем, что в него введены второй инвертор, третьи входы в
15 первые группы входов И второго и третьего элементов И-ИЛИ-НЕ и третья группа входов И в четвертый элемент И-ИЛИ-НЕ, причем третьи входы первых групп входов И второго и третьего элементов И-ИЛИ-НЕ соединены с выходом четвертого элемента И-ИЛИ-НЕ и входом второго инвертора, первый и второй входы третьей группы входов И четвертого элемента И-ИЛИ-НЕ подключены к выходам первого элемента
20 И-ИЛИ-НЕ и второго инвертора соответственно, выход второго инвертора соединен с индикаторным выходом триггера.

25

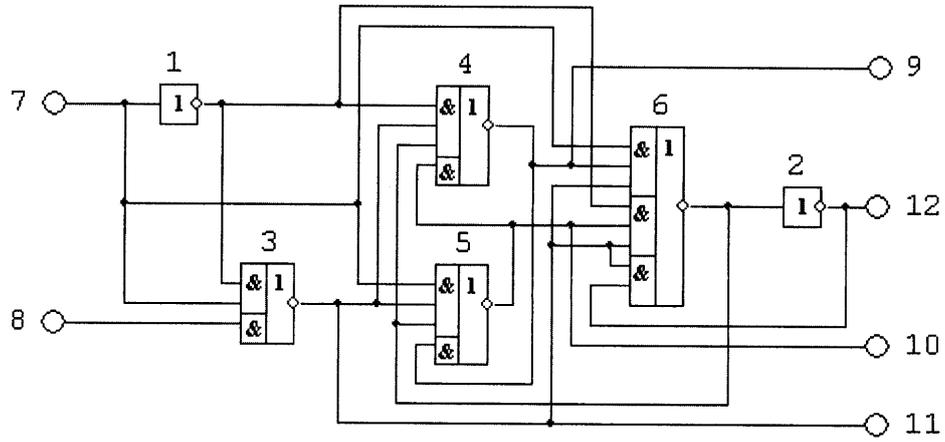
30

35

40

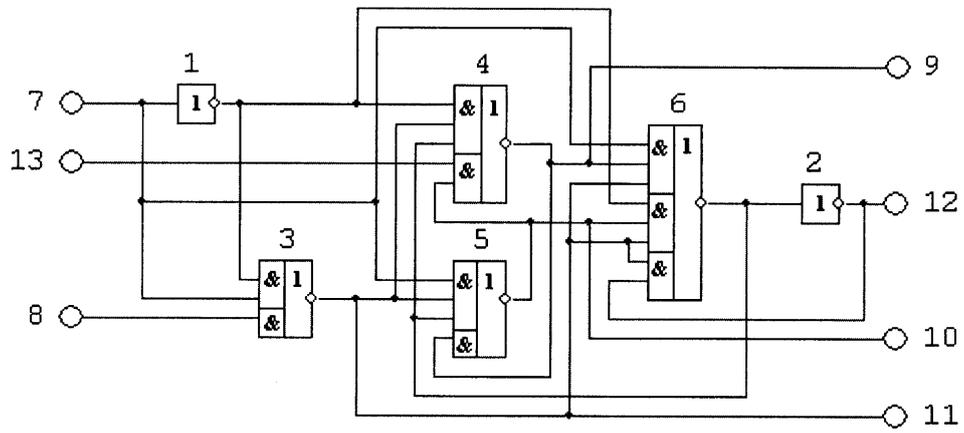
45

1

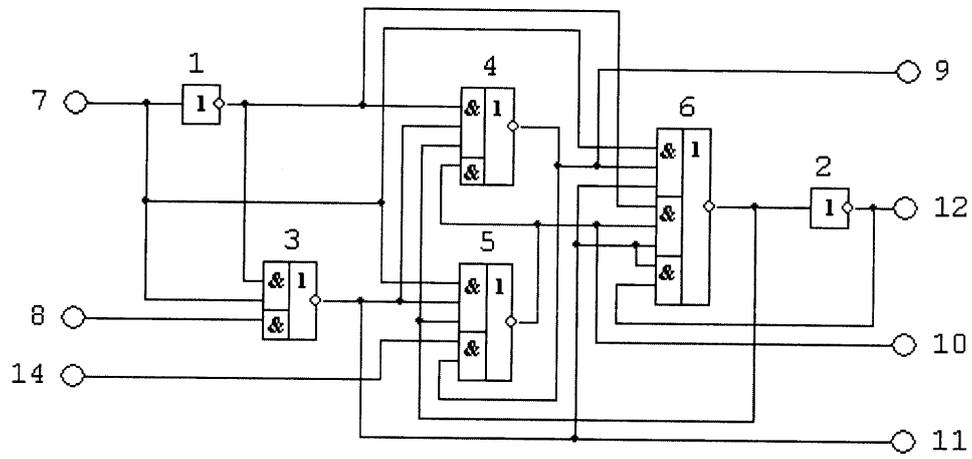


Фиг. 1.

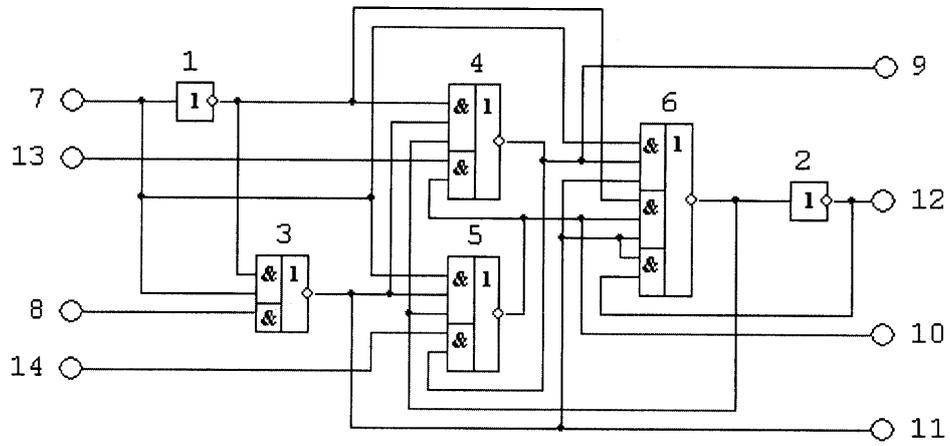
2



Фиг. 2.



Фиг. 3.



Фиг. 4.