



ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

## (12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК

H03K 3/00 (2018.08); H03K 3/289 (2018.08); H03K 3/3562 (2018.08)

(21)(22) Заявка: 2018141053, 21.11.2018

(24) Дата начала отсчета срока действия патента:  
21.11.2018Дата регистрации:  
02.07.2019

Приоритет(ы):

(22) Дата подачи заявки: 21.11.2018

(45) Опубликовано: 02.07.2019 Бюл. № 19

Адрес для переписки:

119333, Москва, ул. Вавилова, 44, корп. 2,  
Федеральное государственное учреждение  
"Федеральный исследовательский центр  
"Информатика и управление" Российской  
академии наук" (ФИЦ ИУ РАН)

(72) Автор(ы):

Степченков Юрий Афанасьевич (RU),  
Дьяченко Юрий Георгиевич (RU),  
Морозов Николай Викторович (RU),  
Орлов Георгий Александрович (RU)

(73) Патентообладатель(и):

Федеральное государственное учреждение  
"Федеральный исследовательский центр  
"Информатика и управление" Российской  
академии наук" (ФИЦ ИУ РАН) (RU)(56) Список документов, цитированных в отчете  
о поиске: RU 2365031 C1, 20.08.2009. RU  
2319297 C1, 10.03.2008. RU 2366080 C2,  
27.08.2009. US 5789957, 04.08.1998.

## (54) САМОСИНХРОННЫЙ ДИНАМИЧЕСКИЙ ДВУХТАКТНЫЙ D-ТРИГГЕР С НУЛЕВЫМ СПЕЙСЕРОМ

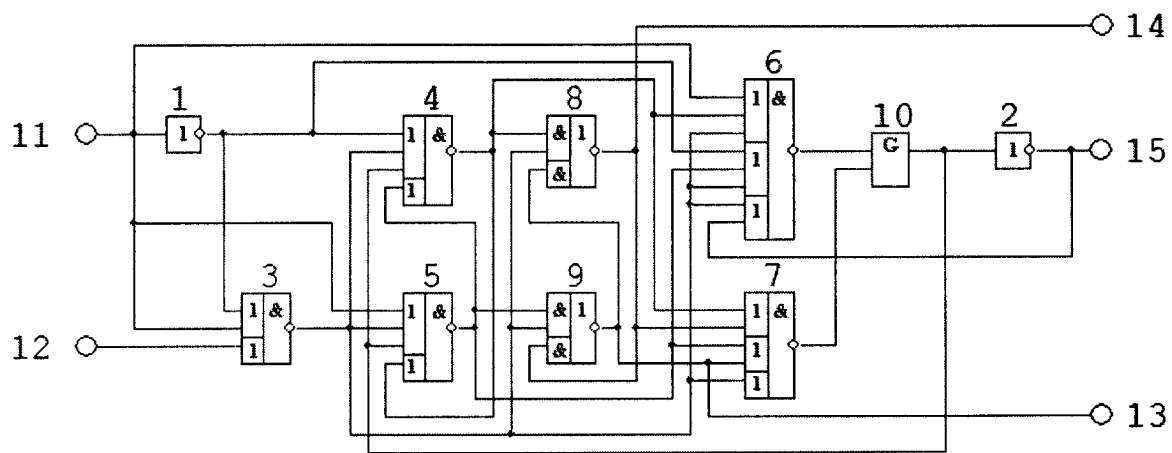
(57) Реферат:

Изобретение относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации. Технический результат заключается в ускорении взаимодействия D-триггера с источником его информационного входа за счет сокращения времени, в течение которого состояние информационного входа D-триггера не должно изменяться после появления высокого уровня на его входе управления. Заявленный результат

достигается тем, что в схему, содержащую один инвертор, четыре элемента ИЛИ-И-НЕ и два элемента И-ИЛИ-НЕ, введены второй инвертор, пятый элемент ИЛИ-И-НЕ, гистерезисный триггер и дополнительные входы во второй, третий и четвертый элементы ИЛИ-И-НЕ для реализации обратных связей с выходом гистерезисного триггера, объединяющего выходы четвертого и пятого элементов ИЛИ-И-НЕ, и выходом инвертора, вход которого подключен к выходу гистерезисного триггера. 4 ил.

RU 2 693 321 C1

RU 2 693 321 C1



Фиг. 1

RU 2 6 9 3 3 2 1 C 1

RU 2 6 9 3 3 2 1 C 1



FEDERAL SERVICE  
FOR INTELLECTUAL PROPERTY

(12) **ABSTRACT OF INVENTION**

(52) CPC  
*H03K 3/00 (2018.08); H03K 3/289 (2018.08); H03K 3/3562 (2018.08)*

(21)(22) Application: **2018141053, 21.11.2018**

(24) Effective date for property rights:  
**21.11.2018**

Registration date:  
**02.07.2019**

Priority:

(22) Date of filing: **21.11.2018**

(45) Date of publication: **02.07.2019** Bull. № 19

Mail address:

119333, Moskva, ul. Vavilova, 44, korp. 2,  
Federalnoe gosudarstvennoe uchrezhdenie  
"Federalnyj issledovatel'skij tsentr "Informatika i  
upravlenie" Rossijskoj akademii nauk" (FITS IU  
RAN)

(72) Inventor(s):

**Stepchenkov Yuriy Afanasevich (RU),  
Dyachenko Yuriy Georgievich (RU),  
Morozov Nikolaj Viktorovich (RU),  
Orlov Georgij Aleksandrovich (RU)**

(73) Proprietor(s):

**Federalnoe gosudarstvennoe uchrezhdenie  
"Federalnyj issledovatel'skij tsentr "Informatika  
i upravlenie" Rossijskoj akademii nauk" (FITS  
IU RAN) (RU)**

(54) **SELF-SYNCHRONIZING DYNAMIC TWO-STROKE D-FLIP-FLOP WITH ZERO SPACER**

(57) Abstract:

FIELD: computer equipment.

SUBSTANCE: invention relates to pulse and computer equipment and can be used in construction of self-synchronizing trigger, register and computing devices, digital information processing systems. In circuit containing one inverter, four OR-AND-NOT elements and two AND-OR-NOT elements, second inverter, fifth OR-AND-NOT element are introduced, hysteresis trigger and additional inputs to the second, third and fourth OR-AND-NOR elements for feedback realization with output of hysteresis trigger, which

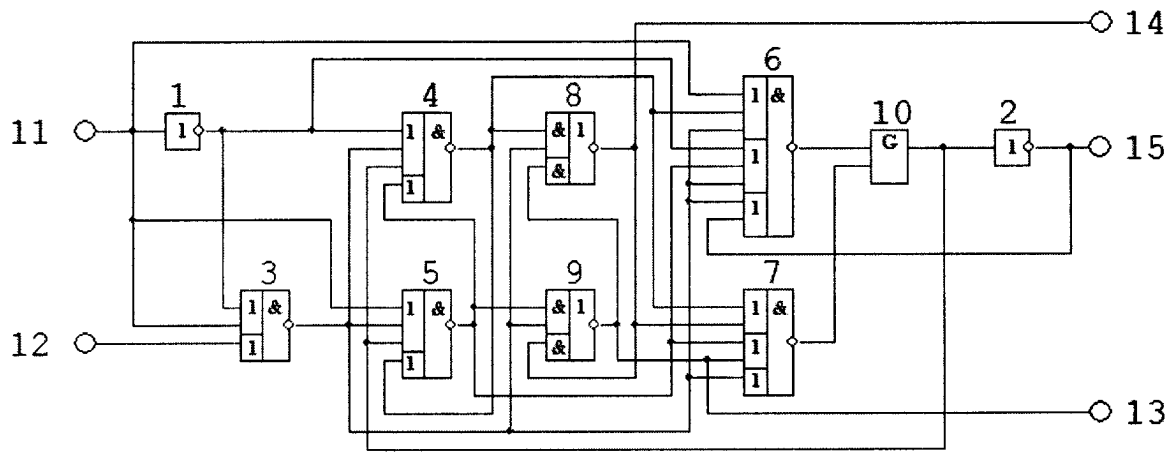
combines outputs of the fourth and fifth OR-AND-NOR elements, and output of inverter, which input is connected to output of hysteresis trigger.

EFFECT: technical result consists in acceleration of interaction of D-flip-flop with source of its information input due to reduction of time, during which state of information input of D-flip-flop should not change after appearance of high level at its control input.

1 cl, 4 dwg

RU 2 693 321 C1

RU 2 693 321 C1



Фиг. 1

RU 2 6 9 3 3 2 1 C 1

RU 2 6 9 3 3 2 1 C 1

Самосинхронный динамический двухтактный D-триггер с нулевым спейсером относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации.

5 Известен динамический синхронный D-триггер [1], содержащий шесть элементов И-НЕ и обеспечивающий запись информации в триггер и блокирование информационного входа с после прихода активного фронта тактового входа.

Недостаток известного устройства - отсутствие средств индикации окончания переходных процессов в элементах триггера.

10 Наиболее близким к предлагаемому решению по технической сущности и поэтому принятым в качестве прототипа является самосинхронный двухтактный D-триггер с высоким активным уровнем сигнала управления [2], в дальнейшем именуемый D-триггером, содержащий один инвертор, четыре элемента ИЛИ-И-НЕ и два элемента И-ИЛИ-НЕ. Триггер обеспечивает запись состояния информационного входа и  
15 переключение в рабочую фазу по высокому уровню входа управления, блокировку информационного входа и переключение в спейсерную фазу низким уровнем входа управления и контроль окончания переходных процессов при переключении в спейсерную и рабочую фазу.

Недостаток прототипа - большая длительность периода времени после появления  
20 высокого уровня на входе управления D-триггера, соответствующая длительности высокого уровня на входе управления, в течение которого состояние информационного входа не должно изменяться во избежание нарушения самосинхронной дисциплины формирования сигналов и взаимодействия самосинхронных устройств.

Задача, решаемая заявляемым изобретением, заключается в ускорении взаимодействия  
25 D-триггера с источником его информационного входа за счет сокращения времени, в течение которого состояние информационного входа D-триггера не должно изменяться после появления высокого уровня на его входе управления. Такое ускорение взаимодействия D-триггера с источником его информационного входа, соответствует  
30 требованиям синхронных интерфейсов и обеспечивает возможность использования предлагаемого самосинхронного D-триггера в синхронном окружении.

Заявленный результат достигается тем, что комбинационный индикаторный выход в самосинхронном двухтакте D-триггере с нулевым спейсером (прототипе), преобразуется в последовательностный индикаторный выход (выход с памятью). Это преобразование реализуется введением дополнительного элемента НЕ между  
35 комбинационной частью индикаторного элемента и его внешним выводом и введением двух дополнительных связей. Первая связь обеспечивает подключение комбинационного индикаторного выхода к дополнительным входам первой ступени двухтактного триггера (бистабильной ячейке), что гарантирует невосприимчивость триггера к изменению состояния компонентов информационного входа. Вторая связь обеспечивает  
40 подключение дополнительного элемента НЕ к дополнительным входам индикаторного элемента, что переводит его из комбинационного класса в последовательностный класс и гарантирует невосприимчивость индикаторного выхода к изменению состояния компонентов информационного входа.

Использование обратных связей в синхронных триггерах известно, например, в T-триггере [3]. Однако использование их в самосинхронном D-триггере с учетом специфики  
45 работы самосинхронных устройств позволило достичь эффекта, выраженного целью изобретения. Существенное отличие предлагаемой реализации обратных связей от аналогичных решений в синхронной схемотехнике заключается в том, что в данном

случае обратные связи используются для предотвращения нежелательного переключения триггера, а не для подготовки его к переключению в противоположное состояние. Это позволяет ускорить блокировку информационного входа триггера после прихода  
5 информационного входа в триггер, и обеспечить ее самосинхронность при использовании дополнительного инвертора, гистерезисного триггера и пятого элемента ИЛИ-И-НЕ, как описано ниже.

Поскольку введенные конструктивные связи в аналогичных технических решениях не известны (не было известно ранее из опубликованных в мире источников  
10 информации), устройство может считаться отвечающим критерию новизны. Из уровня техники известны только объекты, которым присущи признаки, обеспечивающие невосприимчивость триггера к изменению состояния компонентов информационного входа и описанные в формуле. Объекты же, обеспечивающие невосприимчивость индикатора окончания переходных процессов к изменению состояния компонентов  
15 информационного входа и описанные в формуле не известны, что отвечает критерию новизны изобретения. В тексте заявки описаны все средства и методы, необходимые для реализации решения, как оно представлено в формуле изобретения, что отвечает критерию промышленной применимости.

На Фиг. 1 изображена схема самосинхронного динамического двухтактного D-  
20 триггера с нулевым спейсером.

Схема D-триггера содержит первый 1 и второй 2 инверторы, пять элементов ИЛИ-И-НЕ 3-7, два элемента И-ИЛИ-НЕ 8-9, гистерезисный триггер 10, информационный вход 11, вход управления 12, прямой информационный выход 13, инверсный информационный выход 14 и индикаторный выход 15, информационный вход 11  
25 подключен к входу инвертора 1, второму входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ 3, первым входам первых групп входов ИЛИ третьего 5 и четвертого 6 элементов ИЛИ-И-НЕ, вход управления 12 соединен с входом второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ 3, выход которого подключен ко вторым входам первых групп входов ИЛИ второго 4 и третьего 5 элементов ИЛИ-И-  
30 НЕ, третьим входам первой и второй групп входов ИЛИ и первому входу третьей группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ 6, ко вторым входам первых групп входов И первого 8 и второго 9 элементов И-ИЛИ-НЕ и к входу третьей группы входов ИЛИ пятого элемента ИЛИ-И-НЕ 7, выход первого инвертора 1 подключен к первым входам первых групп входов ИЛИ первого 3 и второго 4 элементов ИЛИ-И-  
35 НЕ и к первому входу второй группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ 6, выход второго элемента ИЛИ-И-НЕ 4 подключен ко второму входу первой группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ 6, входу второй группы входов ИЛИ третьего элемента ИЛИ-И-НЕ 5, первому входу первой группы входов И первого элемента И-ИЛИ-НЕ 8 и к первому входу первой группы входов ИЛИ пятого элемента  
40 ИЛИ-И-НЕ 7, выход первого элемента И-ИЛИ-НЕ 8 соединен с входом второй группы входов И второго элемента И-ИЛИ-НЕ 9, вторым входом первой группы входов ИЛИ пятого элемента ИЛИ-И-НЕ 7 и инверсным информационным выходом 14 триггера, выход третьего элемента ИЛИ-И-НЕ 5 соединен со вторым входом второй группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ 6, первым входом второй группы входов ИЛИ пятого элемента ИЛИ-И-НЕ 7, входом второй группы входов ИЛИ второго  
45 элемента ИЛИ-И-НЕ 4 и первым входом первой группы входов И второго элемента И-ИЛИ-НЕ 9, выход которого соединен с входом второй группы входов И первого элемента И-ИЛИ-НЕ 8, вторым входом второй группы входов ИЛИ пятого элемента

ИЛИ-И-НЕ 7 и прямым информационным выходом 13 триггера, выходы четвертого 6 и пятого 7 элементов ИЛИ-И-НЕ подключены к первому и второму входам гистерезисного триггера 10 соответственно, выход гистерезисного триггера 10 соединен с третьими входами первых групп входов ИЛИ второго 4 и третьего 5 элементов ИЛИ-И-НЕ и входом второго инвертора 2, выход которого подключен ко второму входу третьей группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ 6 и индикаторному выходу 15 триггера.

Схема работает следующим образом. Запись состояния однофазного информационного входа 11 в триггер происходит при поступлении высокого (рабочего) уровня на вход управления 12 D-триггера. Окончание записи (завершение переключений всех элементов схемы триггера, инициированных в процессе записи) в бистабильную ячейку памяти на элементах ИЛИ-И-НЕ 4 и 5 фиксируется индикаторной подсхемой на элементах ИЛИ-И-НЕ 6-7 и гистерезисном триггере 10, подтверждающей высоким уровнем на выходе гистерезисного триггера 10 соответствие состояния информационного выхода 13 - 14 триггера состоянию информационного входа 11. Выход гистерезисного триггера 10, переключаясь в состояние логической единицы, обеспечивает блокировку записи однофазного информационного входа 11 в ячейку памяти на элементах 4 и 5. Одновременно переключается в состояние логического нуля инвертор 2, запрещая переключение элемента 6 индикаторной подсхемы из-за возможного переключения информационного входа 11 триггера в состояние, не соответствующее состоянию ячейки памяти на элементах 4 и 5. Выход инвертора 2 формирует индикаторный выход 15, оповещающий подключенные к данному D-триггеру устройства о завершении записи в триггер и разрешающий источнику информационного входа 11 триггера больше не поддерживать текущее состояние информационного входа 11. Источник информационного входа 11 данного D-триггера, получив это уведомление, инициирует переключение сигнала управления 12 триггера в неактивное (спейсерное) состояние логического нуля и одновременно с этим, не дожидаясь ответа от D-триггера, может начать формирование нового значения информационного входа 11. D-триггер принимает состояние логического нуля (спейсерное) входа управления 12 и инициирует переключение элемента 6 индикаторной подсхемы в состояние логического нуля. Одновременно с этим состояние бистабильной ячейки на элементах ИЛИ-И-НЕ 4-5 переписывается в бистабильную ячейку на элементах 8-9. Окончание этой записи фиксируется уровнем логического нуля на выходе элемента ИЛИ-И-НЕ 7. Переключение выходов элементов ИЛИ-И-НЕ 6 - 7 в состояние логического нуля приводит к переключению в это же состояние выхода гистерезисного триггера 10. В результате снимается блокировка записи информационного входа 11 в ячейку памяти на элементах 4 и 5 индикаторной подсхемой (сама блокировка остается, но реализуется уже входом управления 12) и запрещение изменения состояния элемента 6 индикаторной подсхемы из-за несоответствия состояния информационного входа 11 состоянию ячейки памяти на элементах 4 и 5. По окончании переключения инвертора 2 в состояние логической единицы D-триггер готов к записи нового значения информационного входа 11, о чем он уведомляет источник информационного входа 11 высоким уровнем индикаторного выхода 15.

Особенности данной схемы по сравнению с прототипом следующие.

Триггер имеет обратные связи, обеспечивающие блокировку информационного входа триггера после записи его состояния в первую бистабильную ячейку триггера и блокировку индикаторной подсхемы до появления низкого уровня на входе управления триггера. Это позволяет источнику информационного входа триггера начать

формирование нового значения информационного входа, не дожидаясь переключения в спейсер (низкий уровень) входа управления триггера, что в прототипе является обязательным условием для соблюдения самосинхронной дисциплины формирования сигналов в самосинхронной схеме.

5 Таким образом, предлагаемое устройство ускоряет взаимодействие D-триггера с источником его информационного входа. Цель изобретения достигнута.

На практике D-триггер часто требует предустановки в определенное состояние перед началом (после включения питания) или в процессе работы схемы.

10 В качестве примеров рассмотрим реализации самосинхронного динамического двухтактного D-триггера с нулевым спейсером с асинхронными сбросом и установкой.

На Фиг. 2 представлена реализация самосинхронного динамического двухтактного D-триггера с нулевым спейсером с синхронным сбросом. Реализация отличается от реализации на Фиг. 1 тем, что во вторую группу входов ИЛИ второго элемента ИЛИ-И-НЕ 4 введен второй вход, подключенный к входу синхронного сброса 16.

15 Сброс триггера в состояние с низким уровнем на прямом выходе 13 и высоким уровнем на инверсном выходе 14 осуществляется при спейсерном состоянии (состоянии логического нуля) входа управления 12 триггера и происходит следующим образом. При низком уровне сигнала на входе управления 12 выход элемента ИЛИ-И-НЕ 3 своим высоким уровнем блокирует запись информационного входа 11 в бистабильную ячейку на элементах 4 и 5 и поддерживает выход индикаторного элемента ИЛИ-И-НЕ 6 в состоянии логического нуля и разрешает запись состояния первой бистабильной ячейки на элементах 4 и 5 во вторую бистабильную ячейку на элементах 8 и 9. Подача в это время высокого уровня на вход синхронного сброса 16 приводит к переключению выхода элемента ИЛИ-И-НЕ 4 в состояние логического нуля, что, в свою очередь, вызывает сначала переключение элемента ИЛИ-И-НЕ 5 в состояние логической единицы, затем элемента И-ИЛИ-НЕ 9 и, соответственно, прямого информационного выхода 13 триггера, в состояние логического нуля и, наконец, элемента И-ИЛИ-НЕ 8 и, соответственно, инверсного информационного выхода 14 триггера в состояние логической единицы. Сброс триггера завершен.

30 На Фиг. 3 представлена реализация самосинхронного динамического двухтактного D-триггера с нулевым спейсером с синхронной установкой. Реализация отличается от схемы на Фиг. 1 тем, что во вторую группу входов ИЛИ третьего элемента ИЛИ-И-НЕ 5 введен второй вход, подключенный к входу синхронной установки 17.

35 Установка триггера в состояние с высоким уровнем на прямом выходе 13 и низким уровнем на инверсном выходе 14 осуществляется при спейсерном (логического нуля) состоянии входа управления 12 триггера и происходит следующим образом. При низком уровне сигнала на входе управления 12 выход элемента ИЛИ-И-НЕ 3 своим высоким уровнем блокирует запись информационного входа 11 в бистабильную ячейку на элементах 4 и 5 и поддерживает выход индикаторного элемента ИЛИ-И-НЕ 6 в состоянии логического нуля. Подача в это время высокого уровня на вход синхронной установки 17 приводит сначала к переключению выхода элемента ИЛИ-И-НЕ 5 в состояние логического нуля, затем к переключению элемента ИЛИ-И-НЕ 4 в состояние логической единицы, потом элемента И-ИЛИ-НЕ 8 и инверсного информационного выхода 14 триггера в состояние логического нуля и, наконец, элемента И-ИЛИ-НЕ 9 и прямого информационного выхода 13 в состояние логической единицы. Установка триггера завершена.

45 На Фиг. 4 представлена реализация самосинхронного динамического двухтактного D-триггера с нулевым спейсером с синхронными сбросом и установкой. Реализация



отличается от реализации на фиг. 1 тем, что во вторые группы входов ИЛИ второго 4 и третьего 5 элементов ИЛИ-И-НЕ введены вторые входы, подключенные к входам синхронного сброса 16 и синхронной установки 17 соответственно. Сброс и установка D-триггера выполняется при спейсерном состоянии (состоянии логического нуля) входа управления 12 в соответствии с рассмотренными выше процедурами сброса и установки вариантов триггера, представленных на Фиг. 2 и 3.

Гистерезисный триггер с двумя входами I0 и I1 реализует функцию:

$$Y^+ = I0 * I1 + Y * (I0 + I1),$$

где Y - текущее значение выхода; Y<sup>+</sup> - будущее значение выхода. Его схемотехническая реализация может быть представлена в виде совокупности двух логических элементов [4] или принципиальной схемой на КМОП транзисторах в виде статического или полустатического С-элемента [5, Fig. 2].

Источники:

[1] Титце У., Шенк К. Полупроводниковая схемотехника: Справочное руководство. Пер. с нем. М.: Мир, 1982. - 512 с, рис. 9.34.

[2] Степченко Ю.А., Дьяченко Ю.Г., Плеханов Л.П., Гринфельд Ф.И., Степченко Д.Ю. Самосинхронный двухтактный D-триггер с высоким активным уровнем сигнала управления / Патент на изобретение №2365031. Оpubл. в Б.И., 2009, №23. - 9 с.

[3] Угрюмов Е.П. Цифровая схемотехника. - СПб.: БХВ - Санкт-Петербург, 2000. 528 с. ISBN 5-8206-0100-9, рис. 3.7(б).

[4] Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. / Под. ред. В.И. Варшавского. - М.: Наука, 1986, с. 79.

[5] A. Morgenshtein, M. Moreinis, and R. Ginosar. Asynchronous Gate-Diffusion-Input (GDI) Circuits / IEEE Transactions On Very Large Scale Integration (VLSI) Systems, Vol. 12, NO. 8, August 2004, pp. 847-856.

#### (57) Формула изобретения

Самосинхронный динамический двухтактный D-триггер с нулевым спейсером, содержащий инвертор, четыре элемента ИЛИ-И-НЕ и два элемента И-ИЛИ-НЕ, информационный вход, управляющий вход, прямой и инверсный информационные выходы и индикаторный выход, информационный вход подключен к входу инвертора, второму входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ, первому входу первой группы входов ИЛИ третьего элемента ИЛИ-И-НЕ и первому входу первой группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, вход управления соединен с входом второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ, выход которого подключен ко вторым входам первых групп входов ИЛИ второго и третьего элементов ИЛИ-И-НЕ, третьим входам первой и второй групп входов ИЛИ четвертого элемента ИЛИ-И-НЕ и ко вторым входам первых групп входов И первого и второго элементов И-ИЛИ-НЕ, выход инвертора подключен к первым входам первых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ и к первому входу второй группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, выход второго элемента ИЛИ-И-НЕ подключен ко второму входу первой группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, входу второй группы входов ИЛИ третьего элемента ИЛИ-И-НЕ и первому входу первой группы входов И первого элемента И-ИЛИ-НЕ, выход первого элемента И-ИЛИ-НЕ соединен с входом второй группы входов И второго элемента И-ИЛИ-НЕ и инверсным информационным выходом триггера, выход третьего элемента ИЛИ-И-НЕ соединен со вторым входом второй группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ, входом второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ и первым входом

первой группы входов И второго элемента И-ИЛИ-НЕ, выход второго элемента И-ИЛИ-НЕ соединен с входом второй группы входов И первого элемента И-ИЛИ-НЕ и прямым информационным выходом триггера, отличающийся тем, что в схему введены второй инвертор, гистерезисный триггер, пятый элемент ИЛИ-И-НЕ, третья группа входов ИЛИ в четвертый элемент ИЛИ-И-НЕ и третьи входы в первые группы входов ИЛИ второго и третьего элементов ИЛИ-И-НЕ, причем третьи входы первых групп входов ИЛИ второго и третьего элементов ИЛИ-И-НЕ соединены с выходом гистерезисного триггера и входом второго инвертора, выход которого подключен ко второму входу третьей группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ и индикаторному выходу триггера, первый и второй входы гистерезисного триггера соединены с выходами четвертого и пятого элементов ИЛИ-И-НЕ соответственно, первый вход третьей группы входов ИЛИ четвертого элемента ИЛИ-И-НЕ подключен к выходу первого элемента ИЛИ-И-НЕ, первый и второй входы первой группы входов ИЛИ пятого элемента ИЛИ-И-НЕ соединены с выходами второго элемента ИЛИ-И-НЕ и первого элемента И-ИЛИ-НЕ соответственно, первый и второй входы второй группы входов ИЛИ пятого элемента ИЛИ-И-НЕ соединены с выходами третьего элемента ИЛИ-И-НЕ и второго элемента И-ИЛИ-НЕ соответственно, вход третьей группы входов ИЛИ пятого элемента ИЛИ-И-НЕ подключен к выходу первого элемента ИЛИ-И-НЕ.

20

25

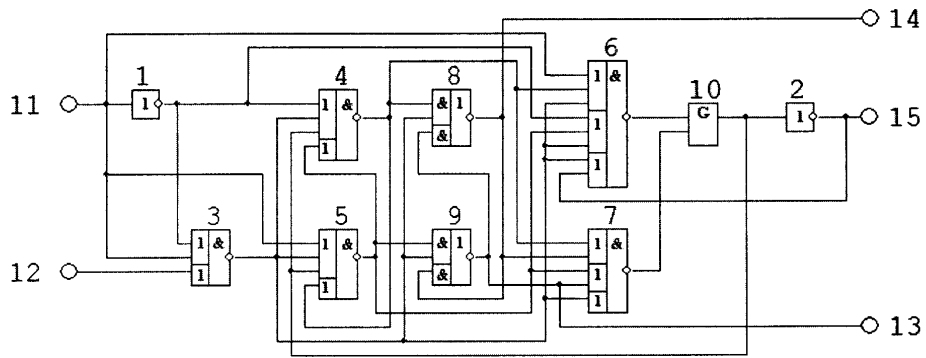
30

35

40

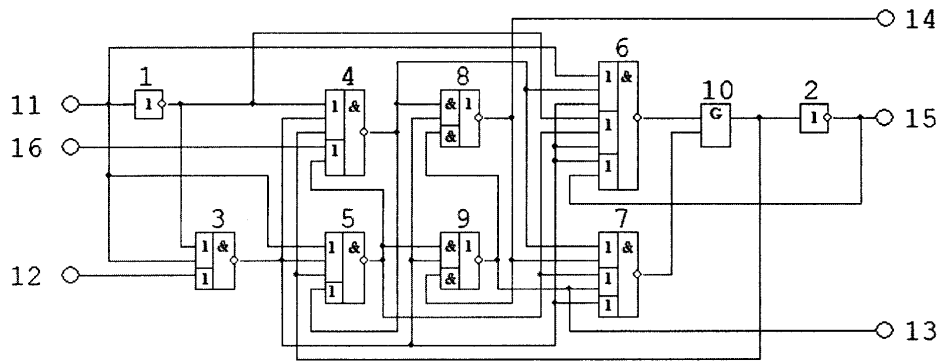
45

1

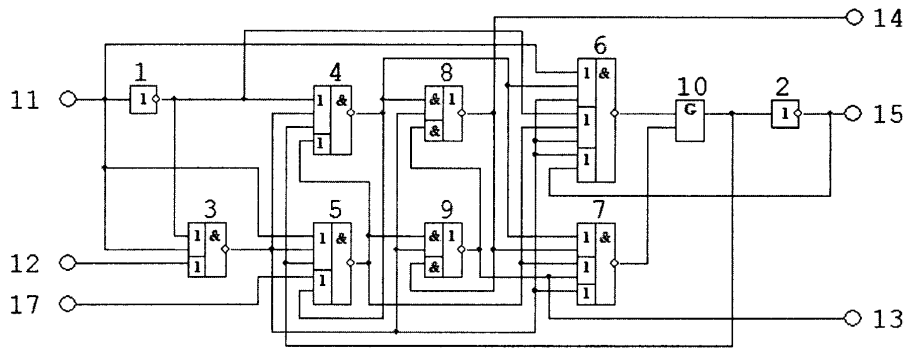


Фиг. 1

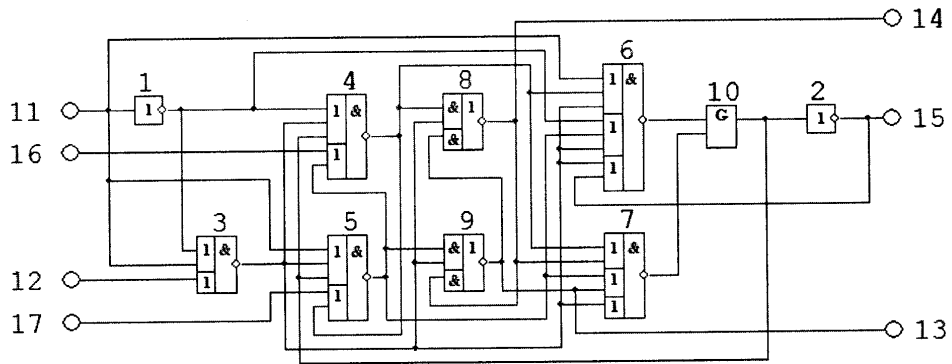
2



Фиг. 2



Фиг. 3.



Фиг. 4.