

ХАРАКТЕРИЗАЦИЯ ПОСЛЕДОВАТЕЛЬНОСТНЫХ САМОСИНХРОННЫХ ЭЛЕМЕНТОВ*

*Ю. А. Степченков¹, Ю. Г. Дьяченко², Н. В. Морозов³, Д. Ю. Степченков⁴,
Д. Ю. Дьяченко⁵*

Аннотация: Специфика функционирования самосинхронных (СС) схем предъявляет особые требования к процедуре их характеристики. Процедура должна учитывать дисциплину формирования информационных и фазовых сигналов на основе задаваемых пользователем атрибутов входов и выходов характеризуемого элемента. Предложена методика уточнения процесса характеристики для последовательностных СС-элементов, основанная на использовании векторов определения статических значений или направлений переключения входов и выходов. Алгоритмизация и реализация предложенного подхода в новой версии системы автоматизированной характеристики интегральных библиотек (САХИБ) повысили ее эффективность и обеспечили достоверную характеристику всех типов последовательностных элементов из библиотеки СС-элементов для 65-нанометровой КМОП (комплементарный металл-оксид-полупроводник) технологии. Автоматическое дополнение в процессе характеристики моделей последовательностных элементов конструкциями анализа порядка изменения сигналов на их входах и предупреждения о некорректной последовательности входов облегчает и ускоряет проектирование СС цифровых схем.

Ключевые слова: самосинхронная схема; временные параметры; характеристика; моделирование; триггер; начальное состояние

DOI: 10.14357/08696527190309

1 Введение

Современный тренд микроэлектроники — разработка надежных энергоэффективных цифровых устройств — открывает широкие перспективы для внед-

* Исследование выполнено в рамках проекта № КП19-260 (Механизмы обеспечения отказоустойчивости современных высокопроизводительных и высоконадежных применений), финансируемого Минобрнауки России.

¹Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, YStepchenkov@ipiran.ru

²Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, diaura@mail.ru

³Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, NMorozov@ipiran.ru

⁴Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, stepchenkov@mail.ru

⁵Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, diaden87@gmail.com

рения СС-схем, являющихся естественно надежными и обладающими рядом преимуществ по сравнению с синхронными аналогами [1, 2]. Их эффективное проектирование невозможно без встраивания дополнительных библиотек СС-элементов в промышленные системы проектирования сверхбольших интегральных схем (СБИС) и, соответственно, без подготовки стандартизованных файлов описания моделей элементов, содержащих электрические и энергетические параметры элементов встраиваемых библиотек. Традиционно для этого используются программные средства характеристики.

Известные в настоящее время программные средства характеристики элементов стандартных библиотек, например [3, 4], разрабатывались для синхронной схемотехники и не позволяют получить адекватные модели для СС-элементов. Поэтому разработка эффективного программного средства, обеспечивающего получение адекватных параметров элементов базиса проектирования СС-схем и достоверность характеристик проектируемых СС КМОП СБИС и систем на кристалле, является актуальной задачей.

В 2012–2016 гг. в Институте проблем информатики Российской академии наук (ИПИ ФИЦ ИУ РАН, отдел 52) была разработана система характеристики СС-элементов на КМОП-транзисторах САХИБ [5]. Однако ее опытная эксплуатация выявила некоторые недостатки, снижающие эффективность характеристики последовательностных СС-схем.

2 Проблемы характеристики самосинхронных элементов

Характеризация элемента основана на автоматизированном электрическом моделировании его принципиальной схемы. Точность и адекватность полученных результатов моделирования обеспечиваются двумя факторами:

- (1) корректностью определения пары «активный вход – активный выход», такой что изменение уровня сигнала именно на активном входе и только на нем приводит к требуемому переключению выбранного выхода при фиксированных значениях остальных входов элемента;
- (2) адекватностью и реализуемостью начального состояния элемента, которое должно быть статическим в отсутствие переключений активного входа.

При характеристике последовательностных элементов (триггеров и схем на их основе) возникает проблема задания начального состояния, поскольку в каждый момент времени состояние ячейки памяти может определяться не только текущим значением сигналов в цепях схемы элемента, но и предшествующим их значением.

2.1 Особенности работы триггерных самосинхронных элементов

Опытная эксплуатация системы характеристики СС-элементов САХИБ [5] показала, что начальное состояние триггерных элементов не всегда вычисляется

корректно. Но этот недостаток может быть устранен с учетом особенностей их функционирования. Особенность работы триггерных СС-элементов заключается в соблюдении правильной последовательности поступления сигналов на входы элемента. При характеристике СС-триггеров с входом управления и информационным входом в виде унарного, бифазного или парафазного без спейсера сигнала необходимо учитывать, что при корректной последовательности изменений состояний входов переключение информационного входа не приводит к изменению состояния выходов триггера.

В триггерах с парафазным со спейсером (ПФС) информационным входом такая зависимость существует и ее надо учитывать. Если при этом триггер с ПФС-входом имеет и вход управления, то зависимость выхода от информационного входа должна определяться при рабочем состоянии входа управления.

Полученные реальные зависимости выходов от входов будут описывать поведение триггера в «легальных» условиях, в которых дисциплина формирования сигналов соответствует требованиям СС-схем. Ниже перечислены зависимости, для которых должны быть определены задержки для разных типов триггеров.

Однотактный и двухтактный D-триггер и RS-триггер с бифазным или парафазным без спейсера входом

1. Зависимость обоих компонентов бифазного информационного выхода от входа управления.
2. Зависимость индикаторного выхода от входа управления, переключающегося либо из спейсера в рабочее значение, либо из рабочего значения в спейсер.
3. Зависимость обоих компонентов бифазного информационного выхода от входа установки.
4. Зависимость индикаторного выхода от входа СС-установки для случаев, когда установка инициируется или завершается.
5. Зависимость выхода инверсии входа управления ЕВ (если он есть) от входа управления, переключающегося либо из спейсера в рабочее значение, либо из рабочего значения в спейсер.

Однотактный и двухтактный RS-триггер с информационным ПФС-входом

1. Зависимость обоих компонентов бифазного информационного выхода от ПФС-входа.
2. Зависимость индикаторного выхода от ПФС-входа, переключающегося либо из спейсера в рабочее значение, либо из рабочего значения в спейсер.
3. Зависимость обоих компонентов бифазного информационного выхода от входа установки.
4. Зависимость индикаторного выхода от входа СС-установки, когда установка инициируется или завершается.

2.2 Задание начального состояния триггера

Начальное состояние СС-триггера определяется состояниями бистабильных ячеек (БЯ), из которых он состоит. В одноктактном триггере состояние единственной БЯ однозначно определяется состоянием входов и выходов триггера. В двухтактных триггерах состояние первой БЯ должно быть:

- (1) идентично состоянию второй (выходной) БЯ для случаев зависимости информационного и индикаторного выходов от входов установки и зависимости индикаторного выхода от информационного входа и входов управления при переключении в рабочую фазу;
- (2) противоположно состоянию второй БЯ для случаев зависимости информационного выхода от информационного входа и входов управления и зависимости индикаторного выхода от информационного входа и входов управления при переключении в спейсер.

Для задания пользователем начального состояния входов и выходов используется вектор определения статических значений или направлений переключения входов и выходов характеризуемого элемента:

$$\begin{aligned} \langle \text{имя_активного_входа} \rangle : \langle \text{имя_активного_выхода} \rangle [\langle \text{имя_входа}_1 \rangle = \\ = I_1, \dots, \langle \text{имя_входа}_N \rangle = I_N, \\ \langle \text{имя_выхода}_1 \rangle = O_1, \dots, \langle \text{имя_выхода}_M \rangle = O_M], \end{aligned}$$

где $\langle \text{имя_входа}_1 \rangle, \dots, \langle \text{имя_входа}_N \rangle$ — имена всех входов элемента; $\langle \text{имя_выхода}_1 \rangle, \dots, \langle \text{имя_выхода}_M \rangle$ — имена всех выходов элемента; I_1, \dots, I_N — статические значения входов или направление переключения активного входа элемента; O_1, \dots, O_M — начальные состояния выходов или направление переключения активного выхода элемента. При задании значений входов и выходов элемента используется следующий алфавит:

- 0, 1 — статическое значение входа или начальное значение выхода;
- R — направление переключения активного входа или выхода из 0 в 1;
- F — направление переключения активного входа или выхода из 1 в 0;
- * — значение входа или выхода не важно.

Порядок перечисления входов и выходов в векторе может быть любым.

Например, для триггера R0CE10 с бифазным информационным входом (R, S), входом управления E и входом СС-установки C, изображенного на рис. 1, могут быть заданы следующие векторы:

```
//--- Переключение триггера в спейсер
E : I [E=F, R=*, S=*, C=1, I=R, Q=*, QB=*]
//--- Переключение триггера в рабочую фазу
E : I [E=R, R=*, S=*, C=1, I=F, Q=*, QB=*]
E : Q [E=R, R=1, S=0, C=1, I=F, Q=F, QB=R]
```

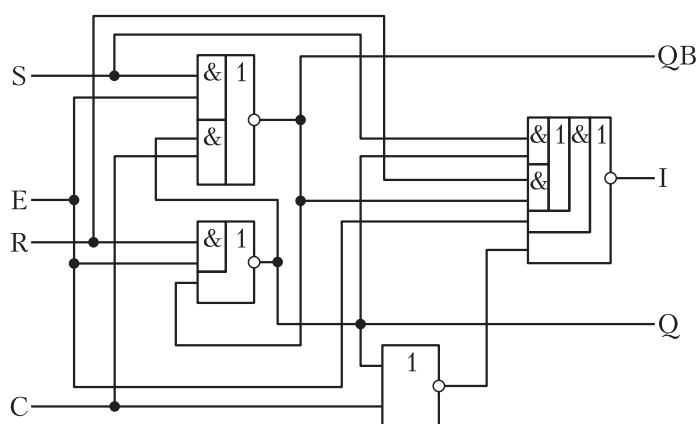


Рис. 1 Функционально-логическая схема триггера R0CE10

E : QB [E=R, R=1, S=0, C=1, I=F, Q=F, QB=R]
 E : Q [E=R, R=0, S=1, C=1, I=F, Q=R, QB=F]
 E : QB [E=R, R=0, S=1, C=1, I=F, Q=R, QB=F]
 //--- Установка триггера
 C : I [E=0, R=*, S=*, C=F, I=F, Q=*, QB=*]
 C : I [E=0, R=*, S=*, C=R, I=R, Q=*, QB=*]
 C : Q [E=0, R=*, S=*, C=F, I=F, Q=F, QB=R]
 C : QB [E=0, R=*, S=*, C=F, I=F, Q=F, QB=R]

Информационный вход данного триггера не имеет спейсера, поэтому фазовыми переключениями триггера «дирижирует» вход управления.

2.3 Фиксирование нарушений в работе самосинхронного триггера

В реальных схемах СС-дисциплина формирования сигналов может нарушаться из-за того, что либо схема не является СС-схемой, либо ее топологическая реализация привнесла слишком большие и разные по величине задержки в критические цепи. Поэтому модель СС-триггера должна включать проверки соотношения времен поступления сигналов на входы триггера и изменения входов при определенных значениях выходов и инициировать предупреждения при нарушениях СС-дисциплины.

К нарушениям СС-дисциплины относятся следующие:

- информационный ПФС-вход переключился в рабочую фазу при рабочем значении индикаторного выхода;
- информационный ПФС-вход переключился в спейсер при спейсере на индикаторном выходе;

- вход управления (выход ЕВ) переключился в рабочую фазу при рабочем значении индикаторного выхода;
- вход управления (выход ЕВ) переключился в спейсер при спейсере на индикаторном выходе;
- информационный вход, не являющийся ПФС, изменил свое состояние при рабочем значении входа управления (выхода ЕВ);
- вход СС-установки переключился в активное состояние при рабочем значении информационного ПФС-входа;
- информационный ПФС-вход переключился в рабочее состояние при активном значении входа СС-установки;
- вход СС-установки переключился в активное состояние при рабочем значении входа управления (выхода ЕВ);
- вход управления (выход ЕВ) переключился в рабочее состояние при активном значении входа СС-установки.

Общий вид генератора предупреждения о нарушении, связанном с изменением некоторого сигнала в течение указанного периода, в языке Verilog выглядит следующим образом [6]:

```
$nochange (reference_event, data_event, start_edge_offset,
end_edge_offset, notifier);
```

В случае СС-схем значения «start_edge_offset» и «end_edge_offset» достаточно выбрать нулевыми — это отвечает требуемой дисциплине формирования информационных, управляющих и установочных сигналов. Например, для триггера ROCE10 в Verilog-модель добавляется код

```
specify
    $nochange(posedge I, negedge E, 0, 0, notifier);
    $nochange(negedge I, posedge E, 0, 0, notifier);
    $nochange(negedge C, posedge E, 0, 0, notifier);
    $nochange(posedge E, R, 0, 0, notifier);
    $nochange(posedge E, S, 0, 0, notifier);
    $nochange(posedge E, negedge C, 0, 0, notifier);
    $nochange(negedge I, negedge C, 0, 0, notifier);
    $nochange(posedge I, posedge C, 0, 0, notifier);
endspecify
```

Описанная выше методика уточнения процесса характеристики для последовательностных элементов была алгоритмизирована и реализована в версии 3.0 системы характеристики САХИБ.

3 Доработка системы САХИБ

Для решения описанных выше задач система САХИБ была дополнена интерактивной работой с векторами, реализацией характеристики на основе данных векторов и модулем анализа возможных нарушений.

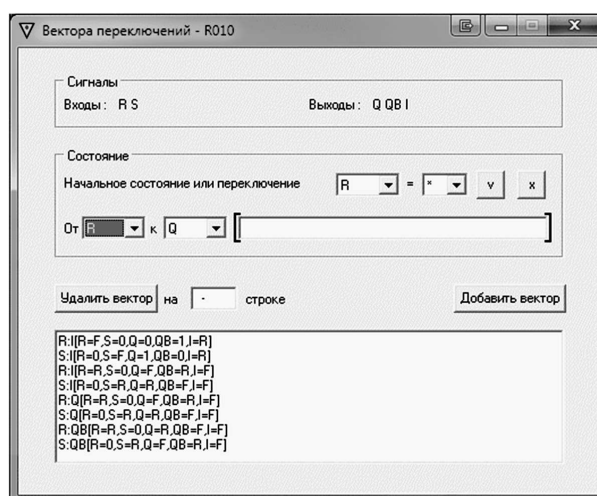


Рис. 2 Окно интерактивного задания векторов

Предусмотрена возможность начального получения всех векторов, формируемых программой характеристики автоматически, в качестве основы (шаблона) для формирования целесообразной совокупности векторов.

Выбор пары «активный вход – активный выход» и задание вектора для нее осуществляется в окне «Вектора переключений» (рис. 2). При наличии готового файла векторов для характеризуемой схемы с именем <имя_схемы>.vip его содержимое появится в нижней части окна «Вектора переключений». Перед запуском характеристики пользователь может посмотреть, изменить или пополнить список векторов.

Режим процесса характеристики выбирается пользователем:

- автоматический, программа сама составляет необходимые векторы;
- ручной, используются только заданные пользователем векторы;
- комбинированный.

Модуль анализа нарушений дисциплины формирования внешних и внутренних сигналов в характеризуемой схеме автоматически анализирует алгоритм ее функционирования и добавляет необходимые конструкции «\$nochange», описанные выше, в генерируемое системой характеристики Verilog-описание схемы. Это позволяет в процессе моделирования СС-схем локализовать нарушения дисциплины формирования сигналов в СС-схеме. Для сложных СС-схем такая возможность облегчает поиск причин нарушения самосинхронности схемы, выявленных на этапе анализа схемы на самосинхронность.

4 Заключение

Правильно спроектированные СС-схемы являются таковыми только при соблюдении соответствующей дисциплины входов, выходов и внутренних сигналов схемы. Поэтому наличие этой дисциплины должно учитываться при характеристике последовательностных СС-схем.

Дополнительные атрибуты задания на характеризацию последовательностного СС-элемента, задаваемые пользователем, — вектор определения статических значений входов и выходов или направлений переключения — позволяют однозначно определить начальное состояние входов, выходов и внутренних цепей элемента и сделать процедуру характеризации достоверной и полной.

Использование в Verilog-моделях элементов, формируемых по результатам характеризации, операторов анализа взаимного расположения их входных сигналов на временной оси обеспечивает дополнительный контроль соблюдения СС-дисциплины внешних и внутренних сигналов в СС-схеме. Это позволяет выявить и исправить нарушения самосинхронности на этапе функционально-логической верификации алгоритма работы схемы.

Литература

1. Степченков Ю. А., Дьяченко Ю. Г., Горелкин Г. А. Самосинхронные схемы — будущее микроэлектроники // Вопросы радиоэлектроники, 2011. № 2. С. 153–184.
2. Бобков С. Г., Горбунов М. С., Дьяченко Ю. Г., Рождественский Ю. В., Степченков Ю. А., Сурков А. В. Использование самосинхронной логики для снижения потребляемой мощности и повышения надежности микропроцессоров // Проблемы разработки перспективных микро- и наноэлектронных систем: Сб. трудов. — М.: ИППМ РАН, 2014. Ч. I. С. 43–48.
3. Library Characterization, Cadence. https://www.cadence.com/content/cadence-www/global/en_US/home/tools/custom-ic-analog-rf-design/library-characterization.html.
4. CHARISMA: система характеризации библиотек стандартных ячеек // Radix Tools. <http://www.radixtools.ru/products-charisma>.
5. Морозов Н. В., Дьяченко Ю. Г., Степченков Д. Ю. Система характеризации самосинхронных элементов САХИБ. Версия 2. Свидетельство о государственной регистрации программы для ЭВМ № 2016663661 от 13.12.2016.
6. IEEE Standard Verilog Hardware Description Language. IEEE Computer Society. IEEE Std 1364-2001 (Revision of IEEE Std 1364-1995). — New York, NY, USA: Institute of Electrical and Electronics Engineers, Inc., 2001. 778 p.

Поступила в редакцию 07.08.19

SEQUENTIAL SELF-TIMED CELL CHARACTERIZATION

*Yu. A. Stepchenkov, Yu. G. Diachenko, N. V. Morozov, D. Yu. Stepchenkov,
and D. Yu. Diachenko*

Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation

Abstract: Functional specificity of the self-timed circuits makes special requirements to their characterization procedure. This procedure should take into account a signal conditioning discipline for information and phase signals on base of user defined attributes of the characterized cell’s inputs and outputs. The paper describes a technique of adjusting characterization process for sequential self-timed cells. It is based on using vectors that set static values and transition direction for all inputs and outputs. Algorithmization and implementation of the suggested approach in new SAHIB characterization system version have increased its efficiency and provided the valid characterization of all sequential cell types in the self-timed cell library for 65-nanometer standard CMOS (complementary metal-oxide-semiconductor) process. Automatic introduction of the Verilog constructions analyzing change order of all cell inputs and notifying their invalid sequence into the sequential cell models during characterization procedure accelerates and mitigates self-timed circuit design.

Keywords: self-timed circuit; timing parameters; characterization; simulation; sequential cell; initial state

DOI: 10.14357/08696527190309

Acknowledgments

The research was performed within the project #KP19-260 funded by the Ministry of Education and Science of Russia.

References

1. Stepchenkov, Yu. A., Yu. G. Diachenko, and G. A. Gorelkin. 2011. Samosinkhronnyye skhemy — budushchee mikroelektroniki [Self-timed circuits are the future of microelectronics]. *Voprosy radioelektroniki* [Issues of Radio Electronics] 2:153–184.
2. Bobkov, S. G., M. S. Gorbunov, Yu. G. Diachenko, Yu. V. Rozhdestvenskij, Yu. A. Stepchenkov, and A. V. Surkov. 2014. Ispol’zovanie samosinkhronnoy logiki dlya snizheniya potrebyaemoy moshchnosti i povysheniya nadezhnosti mikroprotsessorov [Delay insensitive circuits for low power and highly reliable microprocessors]. *Conference (International) “Problems of Perspective Micro- and Nanoelectronic Systems Development” Proceedings*. Moscow: IPPM RAN. 1:43–48.

3. Library Characterization, Cadence. Available at: https://www.cadence.com/content/cadence-www/global/en_US/home/tools/custom-ic-analog-rf-design/library-characterization.html (accessed July 5, 2019).
4. CHARISMA: sistema kharakterizatsii bibliotek standartnykh yacheek [CHARISMA: Standard cell library characterization system]. *Radix Tools*. Available at: <http://www.radixtools.ru/products-charisma> (accessed July 5, 2019).
5. Morozov, N. V., Yu. G. Diachenko, and D. Yu. Stepchenkov. 13.12.2016. Sistema kharakterizatsii samosinkhronnykh elementov SAKhIB. Versiya 2 [SAHIB: Self-timed cell characterization system, version 2]. Certificate on official registration of the computer program No. 2016661383.
6. IEEE Standard Verilog Hardware Description Language. 2001. IEEE Computer Society. IEEE Std 1364-2001 (Revision of IEEE Std 1364-1995). New York, NY: The Institute of Electrical and Electronics Engineers, Inc. 778 p.

Received August 7, 2019

Contributors

Stepchenkov Yuri A. (b. 1951) — Candidate of Science (PhD) in technology, leading scientist, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; YStepchenkov@ipiran.ru

Diachenko Yuri G. (b. 1958) — Candidate of Science (PhD) in technology, senior scientist, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaura@mail.ru

Morozov Nikolai V. (b. 1956) — senior scientist, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; NMorozov@ipiran.ru

Stepchenkov Dmitri Yu. (b. 1973) — senior scientist, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; stepchenkov@mail.ru

Diachenko Denis Yu. (b. 1987) — research engineer, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaden87@gmail.com