



ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

## (12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК

*H03K 3/00 (2020.01); H03K 5/00 (2020.01); H03K 19/00 (2020.01)*

(21)(22) Заявка: 2019140932, 11.12.2019

(24) Дата начала отсчета срока действия патента:  
11.12.2019Дата регистрации:  
31.03.2020

Приоритет(ы):

(22) Дата подачи заявки: 11.12.2019

(45) Опубликовано: 31.03.2020 Бюл. № 10

Адрес для переписки:

119333, Москва, ул. Вавилова, 44, корп. 2,  
Федеральное государственное учреждение  
"Федеральный исследовательский центр  
"Информатика и управление" Российской  
академии наук (ФИЦ ИУ РАН)

(72) Автор(ы):

Степченков Юрий Афанасьевич (RU),  
Дьяченко Юрий Георгиевич (RU),  
Рождественский Юрий Владимирович (RU),  
Плеханов Леонид Петрович (RU)

(73) Патентообладатель(и):

Федеральное государственное учреждение  
"Федеральный исследовательский центр  
"Информатика и управление" Российской  
академии наук" (ФИЦ ИУ РАН) (RU)(56) Список документов, цитированных в отчете  
о поиске: RU 2664004 C1, 14.08.2018. RU  
2469470 C1, 10.12.2012. RU 2475952 C1,  
20.02.2013. US 2003/0155982 A1, 21.08.2003.

(54) Формирователь парафазного сигнала с нулевым спейсером

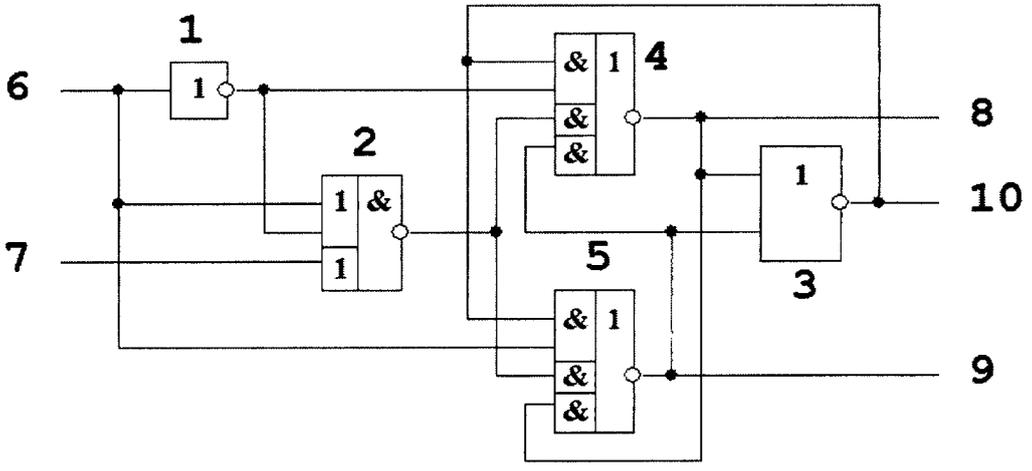
(57) Реферат:

Изобретение относится к импульсной и вычислительной технике. Технический результат - сокращение сложности реализации формирователя парафазного сигнала с нулевым спейсером при сохранении самосинхронности его работы с самосинхронным окружением с более высоким быстродействием. Он достигается тем, что в схему, содержащую инвертор, элемент ИЛИ-И-НЕ, элемент ИЛИ-НЕ, информационный

унарный вход, вход управления, парафазный информационный выход и индикаторный выход, введены два элемента И-ИЛИ-НЕ, вход и выход инвертора подключены к входам первой группы входов ИЛИ элемента ИЛИ-И-НЕ, а индикаторный выход подключен к первым входам первых групп входов И элементов И-ИЛИ-НЕ. 1 ил.

RU 2 718 221 C1

RU 2 718 221 C1



Фиг. 1

RU 2718221 C1

RU 2718221 C1



FEDERAL SERVICE  
FOR INTELLECTUAL PROPERTY

(12) **ABSTRACT OF INVENTION**

(52) CPC

*H03K 3/00 (2020.01); H03K 5/00 (2020.01); H03K 19/00 (2020.01)*

(21)(22) Application: **2019140932**, 11.12.2019

(24) Effective date for property rights:  
11.12.2019

Registration date:  
31.03.2020

Priority:

(22) Date of filing: 11.12.2019

(45) Date of publication: 31.03.2020 Bull. № 10

Mail address:

119333, Moskva, ul. Vavilova, 44, korp. 2,  
Federalnoe gosudarstvennoe uchrezhdenie  
"Federalnyj issledovatel'skij tsentr "Informatika i  
upravlenie" Rossijskoj akademii nauk (FITS IU  
RAN)

(72) Inventor(s):

**Stepchenkov Yuriy Afanasevich (RU),  
Dyachenko Yuriy Georgievich (RU),  
Rozhdestvenskij Yuriy Vladimirovich (RU),  
Plekhanov Leonid Petrovich (RU)**

(73) Proprietor(s):

**Federalnoe gosudarstvennoe uchrezhdenie  
"Federalnyj issledovatel'skij tsentr "Informatika  
i upravlenie" Rossijskoj akademii nauk" (FITS  
IU RAN) (RU)**

(54) **PARAPHRASE SIGNAL FORMER WITH ZERO SPACER**

(57) Abstract:

FIELD: pulse equipment; computer engineering.

SUBSTANCE: into circuit containing inverter, OR-AND-NOT element, NOR element, information unary input, control input, paraphrase information output and indicator output, two AND-OR-NOT elements are introduced, inverter input and output are connected to inputs of the first group of OR inputs and OR-AND-NOT elements, and indicator output is connected to

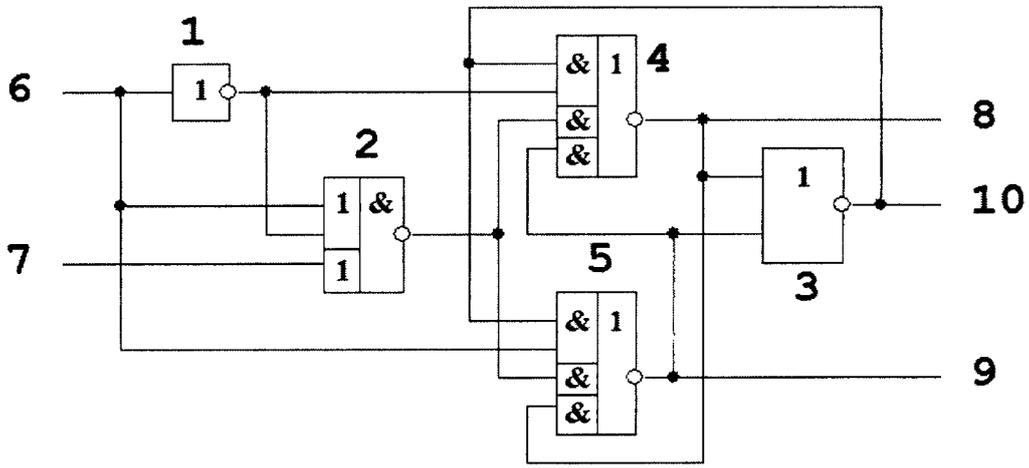
first inputs of first groups of AND inputs of AND-OR-NOT elements.

EFFECT: reduced complexity of realization of a paraphrase signal generator with a zero spacer while maintaining self-synchronization of its operation with a self-synchronized environment with faster operation.

1 cl, 1 dwg

C 1  
2 7 1 8 2 2 1  
R U

R U  
2 7 1 8 2 2 1  
C 1



Фиг. 1

RU 2718221 C1

RU 2718221 C1

Формирователь парафазного сигнала с нулевым спейсером относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных комбинационных, триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации.

5 Известен самосинхронный преобразователь унарного сигнала в парафазный сигнал с единичным спейсером в составе разряда параллельного регистра с однофазными входами [1, рис. 11.19], состоящий из элементов И-ИЛИ-НЕ, И-НЕ ИЛИ-НЕ и инверторов.

10 Недостаток известного устройства - невозможность его использования в самосинхронном режиме работы и единичный спейсер парафазного выхода.

Наиболее близким к предлагаемому решению по технической сущности и принятым в качестве прототипа является преобразователь унарного сигнала в парафазный сигнал с нулевым спейсером [2], содержащий два инвертора, два элемента ИЛИ-И-НЕ и элемент ИЛИ-НЕ. При этом прототип обеспечивает возможность самосинхронной работы преобразователя унарного сигнала в парафазный с единичным спейсером, разрешающего изменение унарного входа сразу по окончании формирования рабочего состояния на парафазном выходе. Однако цена этого технического решения - увеличение в два раза аппаратных затрат (числа транзисторов, необходимых для реализации прототипа) по сравнению с его прототипом и снижение быстродействия преобразователя.

Цели прототипа, состоящие в реализации самосинхронного режима преобразователя (формирователя), разрешающего изменение унарного входа сразу по окончании формирования рабочего состояния на парафазном выходе, могут быть достигнуты с существенно меньшими аппаратными затратами.

25 Задача, решаемая в изобретении, заключается в сокращении сложности схемы формирователя (преобразователя) парафазного сигнала с нулевым спейсером (не менее, чем на 26%), разрешающего изменение унарного входа сразу по окончании формирования рабочего состояния на парафазном выходе, при обеспечении его самосинхронной работы с более высоким быстродействием (не менее чем на 25%).

30 Это достигается тем, что в формирователь парафазного сигнала с нулевым спейсером, содержащий инвертор, элемент ИЛИ-И-НЕ и элемент ИЛИ-НЕ, унарный вход, вход управления, парафазный выход с нулевым спейсером и индикаторный выход, причем вход инвертора подключен к первому входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ, выход элемента ИЛИ-НЕ соединен с индикаторным выходом формирователя, введены два элемента И-ИЛИ-НЕ, причем второй вход первой группы входов ИЛИ элемента ИЛИ-И-НЕ подключен к выходу инвертора и второму входу первой группы входов И первого элемента И-ИЛИ-НЕ, вход второй группы входов ИЛИ элемента ИЛИ-И-НЕ соединен с входом управления, выход элемента ИЛИ-И-НЕ подключен к входам вторых групп входов И первого и второго элементов И-ИЛИ-НЕ, первые входы первых групп входов И первого и второго элементов И-ИЛИ-НЕ соединены с выходом элемента ИЛИ-НЕ, второй вход первой группы входов И второго элемента И-ИЛИ-НЕ подключен к унарному входу формирователя и входу инвертора, вход третьей группы входов И первого элемента И-ИЛИ-НЕ соединен с выходом второго элемента И-ИЛИ-НЕ, вторым входом элемента ИЛИ-НЕ и инверсной составляющей парафазного выхода, вход третьей группы входов И второго элемента И-ИЛИ-НЕ подключен к выходу первого элемента И-ИЛИ-НЕ, первому входу элемента ИЛИ-НЕ и прямой составляющей парафазного выхода.

Предлагаемое устройство обладает существенными признаками, отличающими его

от прототипа и обеспечивающих достижение заявленного технического результата. Действительно, вход инвертора подключен к первому входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ, а выход элемента ИЛИ-НЕ соединен с индикаторным выходом формирователя и в прототипе. Но способ подключения выхода инвертора к  
5 входам остальных элементов схемы преобразователя сигнала в прототипе не обеспечивает его индицируемости при работе преобразователя в самосинхронном окружении. Именно подключение входа и выхода инвертора к входам первой группы входов ИЛИ элемента ИЛИ-И-НЕ формирователя позволило достичь эффекта, выраженного целью изобретения.

10 Поскольку введенные конструктивные связи в аналогичных технических решениях не известны, устройство может считаться имеющим существенные отличия.

Понятие "парафазный", используемое в тексте данной заявки, определяется следующим образом. Парафазным считается сигнал, представленный двумя составляющими - парой переменных  $\{X, XB\}$ , которые в активной фазе имеют  
15 взаимоинверсные значения:  $\{X=0, XB=1\}$  или  $\{X=1, XB=0\}$ . Переход парафазного сигнала из одного статического рабочего состояния в противоположное рабочее состояние может осуществляться двумя способами.

Первый способ предполагает использование парафазного сигнала со спейсером: когда переходу в следующее рабочее состояние обязательно предшествует переход в  
20 третье статическое состояние - спейсерное (нерабочее состояние или состояние гашения). Если в качестве спейсерного используется состояние  $\{1,1\}$ , то говорят, что используется парафазный сигнал с нулевым спейсером, а если состояние  $\{0,0\}$ , то - парафазный сигнал с нулевым спейсером. Спейсерное состояние - статическое состояние, переключение в которое в самосинхронной схемотехнике должно фиксироваться индикатором окончания  
25 переходного процесса, в данном случае - окончания переключения в спейсерное состояние.

Второй способ предполагает использование парафазного сигнала без спейсера. При этом переход из одного рабочего статического состояния в другое осуществляется через динамическое (кратковременное) состояние:  $\{1,1\}$  или  $\{0,0\}$ , - называемое  
30 транзитным состоянием.

В материалах данной заявки речь идет о формировании на выходе формирователя парафазного сигнала с нулевым спейсером, в дальнейшем - просто парафазного сигнала.

Унарный сигнал - обычный одиночный информационный сигнал, имеющий два возможных значения: 0 или 1. Вход управления отражает факт появления на  
35 информационном унарном входе нового значения, которое может и совпадать с предшествующим значением, своим переключением в состояние "1".

На Фиг. 1 представлена схема формирователя парафазного сигнала с нулевым спейсером. Схема содержит инвертор 1, элемент ИЛИ-И-НЕ 2, элемент ИЛИ-НЕ 3, два элемента И-ИЛИ-НЕ 4-5, унарный информационный вход 6, вход управления 7, парафазный информационный выход 8-9, индикаторный выход 10, вход инвертора 1  
40 подключен к унарному входу 6, к первому входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ 2 и ко второму входу первой группы входов И второго элемента И-ИЛИ-НЕ 5, выход элемента ИЛИ-НЕ 3 соединен с индикаторным выходом формирователя 10 и первыми входами первых групп входов И первого 4 и второго 5 элементов И-ИЛИ-НЕ, второй вход первой группы входов ИЛИ элемента ИЛИ-И-НЕ 2 подключен к выходу инвертора и второму входу первой группы входов И первого элемента И-ИЛИ-НЕ 4, вход второй группы входов ИЛИ элемента ИЛИ-И-НЕ 2 соединен с входом управления 7, выход элемента ИЛИ-И-НЕ 2 подключен к входам вторых групп входов

И первого 4 и второго 5 элементов И-ИЛИ-НЕ, вход третьей группы входов И первого элемента И-ИЛИ-НЕ 4 соединен с выходом второго элемента И-ИЛИ-НЕ 5, вторым входом элемента ИЛИ-НЕ 3 и инверсной составляющей парафазного выхода 9, вход третьей группы входов И второго элемента И-ИЛИ-НЕ 5 подключен к выходу первого элемента И-ИЛИ-НЕ 4, первому входу элемента ИЛИ-НЕ 3 и прямой составляющей парафазного выхода 8.

Схема работает следующим образом. В спейсерной фазе на вход управления подается уровень логического 0, в результате обе составляющие парафазного выхода 8 и 9 принимают значение логического 0 и на индикаторном выходе 10 появляется логическая 1 как признак спейсера. При этом значение сигнала на унарном входе 6 никак не влияет на значения выходов формирователя. В рабочей фазе на вход управления 7 подается значение логической 1, в результате чего парафазный выход 8, 9 переключится в состояние, соответствующее значению унарного входа 6. По окончании переключения парафазного выхода 8, 9 в рабочую фазу индикаторный выход 10 перейдет в логический 0, отражая окончание всех переходных процессов в формирователе.

Особенности данной схемы по сравнению с прототипом следующие.

Элемент ИЛИ-И-НЕ, объединяя унарный вход, вход управления и выход инвертора, к входу которого подключен унарный вход, обеспечивает управление фазами работы формирователя и индцирование как унарного входа, так и входа управления формирователя. Это исключает необходимость использования дополнительного Г-триггера для индикации выхода инвертора, сокращая сложность реализации самосинхронного формирователя парафазного сигнала с нулевым спейсером (сложность прототипа вместе с дополнительным двухвходовым Г-триггером составляет 38 КМОП транзисторов, в то время как сложность предлагаемой схемы равна 28 КМОП транзисторам) и обеспечивая самосинхронность переключения формирователя из рабочей фазы в спейсер и обратно. Реализация предлагаемого устройства базируется на элементах, входящих в стандартные библиотеки элементов, доступные для конечных пользователей. Однако, если учитывать особенность входных сигналов, приходящих на элементы И-ИЛИ-НЕ 4 и 5, реализующих RS-триггер - одновременность прихода сигналов с выходов элемента ИЛИ-И-НЕ 2 и элемента ИЛИ-НЕ 3 на оба компонента RS-триггера - можно сократить число транзисторов для реализации последнего с 16 до 14, а формирователя в целом, с 28 до 26.

При этом число каскадов, перезаряжающих выходные емкости в прототипе на 25% больше чем в предлагаемом решении: 6 и 4 соответственно.

Таким образом, предлагаемое устройство обладает меньшей сложностью реализации и обеспечивает самосинхронную работу формирователя парафазного сигнала с нулевым спейсером с более высоким быстродействием. Цель изобретения достигнута.

Источники:

[1] Варшавский В.И., Кишиневский М.А., Мараховский В.Б. и др. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В.И. Варшавского. - М.: Наука. Гл. ред. физ.-мат.лит., 1986. - 400 с.

[2] Л.П. Плеханов, Ю.А. Степченков, Ю.Г. Дьяченко, А.Н. Денисов. Преобразователь унарного сигнала в парафазный с нулевым спейсером. - Патент РФ №2664004. Оpubл. 14.08.2018 Бюл. №23. - 8 с.

#### (57) Формула изобретения

Формирователь парафазного сигнала с нулевым спейсером, содержащий инвертор, элемент ИЛИ-И-НЕ и элемент ИЛИ-НЕ, унарный информационный вход, вход

управления, парафазный информационный выход с нулевым спейсером и индикаторный выход, причем вход инвертора подключен к первому входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ, выход элемента ИЛИ-НЕ соединен с индикаторным выходом формирователя, отличающийся тем, что в схему введены два элемента И-ИЛИ-НЕ, причем второй вход первой группы входов ИЛИ элемента ИЛИ-И-НЕ 5 подключен к выходу инвертора и второму входу первой группы входов И первого элемента И-ИЛИ-НЕ, вход второй группы входов ИЛИ элемента ИЛИ-И-НЕ соединен с входом управления, выход элемента ИЛИ-И-НЕ подключен к входам вторых групп входов И первого и второго элементов И-ИЛИ-НЕ, первые входы первых групп входов И первого и второго элементов И-ИЛИ-НЕ соединены с выходом элемента ИЛИ-НЕ, 10 второй вход первой группы входов И второго элемента И-ИЛИ-НЕ подключен к унарному входу формирователя и входу инвертора, вход третьей группы входов И первого элемента И-ИЛИ-НЕ соединен с выходом второго элемента И-ИЛИ-НЕ, вторым входом элемента ИЛИ-НЕ и инверсной составляющей парафазного выхода, 15 вход третьей группы входов И второго элемента И-ИЛИ-НЕ подключен к выходу первого элемента И-ИЛИ-НЕ, первому входу элемента ИЛИ-НЕ и прямой составляющей парафазного выхода.

20

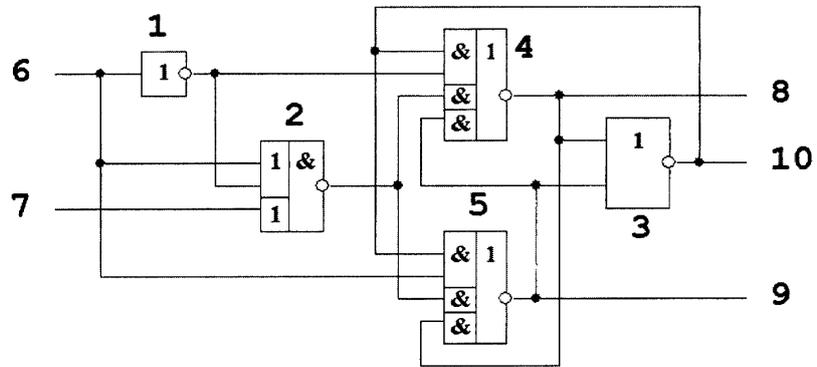
25

30

35

40

45



Фиг. 1