

СИСТЕМЫ И СРЕДСТВА ИНФОРМАТИКИ

**Научный журнал Российской академии наук
(издается под руководством Отделения нанотехнологий
и информационных технологий РАН)**

Издается с 1989 года
Журнал выходит ежеквартально

Учредители:

**Российская академия наук
Федеральный исследовательский центр
«Информатика и управление» Российской академии наук**

РЕДАКЦИОННЫЙ СОВЕТ

академик РАН И. А. Соколов — председатель Редакционного совета
академик РАН Г. И. Савин
академик РАН А. Л. Стемпковский
член-корреспондент РАН Ю. Б. Зубарев
профессор Ш. Долев (S. Dolev, Beer-Sheva, Israel)
профессор Ю. Кабанов (Yu. Kabanov, Besancon, France)
профессор М. Никулин (M. Nikulin, Bordeaux, France)
профессор В. Ротарь (V. Rotar, San-Diego, USA)
профессор М. Финкельштейн (M. Finkelstein, Rostok, Germany)

РЕДАКЦИОННАЯ КОЛЛЕГИЯ

академик РАН И. А. Соколов — главный редактор
профессор, д.ф.-м.н. С. Я. Шоргин — заместитель главного редактора
д.т.н. В. Н. Захаров проф., д.ф.-м.н. В. Ю. Королев
проф., д.т.н. В. Д. Ильин проф., д.г.-м.н. Р. Б. Сейфуль-Мулюков
проф., д.ф.-м.н. Л. А. Калининченко проф., д.т.н. И. Н. Синицын
д.т.н. В. А. Козмидади к.т.н. А. В. Филин
проф., д.т.н. К. К. Колин к.ф.-м.н. С. А. Христочевский

Редакция

профессор, д.г.-м.н. Р. Б. Сейфуль-Мулюков
к.ф.-м.н. Е. Н. Арутюнов
С. Н. Стригина (ответственный секретарь)

© Федеральный исследовательский центр «Информатика
и управление» Российской академии наук, 2016

Журнал включен в базу данных Russian Science Citation Index (RSCI),
интегрированную с Web of Science

Журнал входит в систему Российского индекса научного цитирования (РИНЦ)
Журнал включен в базу данных CrossRef (систему DOI — Digital Object Identifier),
в базу данных Ulrich's periodicals directory
и в информационную систему «Общероссийский математический портал Math-Net.Ru»

Журнал реферируется в «Реферативном журнале» ВИНТИ
и в системе Google Scholar

Журнал включен в сформированный Минобрнауки России Перечень рецензируемых научных изданий, в которых должны быть опубликованы основные научные результаты диссертаций на соискание ученой степени кандидата наук, на соискание ученой степени доктора наук

<http://www.ipiran.ru/journal/collected>

СИСТЕМЫ И СРЕДСТВА ИНФОРМАТИКИ

Том 26 № 2 Год 2016

СОДЕРЖАНИЕ

Системы и средства глубокого обучения в задачах классификации О. Ю. Бахтеев, М. С. Попова, В. В. Стрижов	4
Анализ самосинхронности электронных схем на нижнем уровне иерархии Л. П. Плеханов	23
Лексический анализ динамически формируемых строковых выражений М. И. Полубелова, С. В. Григорьев	43
Нормальные фильтры Пугачёва для автокоррелированных стохастических систем, линейных относительно состояния И. Н. Сеницын, Э. Р. Корепанов	63
Модифицированные эллипсоидальные субоптимальные фильтры для нелинейных стохастических систем на многообразиях И. Н. Сеницын, В. И. Сеницын, Э. Р. Корепанов	79
Создание реалистичных наборов данных для алгоритмов трехмерной реконструкции с помощью виртуальной съемки компьютерной модели О. А. Яковлев, А. В. Гасилов	98
Иерархическая форма представления биографического факта И. М. Адамович, О. И. Волков	108
Информационная система ячеечно-нейросетевого моделирования последствий химических аварий на опасных производственных объектах С. П. Дударов, П. Л. Папаев	123

АНАЛИЗ САМОСИНХРОННОСТИ ЭЛЕКТРОННЫХ СХЕМ НА НИЖНЕМ УРОВНЕ ИЕРАРХИИ*

*Л. П. Плеханов*¹

Аннотация: Самосинхронные электронные схемы, обладающие уникальными свойствами, требуют обязательного анализа на свойство самосинхронности. При анализе необходимо вычислить и проверить все рабочие состояния схемы и переходы между ними. Существующие событийные методы оперируют всеми уравнениями схемы одновременно. Для практических схем большого размера анализ этими методами приводит к неприемлемым вычислительным затратам. Предложенный ранее автором функциональный иерархический метод позволяет анализировать схемы по частям «снизу вверх». Уравнения схемы анализируются только на нижнем уровне иерархии, на верхних уровнях используются взаимосвязи фрагментов и параметры, полученные на нижних уровнях. Метод обеспечивает эффективный анализ схем все возрастающих размеров. Подробно описан функциональный метод на нижнем уровне иерархии.

Ключевые слова: самосинхронные схемы; асинхронные схемы; анализ самосинхронности; иерархический анализ

DOI: 10.14357/08696527160202

1 Введение

Самосинхронные схемы (СС-схемы) обладают уникальными свойствами, не достижимыми в реализации других типов схем, синхронных или асинхронных. К ним относятся независимость поведения от задержек элементов, полное отсутствие состязаний, отказобезопасность, правильность функционирования в максимально широком диапазоне внешних условий (температуры и напряжения питания) и некоторые другие. Эти свойства были обоснованы теоретически и проверены экспериментально [1–3].

Одна из главных проблем проектирования СС-схем состоит в необходимости анализа самосинхронности практических схем, т. е. схем любого размера. Классический подход, основанный на теории полумодулярности Д. Е. Маллера [4] и развитый группой В. И. Варшавского [5], позволяет анализировать поведение схемы (переключение элементов) из одного начального состояния. Для практики этого явно недостаточно, так как необходимо обеспечить полумодулярность для

*Исследование выполнено при частичной финансовой поддержке по Программам фундаментальных исследований 2016 г. Президиума РАН (проект 0063-2015-0015 РАН 1.33П) и подпрограмме № 4 ОНИТ РАН на 2016 г. (проект 0063-2015-0016 П.3).

¹Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, lplekhanov@inbox.ru

всех возможных начальных состояний и входных воздействий, что приводит к проблеме полноты анализа [6]. Проблема полноты в классическом подходе даже не упоминалась.

Трудности создания практических СС-схем хорошо освещены в [1], они же справедливы и в наше время. За рамками обсуждений, однако, осталась проблема вычислительной сложности при анализе получаемых решений. Эта проблема и стала главным препятствием на пути проектирования больших схем — состоящих из десятков и более элементов.

Классический анализ схем на свойство полумодулярности основан на изучении состояний схемы и переключений элементов. Состояние схемы — это множество значений (0 или 1) выходов всех элементов схемы. Перед тем как переключиться, элемент переходит в возбужденное состояние, при котором в нем происходят внутренние переходные процессы. Эти процессы либо могут закончиться естественно — изменением выхода, либо могут быть прерваны без изменения выхода из-за изменений входов. Последняя ситуация называется конфликтом и является потенциальным источником состязаний.

Первый метод анализа, предложенный Маллером [4], — метод диаграмм переходов (ДП). Цель анализа — выявить конфликты в работе схемы. Схемы без конфликтов названы полумодулярными.

Вычислительная проблема в методе ДП возникает в связи с тем, что при изменении состояния могут возбудиться несколько элементов, что характеризует параллельность процессов в схеме. Пусть N — число возбужденных элементов в состоянии (степень параллельности). По правилам построения ДП данное состояние порождает N следующих состояний, в каждом из которых $N - 1$ возбужденных элементов. Каждое из этих состояний, в свою очередь, порождает $N - 1$ последовательных, в которых по $N - 2$ возбуждений. Налицо факториальная зависимость вычислений от степени параллельности.

Повышение параллельности вычислений — магистральный путь развития электроники, и метод ДП становится неэффективным. Например, если встретится состояние с $N = 10$, что вполне реально, то число порожденных им состояний превысит 3,6 млн. Такие состояния могут возникать в разных частях ДП, последовательно и параллельно.

Группой В. И. Варшавского был разработан метод диаграмм изменений (ДИ) [5]. Метод позволяет более компактно представить работу схемы, когда описываются не полные состояния, а только изменяющиеся выходы элементов. Метод основан на анализе эквивалентной ДП. Поскольку все проходимые состояния схемы должны быть проанализированы при имеющейся степени параллельности, вычислительные трудности хотя и уменьшаются, но остаются большими. Они переходят на другие аспекты анализа, например, на переход от описания схемы, заданной в элементах, к ДИ, и особенно на обработку процессов, порожденных элементами с операцией «ИЛИ».

Подход, реализуемый обоими приведенными классическими методами, будем называть далее событийным, так как его методы описывают и анализируют

события — переключение элементов схемы. С этой точки зрения ДП и ДИ — разные способы представления событий.

Общее для событийного подхода то, что схема должна быть представлена в замкнутом виде, гарантирующем ее самогенерацию, а также то, что анализ производится начиная только с одного заданного начального состояния. Оба эти обстоятельства требуют искусственных построений и затрудняют проектирование схем.

Для практических целей необходимо проанализировать все состояния, которые проходит схема в реальной работе, т. е. обеспечить полноту анализа.

Для обеспечения полноты в событийном подходе можно провести множество сеансов анализа по числу возможных начальных состояний. Помимо того, что это множество экспоненциально зависит от числа элементов схемы, такая стратегия не рациональна, так как не все возможные состояния реализуются при работе схемы.

Источником изменений в схеме являются изменения ее входов. Для анализа необходимо подобрать такую последовательность входных значений, чтобы пройти в одном сеансе все рабочие состояния схемы независимо от начального.

Проведенные в [6] расчеты показывают, что в событийном подходе гарантировать выполнение этого условия можно, подавая на вход 2^{2I+M} наборов, где I — число информационных входов, M — число переменных памяти, и эти наборы должны следовать в определенном порядке. Это означает, что необходимо строить весьма сложное замыкание, увеличивая число уравнений для анализа. Подобного или другого способа решения проблемы полноты в событийном подходе до сих пор не предложено.

Изложенные вычислительные трудности ограничивают применение событийных методов: для ДП — схемами из двух–трех десятков элементов, для ДИ — несколько больше (практического опыта с полнотой пока нет).

Методы событийного подхода являются универсальными, они анализируют любую предъявленную схему, без учета ее особенностей. Как известно, универсальные методы наиболее затратны, и решение проблемы, как правило, следует искать в специализированных методах.

Кроме того, событийные методы анализируют схему целиком. На практике конечную схему обычно уже невозможно анализировать целиком из-за ее размера, что не гарантирует свойства полумодулярности.

Единственным путем анализа схем любого размера представляется применение иерархического метода, гарантирующего самосинхронность составной схемы на основании ранее выполненного анализа ее частей. В событийном подходе такого метода также не предложено.

2 Самосинхронные схемы и иерархический метод

Определение «самосинхронные схемы» было введено в книге [1, с. 73] (в оригинале — *aperiodические* или *самосинхронизирующиеся*, но эти термины не

прижились) как схемы, правильность функционирования которых не зависит от величин задержек элементов. Из теории Маллера [4] следует, что если схема замкнута и полумодулярна начиная с некоторого начального состояния, то она самосинхронна (но только с этим начальным состоянием). Традиционно самосинхронность проверялась именно замыканием и анализом полумодулярности.

Однако для практического проектирования такой способ проверки всей схемы, как указывалось выше, неприемлем из-за вычислительных трудностей. Иерархический метод подразумевает разработку отдельных самосинхронных частей (далее — *СС-фрагментов*) и объединение их в общую СС-схему.

В классическом подходе при таком способе приходится замыкать и размыкать каждый СС-фрагмент. Теоретически замыкание — имитация поведения схемы следующего верхнего уровня — должно обеспечивать необходимую полноту переключений входов схемы. В классическом подходе эта проблема пока не решена. На практике, как показывает опыт, из-за сложности полного замыкания его никогда не делают, кроме тривиальных случаев.

Упомянутые проблемы проектирования СС-схем могут быть решены с помощью предложенного ранее функционального подхода [7, 8].

Особенности функционального подхода, по сравнению с событийным, следующие:

- анализируются уравнения элементов, состояния схемы не вычисляются;
- рассматриваются разомкнутые схемы, без замыканий;
- учитываются свойства СС-схем [1]: самосинхронное кодирование данных, двухфазный порядок работы, индцирование сигналов и др.

В функциональном подходе принято также другое определение СС-схемы, более удобное для проектирования. Это определение удовлетворяет определению в [1] и конкретизирует его [8].

Самосинхронная схема — это разомкнутая схема, во всех реальных начальных и проходимых при работе состояниях имеющая два свойства: отсутствие состояний при любых конечных задержках элементов и отказобезопасность по отношению к константным записаниям на 0 и 1 выходов элементов.

Под отказобезопасностью [9] здесь понимается остановка работы схемы при возникновении указанных неисправностей.

Отметим, что при этом подходе СС-фрагменты не нуждаются в замыкании–размыкании для анализа, а только схема целиком в конечном применении должна быть замкнута для автоматического чередования фаз — самогенерации.

В иерархическом методе в рамках функционального подхода только СС-фрагменты нижнего уровня представляются и анализируются в форме булевых уравнений. На верхних уровнях анализируются взаимосвязи фрагментов. В результате вычислительная сложность этого метода практически линейна по числу сигналов и фрагментов, что позволяет анализировать «поэтажно», снизу вверх, схемы любого размера. В публикациях [7, 8] анализ на нижнем уровне приводится в достаточно общем виде.

Темой данной статьи является более подробное изложение анализа СС-схем на нижнем уровне иерархии.

3 Постановка задачи

Особенности СС-схем заключаются в специальном — самосинхронном — кодировании информации и двухфазном режиме работы [1]. Самосинхронная схема автоматически переходит поочередно из одной фазы в другую, что требуется для обеспечения самосинхронности. Фазы носят название *рабочей* и *спейсера* (промежуточной).

Исходными данными для анализа послужит разомкнутая схема, представленная в булевых уравнениях элементов — зависимости выходной переменной элемента от входных переменных. (В соответствии с теорией Маллера одному уравнению соответствует один элемент схемы.)

Также необходимо явно обозначить интерфейс схемы — все внешние входы и выходы с их типами, специфичными для самосинхронности (*СС-типами*).

Введем уточнения и определения для дальнейшего изложения.

БСЯ — бистабильная ячейка — известная в электронике пара элементов с перекрестными связями, имеющая два стабильных состояния.

Самосинхронные типы сигналов могут быть следующими:

У-сигналы — унарные входные управляющие сигналы;

И-сигналы — унарные выходные индицирующие сигналы;

ПФС-сигналы — парафазные сигналы со спейсером, информационные — два сигнала в парафазном коде;

Фазовые сигналы — сигналы, значения которых определяются текущей фазой работы, это *У*-, *И*- и *ПФС*-сигналы;

БИН-сигналы — бинарные информационные сигналы — два связанных сигнала (обычно это выходы бистабильной ячейки), нефазовые;

УИН-сигналы — унарные информационные нефазовые сигналы (например, каждый из *БИН*-сигналов, рассматриваемый независимо).

Другие разновидности сигналов (режимные, установочные и др.) могут быть легко учтены и для простоты рассматриваться не будут.

В интерфейсе схемы должны присутствовать хотя бы по одному фазовому сигналу на входе и выходе. Также должны быть указаны значения спейсеров, 0 или 1, для входных фазовых сигналов.

Фаза — процесс, начинающийся с момента перехода входных фазовых сигналов в значения данной фазы и заканчивающийся установлением всех выходных фазовых сигналов в значения, соответствующие этой же фазе.

Цикл — процесс, состоящий из двух последовательных фаз. Первая фаза в цикле называется *предыдущей*, вторая (основная для анализа) — *основной*. Всего

существует два варианта цикла: начинающийся со спейсера и начинающийся с рабочей фазы.

Следуя [1], будем отождествлять имя элемента с именем его выходного сигнала.

Дисциплиной входных сигналов далее будет называться порядок их изменений относительно друг друга.

Задача ставится таким образом:

- установить самосинхронность схемы в соответствии с приведенным выше определением;
- получить информацию для включения в интерфейс для анализа на следующем верхнем уровне иерархии.

4 Метод анализа

Метод основан на проверке двух свойств предъявленной для анализа схемы в соответствии с приведенным выше определением СС-схемы.

Как показано в [1], свойство отказобезопасности обеспечивается другим свойством СС-схем, более удобным для анализа, — *индицируемостью*.

Смысл индицируемости (строгое определение дано в [1]) в том, что любое изменение выхода каждого элемента схемы должно «отслеживаться» ее выходными фазовыми сигналами. Если все изменения выходов произошли, то и все фазовые выходы схемы должны перейти к значениям текущей фазы. Если хотя бы один выход элемента «залип» на константу 0 или 1, то хотя бы один из фазовых выходов схемы остался в значении предыдущей фазы.

Индицируемость определена для разомкнутых схем, поскольку в замкнутых схемах входов и выходов нет и понятие фазы неприменимо.

Одно из основных теоретических положений для разомкнутых схем [1] утверждает: *«Двухфазная комбинационная схема является аperiодической тогда и только тогда, когда она индицируема»*.

Здесь аperiодичность подразумевает отсутствие состязаний.

Отметим свойства сигналов в СС-схемах, следующие из теории [1].

Любой сигнал в каждой из фаз может меняться не более 1 раза.

Фазовый сигнал, если меняется, то в заданной фазе всегда в одном направлении, либо из 0 в 1, либо из 1 в 0. Эта особенность, в частности, и позволила доказать упомянутое утверждение.

Иная ситуация с БИН (УИН) сигналами. Эти сигналы, в отличие от фазовых, в заданной фазе могут меняться в разных направлениях, и такая особенность может порождать состязания.

Таким образом, если схема не комбинационна, то ее индицируемость необходима, но не достаточна. Для самосинхронности требуется проверка состязаний.

Идея анализа состоит в том, чтобы выделить в схеме источники БИН- и УИН-сигналов — БСЯ — и проанализировать состязания, которые могут

ими порождаться. Проверка состязаний может проводиться для каждой БСЯ отдельно, что не требует значительных вычислительных ресурсов. Оставшаяся часть схемы, если она индицируема, состязаний не имеет.

С целью обеспечения полноты для всех входных парных сигналов схемы (ПФС и БИН) вводятся независимые величины — *параметры анализа* [8].

Здесь и далее в булевых выражениях знак \wedge обозначает отрицание, знак \vee — операцию ИЛИ, отсутствие знака — операцию И.

Введем обозначения: A_i и B_i — сигналы i -й ПФС-пары; C_j и D_j — сигналы j -й БИН-пары; символы $@$ и $\#$ будут признаками параметров.

Анализ проводится для каждого из двух циклов.

Сначала делается расчет установившихся значений всех элементов схемы в предыдущей фазе. Начальные значения внутренних сигналов в этой фазе принимаются произвольными. На ПФС-входы, если фаза — спейсер, подаются значения $A_i = B_i = S_i$, где S_i — константа 0 или 1 — значение соответствующего спейсера. Если фаза рабочая, значения пары будут инверсны: $A_i = @A_i$; $B_i = \wedge @A_i$, где $@A_i$ — первый параметр пары. На БИН-входы всегда подаются инверсные значения: $C_j = @C_j$; $D_j = \wedge @C_j$. Значения У-входов должны соответствовать фазе.

Далее проводится расчет значений в основной фазе. Внутренние начальные значения для нее остаются теми, что получились в предыдущей фазе. В отличие от предыдущей, на парные входы подаются другие параметры. На ПФС-входы в рабочей фазе подаются значения $A_i = \#A_i$ и $B_i = \wedge \#A_i$, на БИН-входы — $C_j = \#C_j$ и $D_j = \wedge \#C_j$.

В каждом цикле после расчета в предыдущей фазе сигналы, оставшиеся произвольными, принадлежат БСЯ, так как хранят свое значение и служат признаком для выявления этих БСЯ.

Все БСЯ схемы определяются после расчетов обоих циклов. Выявленные значения произвольных сигналов (с признаком $\$$) добавляются в параметры анализа.

Введенные параметры анализа и расчеты в двух циклах обеспечивают необходимую полноту анализа как по значениям и изменениям входных сигналов, так и по начальным состояниям.

Полученные результаты расчетов в каждом цикле используются как основа для дальнейшего анализа. Информация для верхнего уровня иерархии вычисляется в процессе анализа.

4.1 Проверка индицируемости сигналов

Индицируемость внутренних сигналов схемы обязательна для самосинхронности. Внешние сигналы могут либо индицироваться, либо нет на фазовых выходах схемы, и эта информация входит в информацию для верхнего уровня иерархии.

Индицируемость некоторого сигнала A в [1] определена как булева производная функции выходного элемента схемы по A с учетом транслируемости — передачи изменений по цепочке элементов от A до выхода. Такое определение позволяет установить самосинхронность только комбинационных схем, что и отражено в цитированном выше утверждении. Для схем с памятью транслируемость не соблюдается, и данное определение не помогает анализу.

В функциональном подходе индицируемость как одно из требований определения самосинхронности должна применяться к схемам общего вида. Поэтому в данном подходе она определена конструктивно — имитацией залипания — и проверяется прямым методом.

Делается новый расчет основной фазы таким образом, как если бы анализируемый сигнал залип — не менялся в этой фазе. Если все фазовые выходы схемы перешли в состояние, соответствующее основной фазе (как в первоначальном расчете), залипание не замечено и сигнал не индицируется. Параметры анализа при этом дадут информацию о сигналах и условиях этого нарушения, что позволит эффективно исправить схему. (Для сравнения — в событийных методах, чтобы установить место в схеме, порождающее нарушение полумодулярности, требуются дополнительные вычисления.)

Проверка индицируемости с параметрами анализа более подробно изложена в [8] и здесь повторяться не будет.

4.2 Проверка состязаний

Как указывалось выше, источником возможного состязания в СС-схемах является УИН-сигнал, а само состязание может возникнуть на элементе, на который этот сигнал подается.

Введем термины:

плечо — один из элементов БСЯ;

источник — источник УИН-сигнала;

последователь — элемент, на вход которого подается УИН-сигнал от источника.

Источниками в схеме будут плечи БСЯ, входные БИН- и УИН-сигналы, а также сигналы, идущие от источников через инверторы или повторители. Последовательями могут быть как плечи других БСЯ, так и элементы, не входящие в БСЯ, например индикаторы.

Состязания будут анализироваться по взаимодействию источник–последователь. Главную роль в проверке будет играть дисциплина их изменений.

Введем понятие блокирования.

Элемент будет считаться *заблокированным*, если значения его фазовых входов не позволяют изменяться выходному сигналу.

На рис. 1 показана диаграмма корректного взаимодействия источника и последователя. Здесь Q и Y — сигналы соответственно источника и последователя;

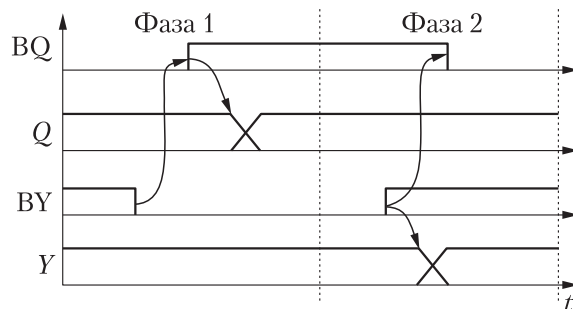


Рис. 1 Взаимодействие источника и последователя

VQ и VY — управляющие сигналы источника и последователя, значения этих сигналов: 0 — заблокировано, 1 — разрешено.

Блокирующая фаза (блок-фаза) — фаза, в которой элемент переходит из неблокированного состояния в заблокированное.

На рис. 1 блок-фаза для источника — фаза 2, для последователя — фаза 1.

Как следует из рис. 1, принципиально важное условие корректности заключается в том, что сигнал VQ не должен меняться раньше сигнала VY . В противном случае, в условиях произвольности задержек в СС-схемах, выход источника Q и сигнал VY могут состязаться, что вызовет непредсказуемые изменения выхода последователя Y .

Вследствие необходимой корректности сигналы VQ и VY должны быть связаны, а именно: это может быть один и тот же сигнал либо VQ должен всегда изменяться позже VY , т. е. VQ должен быть соединен с VY через промежуточные элементы.

Условие корректности, таким образом, может быть определено по соединениям элементов схемы. Полезными здесь оказываются блокирующие функции.

Блокирующей функцией (блок-функцией) элемента назовем булеву производную его функции по всем входным УИН-сигналам.

Если блок-функция равна 0, элемент заблокирован, если 1, то выход элемента может меняться.

Блокирующие сигналы (блок-сигналы) — это фазовые сигналы, входящие в блок-функцию.

В СС-схемах обычно блок-функции в представлении ДНФ имеют вид одной импликанты и блок-сигналы входят в нее как множители. Иные варианты на практике не используются из-за того, что при этом не удастся организовать правильное взаимодействие и индикацию. Поэтому другие варианты далее не рассматриваются.

Отсутствие состязаний последователя выявляется двумя расчетами: проверкой соединений блок-сигналов и проверкой монотонности переходов элементов.

4.2.1 Проверка соединений блокирующих сигналов

Назовем сигнал A *инициатором* элемента U , если вход этого элемента соединен с A через цепочку промежуточных элементов.

Пусть вычислены блок-функции источника и последователя. Тогда условие корректности на рис. 1 можно сформулировать так:

Хотя бы один блок-сигнал последователя должен быть либо блок-сигналом источника, либо инициатором блок-сигнала источника.

Это необходимое условие должно выполняться для всех пар источник–последователь в схеме и проверяется по соединениям элементов.

4.2.2 Проверка монотонности переходов последователя

Последователь может иметь на входе один или несколько УИН-сигналов. Если УИН-сигнал один, он не состязается со своими блок-сигналами по предыдущему условию.

Если последователь — плечо БСЯ, то у него на входе всегда два УИН-сигнала, один из них — от второго плеча. Сигнал от второго плеча, если изменяется, то всегда в том же направлении, что и сигнал первого плеча, так как оба они связаны друг с другом через два инвертирующих (или неинвертирующих) элемента. По этой причине состязаний здесь также не возникает.

Поскольку УИН-сигналы в одной фазе могут изменяться в разных направлениях, требуется проверять монотонность переходов последователя.

Согласно [1] функция $f(h_1, \dots, h_n)$ называется *изотонной* по переменной h_i , если $f(h_i = 1) \geq f(h_i = 0)$, и *антитонной*, если $f(h_i = 1) \leq f(h_i = 0)$.

Под *монотонностью* переходов понимается изменение всех входов элемента так, чтобы выполнялась либо изотонность по всем входам, либо антитонность по всем входам. Неменяющиеся входы не учитываются.

Если монотонность реализуется, состязаний не возникает.

Таким образом, проверке на монотонность подлежат последователи, не являющиеся плечами БСЯ и имеющие на входе более одного УИН-сигнала. Проверка осуществляется в основной фазе цикла. Если на входе последователя есть блок-сигналы, то проверка делается только в неблокирующей основной фазе, если блок-сигналов нет, то в основных фазах обоих циклов.

Для проверки монотонности введем вспомогательные *изоперемьные* — переменные, всегда изменяющиеся из 0 в 1.

В результате предварительного расчета для последователя получены выражения его входов через параметры анализа в обеих фазах цикла.

Введем обозначения:

P — множество параметров анализа;

$A(P)$ — выражение выхода последователя в предыдущей фазе;

$Z(P)$ — то же в основной фазе;

$U_i(P)$ — выражение i -го сигнала в предыдущей фазе;
 $V_i(P)$ — то же в основной фазе;
 h_i — изопеременная;
 H — множество изопеременных;
 $G_i = U_i \wedge h_i \vee V_i h_i$ — вспомогательная функция сигнала.

Вспомогательная функция по построению меняется от выражения сигнала в предыдущей фазе к выражению в основной фазе, когда изопеременная меняется из 0 в 1.

В этих обозначениях выход последователя переходит из 0 в 1 при условии $\wedge A(P)Z(P) = 1$, а из 1 в 0 — при условии $A(P) \wedge Z(P) = 1$.

В функцию последователя подставим вместо реальных переменных их вспомогательные функции. В результате получится выражение выхода последователя через параметры анализа и изопеременные: $F(P, H)$.

Рассмотрим теперь две проверочные функции:

$$F_1 = \wedge A(P)Z(P)F(P, H);$$

$$F_2 = A(P) \wedge Z(P)F(P, H).$$

Состязания будут отсутствовать при выполнении двух условий:

- (1) функция F_1 должна либо равняться нулю, либо быть изотонной по всем изопеременным;
- (2) функция F_2 должна либо равняться нулю, либо быть антитонной по всем изопеременным.

Если условия нарушены, то те параметры анализа и изопеременные, при которых нарушение произошло, покажут детальную диагностику этого нарушения.

Монотонность функции $f(h_1, \dots, h_n)$ по переменной h_i проверяется по условиям:

- для изотонности: $f(h_i = 0) \wedge f(h_i = 1) = 0$;
- для антитонности: $\wedge f(h_i = 0)f(h_i = 1) = 0$.

Пример 1. Рассмотрим схему несамосинхронного двухступенчатого триггера (рис. 2).

Элементы триггера описываются уравнениями:

$$U_1 = \wedge (D_1 C \vee U_2);$$

$$U_2 = \wedge (D_2 C \vee U_1);$$

$$C_Z = C;$$

$$Y_1 = \wedge ((U_1 \vee C_Z) Y_2);$$

$$Y_2 = \wedge (Y_1 (C_Z \vee U_2));$$

$$I = \wedge (U_1 Y_1 \vee D_1 U_2 C_Z \vee C_Z U_1 D_2 \vee U_2 Y_2).$$

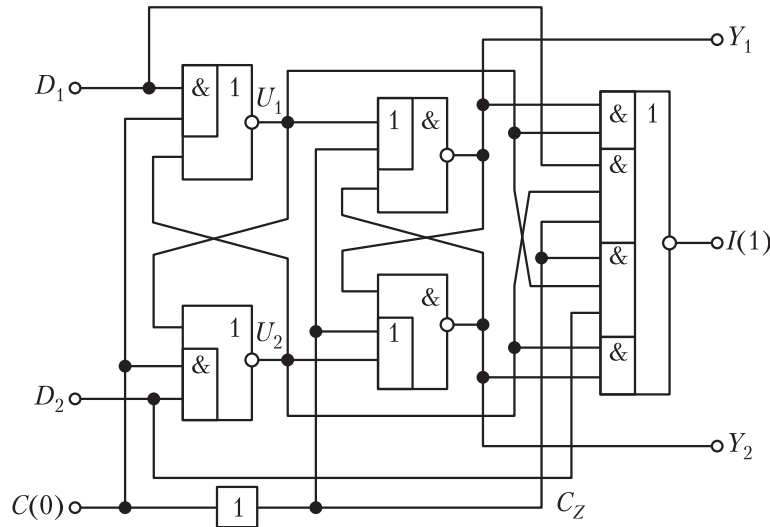


Рис. 2 Триггер с повторителем в цепи Y -сигнала: D_1 и D_2 — входные БИН-сигналы; Y_1 и Y_2 — выходные БИН-сигналы; C — Y -сигнал; I — И-сигнал; в скобках показаны значения спейсеров

Схема не самосинхронна из-за наличия повторителя в цепи Y -сигнала.

Блок-функцией для обоих плеч левой БСЯ будет C ; для плеч правой БСЯ — $\wedge C_Z$; для индикаторного элемента — C_Z .

Рассмотрим пару: элементы U_1 и Y_1 . На рис. 2 видно, что блок-сигнал C_Z последователя Y_1 не является инициатором блок-сигнала C плеча U_1 . Такова же ситуация относительно пар U_1 и I , U_2 и Y_2 , U_2 и I .

Но это не единственное нарушение самосинхронности в схеме. Анализ индикации показывает, что в фазе спейсера сигнал C_Z не индицируется.

Условием индикации этого сигнала через параметры анализа будет

$$\wedge @D_1 \#D_1 \$U_1 \vee @D_1 \wedge \#D_1 \wedge \$U_1 = 0,$$

где $@D_1$ и $\#D_1$ — параметры предыдущей (рабочей) и основной фаз соответственно; $\$U_1$ — запомненное значение сигнала U_1 в предыдущей фазе.

Нарушение индикации реализуется, когда одна из импликант условия обратится в 1. По первой импликанте нарушение будет, если сигнал U_1 в предыдущей фазе запомнил 1, сигнал D_1 переходит из 0 в 1, а сигнал D_2 — из 1 в 0. (При анализе учитывается, что внешняя схема обеспечивает дисциплину входов: изменения сигналов D_1 и D_2 происходят после изменения сигнала C .)

Пример 2. На рис. 3 показана измененная схема предыдущего примера, также несамосинхронная.

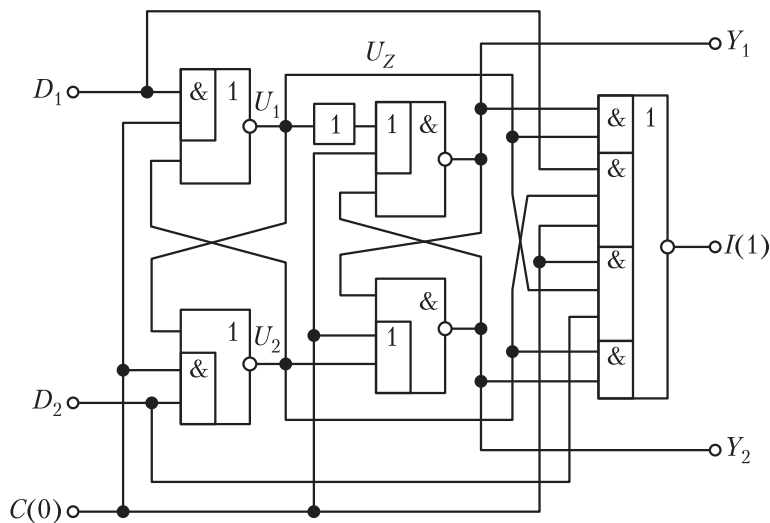


Рис. 3 Двухступенчатый триггер с повторителем в цепи УИН-сигнала: D_1 и D_2 — входные БИН-сигналы; Y_1 и Y_2 — выходные БИН-сигналы; C — У-сигнал; I — И-сигнал; в скобках даны значения спейсеров

Схема описывается уравнениями:

$$\begin{aligned}
 U_1 &= \wedge (D_1 C \vee U_2) ; \\
 U_2 &= \wedge (U_1 \vee C D_2) ; \\
 U_Z &= U_1 ; \\
 Y_1 &= \wedge ((U_Z \vee C) Y_2) ; \\
 Y_2 &= \wedge (Y_1 (C \vee U_2)) ; \\
 I &= \wedge (Y_1 U_1 \vee D_1 U_2 C \vee C U_1 D_2 \vee U_2 Y_2) .
 \end{aligned}$$

В этой схеме выполняются условия корректности соединений блокирующих сигналов. Но проверка монотонности элемента I выявляет нарушение в рабочей фазе.

Вспомогательные функции сигналов в этой (основной) фазе имеют вид (изо-переменные обозначены знаком %):

$$\begin{aligned}
 C &= \%C ; \\
 D_1 &= @D_1 \wedge \%D_1 \vee \#D_1 \%D_1 ; \\
 D_2 &= \wedge @D_1 \wedge \%D_2 \vee \wedge \#D_1 \%D_2 ; \\
 U_1 &= \wedge @D_1 \wedge \%U_1 \vee \wedge \#D_1 \%U_1 ;
 \end{aligned}$$

$$\begin{aligned}
U_2 &= @D_1 \wedge \%U_2 \vee \#D_1 \%U_2; \\
Y_1 &= @D_1; \\
Y_2 &= \wedge @D_1,
\end{aligned}$$

где $@D_1$ и $\#D_1$ — параметры предыдущей (спейсера) и основной фаз соответственно.

Подстановка вспомогательных функций в функцию элемента I дает:

$$\begin{aligned}
F &= @D_1 \#D_1 \wedge \%C \vee \wedge \#D_1 \wedge \%C \wedge \%U_1 \vee \wedge @D_1 \wedge \#D_1 \wedge \%C \vee \\
&\vee \wedge @D_1 \wedge \%C \wedge \%U_2 \vee @D_1 \wedge \#D_1 \wedge \%U_1 \%U_2 \vee \wedge @D_1 \#D_1 \%U_1 \wedge \%U_2.
\end{aligned}$$

В рабочей фазе сигнал I переходит из 1 в 0, поэтому его первая проверочная функция равна нулю, вторая совпадает с F , и эта функция должна быть антитонной по всем изопеременным.

Проверка антитонности показывает, что по переменной $\%U_1$ функция не антитонна и нарушение будет при условии

$$\wedge @D_1 \#D_1 \%C \wedge \%U_2 = 1.$$

Это условие означает, что состязания возможны при переходе сигнала C из 0 в 1, D_1 из 0 в 1, D_2 из 1 в 0, а сигнал U_2 еще не успел измениться (так как по условию должно быть $\%U_2 = 0$).

Аналогично функция F не антитонна и по переменной $\%U_2$ при условии

$$@D_1 \wedge \#D_1 \%C \wedge \%U_1 = 1.$$

4.3 Оценка сложности вычислений на нижнем уровне

Пусть N — число элементов схемы; M — число ее информационных входов; P — число элементов памяти (триггеров). Оцениваться будет зависимость вычислений от этих параметров.

Булевы функции представим в алгебраической нормальной форме (АНФ — многочлен Жегалкина) — сумм по mod-2 конъюнктивных термов аргументов. Если число аргументов функции равно n , ее АНФ содержит не более $2^n - 1$ термов. Операций для двух АНФ может быть две: умножение и сумма по mod-2. Умножение двух АНФ состоит в умножении каждого терма первой на каждый терм второй (всего не более 2^{2n} умножений), затем в сравнении полученного терма с остальными (всего не более 2^n сравнений) и добавлении/удалении терма. Операции над термами будем считать элементарными, для практических схем несущественно зависящими от n .

Предварительный расчет значений в двух циклах проводится с функциями от не более чем $M + P$ аргументов, и затраты на него пропорциональны $4N$.

Затраты на дополнительный расчет с залипанием для каждого элемента пропорциональны $2N$, для всех элементов — $2N^2$. Суммарно эти затраты зависят от N полиномиально с порядком 2, а от остальных параметров — как $2^{2(M+P)}$.

Вычисления на состязания проводятся по парам. С учетом того, что для одного источника может быть несколько последователей, число пар будет от $N/2$ до $N - 1$. Определение соединений пар пропорционально числу пар.

Число аргументов проверочных функций при вычислении монотонности не более $M + P + L$, где L — число входов проверяемого элемента. Обычно L может достигать 7–8, но не увеличивается с ростом M или N .

В итоге можно заключить, что вычислительные затраты зависят от N полиномиально с порядком 2, а от остальных параметров — как $2^{2(M+P)}$.

4.4 Информация для верхнего уровня

Для схемы на верхнем уровне иерархии также должны выполняться условия самосинхронности, т. е. обеспечиваться индикация ее сигналов и взаимодействие источников и последователей по механизму, показанному на рис. 1.

Пусть на входе схемы есть входной УИН-сигнал R . Внутри схемы этот сигнал может иметь несколько последователей. В качестве общей блок-функции для R необходимо брать булеву сумму блок-функций всех его последователей. Блок-сигналами для R будут сигналы из общей функции.

На верхнем уровне сигнал R будет играть роль последователя, поэтому для выполнения дисциплины необходимо знать, какими фазовыми входами схемы этот сигнал блокируется и есть ли задержки в цепях блокирования. Для каждого блок-сигнала R по соединениям элементов следует определить, является ли он фазовым входом схемы или он соединен с фазовыми входами через промежуточные элементы.

Если хотя бы для одного блок-сигнала R не найдено соединение с фазовыми входами схемы, на верхнем уровне невозможно соблюсти требуемую дисциплину и анализируемая схема признается несамосинхронной.

Если все блок-сигналы R являются также входами схемы, для верхнего уровня достаточно привести их список.

Рассмотрим случай, когда внутренний блок-сигнал A соединен с фазовым входом схемы U через цепочку элементов. Для соблюдения дисциплины на верхнем уровне сигнал A должен быть инициатором сигнала U . Единственной возможностью для этого будет соединение сигнала A через цепочки элементов с фазовыми выходами схемы и затем через внешнюю обратную связь соединение с сигналом U . Для верхнего уровня в этом случае следует привести сигнал U и фазовые выходы, соединенные с сигналом A .

Выходные БИН- и УИН-сигналы на верхнем уровне будут играть роль источников, и задержка здесь не имеет значения.

Таким образом, информация, подаваемая наверх о схеме нижнего уровня, должна содержать следующее:

- (1) для выходных фазовых сигналов — список индицируемых ими входных и выходных сигналов схемы в каждой фазе;
- (2) для каждого входного БИН- и УИН-сигнала — блок-фазу и входные блок-сигналы. Если входной блок-сигнал имеет задержку в цепи блокирования, то указываются соответствующие фазовые выходы схемы;
- (3) для каждого выходного БИН- и УИН-сигнала — блок-фазу и входные блок-сигналы.

Пример 3. Самосинхронная схема разряда регистра сдвига [10] (рис. 4).

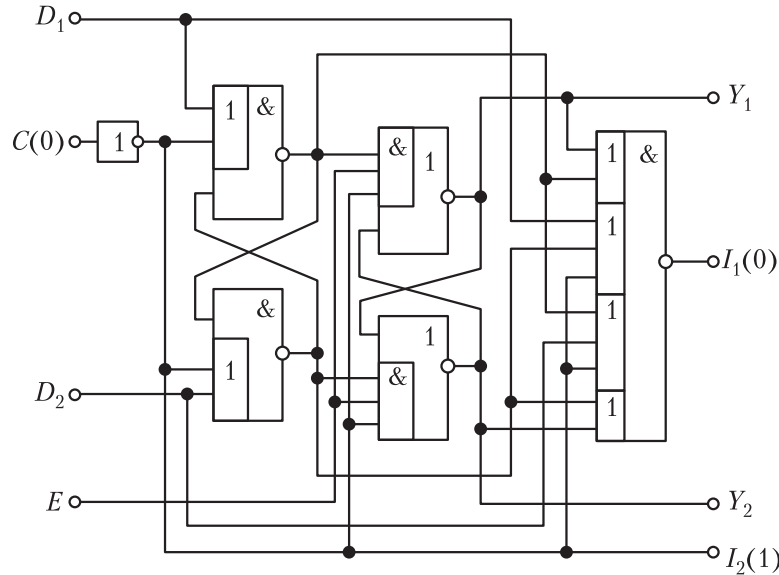


Рис. 4 Разряд регистра сдвига: D_1 и D_2 — входные БИН-сигналы; Y_1 и Y_2 — выходные БИН-сигналы; C и E — У-сигналы; I_1 и I_2 — И-сигналы; в скобках — значения спейсеров

На верхний уровень будет передаваться следующая информация.

В спейсере на выходе I_1 индицируются сигналы C , Y_1 , Y_2 и I_2 , на выходе I_2 — сигнал C . В рабочей фазе на выходе I_1 индицируются сигналы C и I_2 , на выходе I_2 — сигнал C .

Для БИН-входов D_1 и D_2 блок-функция $F = \wedge I_2$, внешний блокирующий сигнал — C с задержкой, а также выходные сигналы I_2 и I_1 .

Для БИН-выходов Y_1 и Y_2 блокирующая функция $F = EI_2$, а внешние блокирующие сигналы — C и E .

Пример 4. Самосинхронный триггер с усиленными выходами [11] (рис. 5).

На верхний уровень будет передаваться следующая информация.

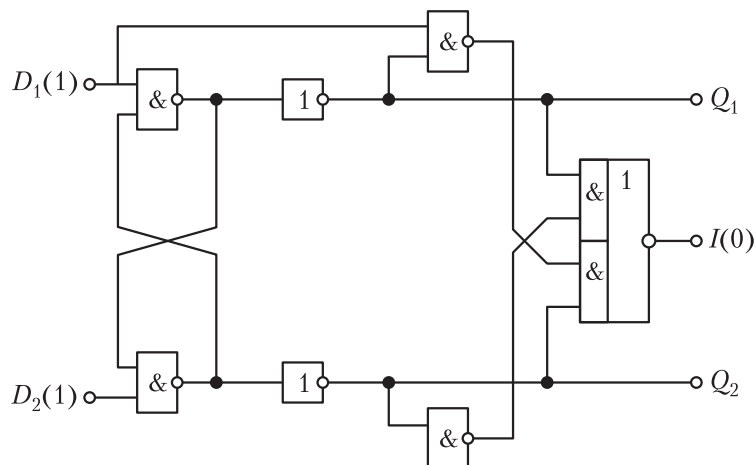


Рис. 5 Одноступенчатый триггер с усиленными выходами: D_1 и D_2 — ПФС-сигналы; Q_1 и Q_2 — БИН-сигналы; I — И-сигнал; в скобках — значения спейсеров

В спейсере на выходе I индицируются сигналы D_1 и D_2 , в рабочей фазе на нем индицируются сигналы D_1 , D_2 , Q_1 и Q_2 .

Для выходных БИН-сигналов Q_1 и Q_2 внешними блок-сигналами будут D_1 и D_2 .

5 Заключение

Одной из главных трудностей проектирования СС-схем практических размеров является анализ самосинхронности. Во всех случаях требуется вычислить и проверить все рабочие состояния схемы и переходы между ними.

Существующие событийные методы оперируют уравнениями всей схемы целиком. При увеличении размера схемы вычислительные затраты на анализ этими методами становятся неприемлемыми, что не позволяет анализировать схемы все увеличивающихся размеров.

В предложенном ранее функциональном иерархическом методе по уравнениям элементов анализируются только фрагменты нижнего уровня. На следующих уровнях используются взаимосвязи фрагментов и информация, полученная на нижележащем уровне.

На нижнем уровне сложность вычислений полиномиальна порядка 2 от числа элементов анализируемой схемы и зависит от числа ее информационных входов M и числа триггеров P как $2^{2(M+P)}$.

Такая зависимость показывает путь рационального разбиения большой схемы на СС-фрагменты. Во фрагментах целесообразно иметь небольшое число ин-

формационных входов и внутренних триггеров, а других элементов может быть практически любое количество.

Литература

1. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В. И. Варшавского. — М.: Наука, 1986. 400 с.
2. Плеханов Л. П., Степченко Ю. А. Экспериментальная проверка некоторых свойств строго самосинхронных схем // Системы и средства информатики, 2006. Вып. 16. С. 476–485.
3. Соколов И. А., Степченко Ю. А., Бобков С. Г. и др. Базис реализации супер-ЭВМ экзафлопного класса // Информатика и её применения, 2014. Т. 8. Вып. 1. С. 2–11.
4. Muller D. E., Bartky W. C. A theory of asynchronous circuits // Symposium (International) on the Theory of Switching Proceedings. — Harvard University Press, 1959. Part 1. P. 204–243.
5. Варшавский В. И., Кишиневский М. А., Кондратьев А. Ю., Розенблюм Л. Я., Таубин А. Р. Модели для спецификации и анализа процессов в асинхронных схемах // Техническая кибернетика, 1988. № 2. С. 171–190.
6. Плеханов Л. П. Полнота анализа электронных схем на самосинхронность // Системы и средства информатики, 2010. Вып. 20. № 1. С. 48–58.
7. Плеханов Л. П. Проектирование самосинхронных схем: функциональный подход // Проблемы разработки перспективных микро- и наноэлектронных систем: Сб. науч. тр. IV Всеросс. науч.-технич. конф. (МЭС-2010). — М.: ИППИ РАН, 2010. Ч. 1. С. 424–429.
8. Плеханов Л. П. Основы самосинхронных электронных схем. — М.: Бином. Лаборатория знаний, 2013. 208 с.
9. ГОСТ Р 53480-2009. Надежность в технике. Термины и определения. — М.: Стандартинформ, 2010. 11 с.
10. Степченко Ю. А., Дьяченко Ю. Г., Рождественский Ю. В., Рождественские А. В. Разряд самосинхронного регистра сдвига. Патент на изобретение 2319232 (РФ). Приоритет от 10.03.2008.
11. Sokolov I. A., Stepchenkov Y. A., Dyachenko Y. G. Self-timed RS-trigger with the enhanced noise immunity. International Application Number PCT/RU/2010/000279. International publication date 28.05.2010.

Поступила в редакцию 16.03.16

SELF-TIMING ANALYSIS OF ELECTRONIC CIRCUITS ON THE LOWER LEVEL OF HIERARCHY

L. P. Plekhanov

Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilova Str., Moscow 119333, Russian Federation

Abstract: Self-timed circuits (independent on element’s delay) have the unique properties of a lack of competitions and safe on Out-Stack-At-Fault (OSAF). They require analysis on self-timing. In the traditional approach — analyzing of elements switching, computational complexity is so great that it does not allow analyzing the most practical circuits. The functional hierarchical method, previously proposed by the author, analyzes logic equations only at the lower level, and at the upper levels, it examines only the relationships between blocks. The suggested method makes it possible to analyze circuits of any size effectively. This article describes in detail this method at the lower level of the hierarchy.

Keywords: self-timed circuits; asynchronous circuits; self-timing analysis; hierarchical analysis

DOI: 10.14357/08696527160202

Acknowledgments

The research was performed under partial financial support of the Program of Fundamental Research 2016 of the Presidium of RAS (project 0063-5015-0015 RAS 1.33P) and subprogram No. 4 of the RAS Department for Nanotechnologies and Information Technologies (ONIT) for 2016 (project 0063-2015-0016 III.3).

References

1. Varshavsky, V. I., ed. 1986. *Avtomatnoe upravlenie asinkhronnymi protsessami v EVM i diskretnykh sistemakh* [Automata control of asynchronous processes in computers and discrete systems]. Moscow: Nauka. 400 p.
2. Plekhanov, L. P., and Yu. A. Stepchenkov. 2006. Eksperimental’naya proverka nekotorykh svoystv strogo samosinkhronnykh skhem [Experimental verification of some properties of strictly self-timed circuits]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 16:476–485.
3. Sokolov, I. A., Yu. A. Stepchenkov, S. G. Bobkov, *et al.* 2014. Bazis realizatsii super-EVM eksaflopного класса [The implementation basis of supercomputer of exaflop class]. *Informatika i ee Primeneniya — Inform. Appl.* 8(1):2–11.
4. Muller, D. E., and W. C. Bartky. 1959. A theory of asynchronous circuits. *Symposium (International) on the Theory of Switching Proceedings*. Harvard University Press. 1:204–243.

5. Varshavskiy, V. I., M. A. Kishinevskiy, A. Yu. Kondrat'ev, L. Ya. Rozenblyum, and A. R. Taubin. 1988. Modeli dlya spetsifikatsii i analiza protsessov v asinkhronnykh skhemakh [Models for specification and analysis of processes in asynchronous circuits]. *Tekhnicheskaya Kibernetika* [Technial Cybernetics] 2:171–190.
6. Plekhanov, L. P. 2010. Polnota analiza elektronnykh skhem na samosinkhronnost' [The completeness of analysis of electronic circuits for self-timing]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 20(1):48–58.
7. Plekhanov, L. P. 2010. Proektirovanie samosinkhronnykh skhem: funktsional'nyy podkhod [Designing of self-timed circuits: A functional approach]. *Sb. nauch. tr. 4th Vseross. nauch.-tekhnich. konf. "Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES-2010)"* [4th All-Russian Scientific-Technical Conference "Problems of Development of Perspective Micro and Nanoelectronic Systems (MES-2010)" Proceedings]. Moscow. 1:424–429.
8. Plekhanov, L. P. 2013. *Osnovy samosinkhronnykh elektronnykh skhem* [The basis of self-timed electronic circuits]. Moscow: Binom. Laboratoriya znaniy. 208 p.
9. GOST R 53480-2009. 2010. Nadezhnost' v tekhnike. Terminy i opredeleniya [Reliability in technique. Terms and definitions]. Moscow: Standartinform Publ. 11 p.
10. Stepchenkov, Yu. A., Yu. G. D'yachenko, Yu. V. Rozhdestvenskiy, and A. V. Rozhdestvenskene. 2008. Razryad samosinkhronnogo registra sdviga [Unit of self-timed shift register]. Patent RF No. 2319232.
11. Sokolov, I. A., Yu. A. Stepchenkov, and Yu. G. Dyachenko. 28.05.2010. Self-timed RS-trigger with the enhanced noise immunity. International Application No. PCT/RU/2010/000279.

Received March 16, 2016

Contributor

Plekhanov Leonid P. (b. 1943) — Candidate of Science (PhD) in technology, senior scientist, Institute of Informatics Problems, Federal Research Center "Computer Science and Control" of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; lplekhanov@inbox.ru