**Повышение сбоеустойчивости**

**самосинхронных схем**

***И. А. Соколов***[[1]](#footnote-1)***, Ю. А. Степченков***[[2]](#footnote-2)***, Ю. Г. Дьяченко***[[3]](#footnote-3)***, Ю. В. Рождественский***[[4]](#footnote-4)

**Аннотация:** В статье анализируется проблема устойчивости самосинхронных (СС) схем, изготовленных по технологии комплементарный металл-диэлектрик-полупроводник (КМДП) к кратковременным логическим сбоям, генерируемым внешними воздействиями: ядерными частицами, космическими лучами, электромагнитными наводками. Практические СС-схемы реализуются в виде конвейера с запрос-ответным взаимодействием между его ступенями и двухфазной дисциплиной работы с чередованием рабочей фазы и спейсера. Комбинационная часть ступени конвейера использует парафазное со спейсером кодирование информационных сигналов. Индикаторная подсхема ступени конвейера подтверждает окончание переключения всех элементов ступени, возбужденных в текущей фазе работы, и формирует сигналы управления запрос-ответным взаимодействием ступеней конвейера. Рассмотрены физические причины появления логических сбоев и проанализированы типы сбоев, возможных в КМДП СС-схемах с проектными нормами 65 нм и ниже. Сравниваются характеристики сбоеустойчивости разных вариантов СС-регистров хранения. Предлагаются схемотехнические и топологические методы повышения сбоеустойчивости СС-конвейера. Даются оценки сбоеустойчивости СС-конвейера в зависимости от места появления логического сбоя.

**Ключевые слова:** самосинхронная схема, сбоеустойчивость, конвейер, рабочая фаза, спейсер

**1 Введение**

Широкое использование цифровых микросхем в условиях неблагоприятной радиационной обстановки и переход к субмикронным технологиям их изготовления сделали актуальной задачу повышения устойчивости цифровых микросхем к логическим сбоям (ЛС). ЛС – это изменение уровня сигнала в узле схемы из-за кратковременной причины – пролета через тело полупроводника микросхемы одинокой ядерной частицы (ЯЧ), мощного электромагнитного импульса, сильной помехи по шинам питания или по сигнальным линиям и т.д.

В комбинационных схемах, находящихся в статическом состоянии, ЛС прекращается сам собой по окончании действия физической причины его появления. Но в конвейерных синхронных схемах даже кратковременный ЛС может успеть записаться в выходной регистр и испортить результат обработки данных. Повышение быстродействия цифровых схем усугубляет эту проблему.

Элементы с памятью (триггеры, ячейки памяти) более чувствительны к ЛС, поскольку ЛС в них может инвертировать хранимый бит данных, который самостоятельно не восстановится после исчезновения причины сбоя.

Самосинхронные (СС) схемы [1] обладают высокой устойчивостью к ЛС [2] за счет избыточного кодирования информационных сигналов и запрос-ответной дисциплины взаимодействия функциональных СС-блоков. Однако индикаторная часть СС-схемы традиционно реализуется на элементах с памятью – гистерезисном триггере (Г-триггере, [1]). Кроме того, практические СС-схемы имеют конвейерную реализацию, аналогично синхронным аналогам, с регистром в каждой ступени конвейера. В результате уровень сбоеустойчивости СС-схем зависит и от устойчивости к ЛС Г-триггера и разряда регистра хранения данных.

Поэтому задача повышения устойчивости СС-конвейера к кратковременным одиночным ЛС является актуальной. Данная статья анализирует естественную сбоеустойчивость СС-конвейера в КМДП-базисе с проектными нормами не более 65 нм и предлагает схемотехнические методы ее повышения.

**2 Типы ЛС в СС-схемах**

Физической причиной ЛС в КМДП схемах является индуцирование избыточных носителей заряда (электрон-дырочных пар) в теле полупроводника и сигнальных трассах из-за внешнего воздействия или сильных помех. Под действием электрического поля электроны и "дырки" в полупроводнике разлетаются в противоположных направлениях, порождая ток ионизации (ТИ) в узле схемы. В первом приближении импульс ТИ описывается формулой [3]:

, (1)

где Q – интегральный заряд, образовавшийся в объеме полупроводника; τн и τсп – постоянные времени нарастания и спада импульса ТИ; k – коэффициент, характеризующий часть общего заряда Q, попавшего в данный узел схемы. Интегральный заряд Q оценивается по формуле:

, (2)

где q – заряд электрона; ρ - плотность полупроводника; Lтр – длина трека ЯЧ в полупроводнике; θ - угол падения частицы; LET – потери энергии частицы; Eeh – энергия образования электрон-дырочной пары.

В наихудшем случае ТИ приводит к кратковременной инверсии логического уровня на выходе сбойного элемента на время рассасывания заряда Q. Но следующая часть СС-схемы может воспринять ЛС и зафиксировать в регистре.

Сильные помехи по сигнальным линиям и шинам питания и земли за счет паразитных емкостных связей наводят положительные или отрицательные импульсы напряжения на соседние трассы. При определенных условиях (амплитуде помехи, соотношении паразитных емкостей трасс-«агрессоров» и трассы-«жертвы») перепад напряжения может инвертировать логический уровень на трассе-«жертве».

В комбинационных СС-схемах информационные сигналы представлены в парафазном коде со спейсером [1]. Парафазный сигнал (ПФС) формируется парой дуальных логических ячеек. В работах [2, 5] было показано, что в СС-схемах, изготовленных по объемной КМДП технологии с проектными нормами 65 нм и ниже, при надлежащем размещении в топологии дуальных ячеек и трасс ПФС ЛС может привести к изменению текущего состояния ПФС с нулевым («00») или единичным («11») спейсером в соответствии с табл. 1 [5].

**Таблица 1** Возможные изменения ПФС сигнала из-за ЛС

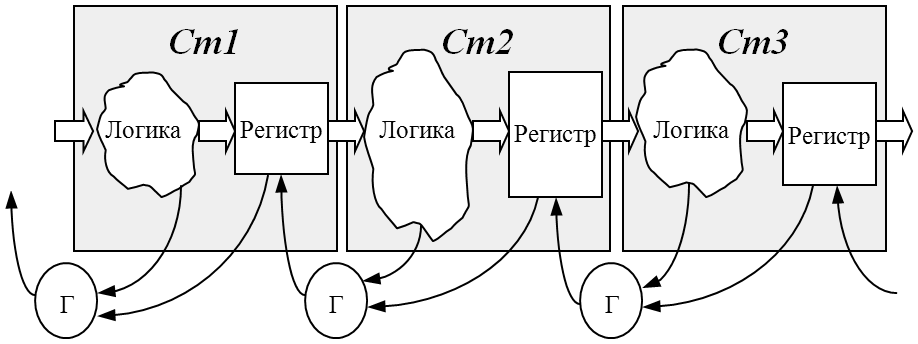
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **№№**  **п/п** | **Спейсер «00»** | | **Спейсер «11»** | | **№№**  **п/п** | **Спейсер «00»** | | **Спейсер «11»** | |
| **до ЛС** | **после ЛС** | **до ЛС** | **после ЛС** | **до ЛС** | **после ЛС** | **до ЛС** | **после ЛС** |
| 1. | 00 | 01 | 11 | 01 | 5. | 10 | 11 | 10 | 00 |
| 2. | 00 | 10 | 11 | 10 | 6. | 01 | 00 | 01 | 11 |
| 3. | 00 | 11 | 11 | 00 | 7. | 10 | 00 | 10 | 11 |
| 4. | 01 | 11 | 01 | 00 |  |  |  |  |  |

Однако свойства СС-схем и индикация состояния, инверсного спейсеру (анти-спейсера, АС), как второго спейсера [5] маскируют часть ЛС.

**3 Сбоеустойчивость СС-схем**

Вероятность распространения ЛС в СС-схеме зависит от ряда факторов: типа ЛС; текущей фазы (рабочая фаза или спейсер); времени появления ЛС до момента срабатывания индикаторных выходов схемы; маскирования сбойного ПФС остальными сигналами СС-схемы; длительности ЛС; места появления ЛС.

На практике СС-схемы реализуются в виде конвейера, пример которого показан на рис. 1 [6]. Здесь Ст1, Ст2, Ст3 – ступени конвейера; Г – Г-триггер, формирующий фазовый сигнал управления регистром.



**Рис. 1** Схема СС-конвейера

Вероятность распространения кратковременного одиночного ЛС в СС-конвейере в первом приближении рассчитывается по формуле:

, (3)

где PРФ, PСФ – вероятности пребывания СС-схемы в рабочей фазе и в спейсере в момент появления ЛС; Pвх – вероятность того, что данный ЛС появился в выходном регистре предыдущей ступени; Pзн1, ..., Pзн4 – вероятности того, что данный ЛС не будет замаскирован логикой ступени; P1\_3, P4\_7 – вероятности принадлежности ЛС к типам (1 – 3) или (4 – 7) из табл. 1 соответственно; PЗР1, PЗР2 – вероятности записи ЛС в выходной регистр ступени; PИ1, PИ2 – вероятности того, что данный ЛС появился в индикаторной части ступени.

Формула (3) дает оценку сверху. Она учитывает вклад трех частей ступени СС-конвейера: комбинационной части (КЧ), индикаторной части (ИЧ) и выходного регистра (ВР), – но не учитывает времени появления ЛС в рабочем цикле СС-схемы и соотношений длительностей ЛС, рабочей и спейсерной фаз разных ступеней конвейера.

Сбоеустойчивость СС-конвейера зависит от сбоеустойчивости всех его частей: КЧ, ИЧ и ВР. Рассмотрим каждую из них, оценивая их устойчивость с помощью вероятностного подхода [2]. Критическими считаются ЛС, приводящие к искажению обрабатываемых данных или остановке конвейера.

**3.1 Комбинационная часть ступени СС-конвейера**

Анализ влияния одиночного кратковременного ЛС, возникшего в КЧ ступени СС-конвейера, на работоспособность конвейера показал, что благодаря двухфазной дисциплине работы, парафазному со спейсером кодированию информационных сигналов и индикации окончания переключения всех элементов схемы, возбужденных на данной фазе, КЧ конвейера устойчива к 85,5% ЛС [2]. Схемотехнические и топологические методы, предложенные в работах [2, 5, 7], повышают устойчивость КЧ СС-конвейера к одиночным ЛС, приведенным в табл. 1, до уровня 98,9% при условии индикации АС как второго спейсера.

**3.2 Регистр ступени СС-конвейера**

В СС-конвейерах с ПФС разряд регистра ступени традиционно реализуется на двух Г-триггерах и индикаторном элементе [7], обеспечивая хранение рабочего состояния и спейсера ПФС при минимальных аппаратных затратах. Но такая реализация обладает небольшой сбоеустойчивостью.

Возможные варианты разряда СС-регистра хранения представлены на рис. 2(а) – 2(ж). Все они имеют парафазные вход (R, S) и выход (Q, QB) с нулевым спейсером, сигнал разрешения записи (E), регулирующий фазовые переходы регистра, и индикаторный выход (I). Рис. 3 иллюстрирует реализацию Г-триггера GI2AT (из разряда регистра на рис. 2(ж)) с нулевым спейсером [8], устойчивого к АС на входе.

Табл. 2 содержит оценки устойчивости разрядов СС-регистра хранения, приведенных на рис. 2, к ЛС из табл. 1 и показатели сложности их реализации в КМДП-транзисторах. Сравнение характеристик вариантов разряда СС-регистра хранения показывает, что максимально защищенным от ЛС является разряд вида 2(а). Наилучшим отношением показателя сбоеустойчивости к сложности реализации обладает разряд вида 2(ж).

Таким образом, классический Г-триггер не рекомендуется использовать для реализации разряда регистра СС-конвейера, предназначенного для эксплуатации в условиях активных неблагоприятных внешних воздействий.

**3.3 Индикаторная часть ступени СС-конвейера**

ИЧ является наиболее чувствительной частью СС конвейера. Критическая ситуация возможна при преждевременном переключении Г-триггера, формирующего сигнал управления регистром ступени. В результате регистр может раньше времени перейти в спейсер (рабочее состояние) и тем самым помешать правильному переключению следующей ступени конвейера.

Однако использование сбоеустойчивой DICE-подобной реализации Г-триггеров [9] обеспечивает их абсолютную устойчивость к ЛС, указанным в табл. 1, и предотвращает появление критической ситуации в конвейере. В результате ЛС может привести лишь к временной приостановке конвейера: по окончании ЛС конвейер продолжит нормальную работу.

**Таблица 2** Вероятность внесения ошибки в обрабатываемые данные   
из-за ЛС в ступени конвейера

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **№№ п/п** | **Тип разряда регистра** | **Устойчивость к ЛС, %** | | | **Число транзисторов** |
| **в КЧ** | **в регистре** | **общая** |
| **1** | Рис. 2(а) | 98,76 | 93,62 | 97,78 | 44 |
| **2** | Рис. 2(б) | 97,66 | 96,27 | 98,04 | 54 |
| **3** | Рис. 2(в) | 89,84 | 89,99 | 92,42 | 62 |
| **4** | Рис. 2(г) | 86,36 | 58,59 | 82,83 | 30 |
| **5** | Рис. 2(д) | 97,92 | 94,53 | 97,59 | 48 |
| **6** | Рис. 2(е) | 98,18 | 92,43 | 97,20 | 70 |
| **7** | Рис. 2(ж) | 97,88 | 91,41 | 96,76 | 32 |

**3.4 Общая сбоеустойчивость СС-конвейера**

В реальных СС-схемах КЧ ступени конвейера обычно имеет площадь топологической реализации в несколько раз больше, чем регистр ступени. Пусть, например, это соотношение равно двум. Площадь ИЧ также меньше площади



б)

а)

в)

г)





д)

****

е)

ж)

**Рис. 2** Варианты сбоеустойчивого разряда регистра СС-конвейера

**Рис. 3** Схема Г-триггера, защищенного от АС на входе

КЧ примерно в 2 раза. Тогда при равномерном распределении сбоев по площади СБИС вероятность их появления в КЧ в 2 раза больше вероятности их появления в регистре и ИЧ. С учетом отсутствия критических ситуаций при ЛС в ИЧ вероятность распространения ЛС по СС-конвейеру для разных вариантов реализации разряда регистра будет соответствовать результатам, приведенным в табл. 2 в графе "общая устойчивость".

**4 Заключение**

Индикация анти-спейсера ПФС как второго спейсера и использование DICE-подобного Г-триггера с «самолечением» анти-спейсера обеспечивают существенное повышение сбоеустойчивости комбинационной и индикаторной частей СС-конвейера.

Классический вариант разряда регистра СС-конвейера на обычных Г-триггерах имеет сравнительно низкую сбоеустойчивость – на уровне 83%.

Наилучшую сбоеустойчивость по отношению к кратковременным одиночным ЛС демонстрирует вариант СС-конвейера, регистр в котором реализуется на однотактном RS-триггере с разрешением записи. Он устойчив к 98% ЛС в ступени конвейера.

**Литература**

1. Kishinevsky M., A. Kondratyev, A. Taubin, and V. Varshavsky. 1994. Concurrent Hardware: The Theory and Practice of Self-timed Design. J. Wiley & Sons. 368 p.

2. Stepchenkov, Y. A., A. N. Kamenskih, Y. G. Diachenko, Y. V. Rogdestvenski, and D. Y. Diachenko. 2020. Improvement of the natural self-timed circuit tolerance to short-term soft errors, Advances in Science, Technology and Engineering Systems Journal. 5(2):44-56.

3. Nicolaidis M. Soft errors in modern electronic systems. New York: Springer, 2011. 316 p.

4. Степченков, Ю. А., Ю. Г. Дьяченко, Ю. В. Рождественский, Н. В. Морозов, Д. Ю. Степченков, А. В. Рождественскене, А. В. Сурков. 2014. Самосинхронный умножитель с накоплением: варианты реализации. Системы и средства информатики. 24(3):63-77.

5. Соколов И. А., В. Н. Захаров, Ю. А. Степченков, Ю. Г. Дьяченко. 2020. Устройство сбоеустойчивого разряда самосинхронного регистра хранения. Заявка на изобретение № [20201](http://www1.fips.ru/registers-doc-view/fips_servlet?DB=RUPATAP&DocNumber=2019135327&TypeFile=html)40031 от 28.02.20.

**Improvement of self-timed circuit**

**soft error tolerance**

***I.A. Sokolov, Y.A. Stepchenkov, Y.G. Diachenko, Y.V. Rogdestvenski***

Federal Research Center "Computer Science and Control" of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation

**Abstract** – The paper considers a tolerance of self-timed (ST) circuits, fabricated with complementary metal-oxide-semiconductor (CMOS) process, to short-term soft errors generated by external causes, namely, nuclear particles, cosmic rays, electromagnetic pulses, and noises. Pipeline implementation is usual for practical ST-circuits. Its control bases on handshake between pipeline stages and two-phase operation discipline with a sequence of the working phase and spacer one. Combinational part of the pipeline stage uses dual-rail information signal coding with a spacer. The pipeline stage indication part acknowledges a switching completion of all stage cells, fired at the current operation phase, and generates handshake signals in ST-pipeline stages control. The paper discusses the physical causes of the short-term soft errors. It analyzes soft error types that may appear in CMOS ST-circuits fabricated with 65-nm and below standard bulk process. The tolerance level of the proposed soft error hardened ST-register bits is discussed and compared. The paper suggests circuitry and layout techniques improving ST-pipeline soft error tolerance and estimates soft error immunity level for all pipeline parts depending on soft error location.

**Keywords:** self-timed circuit, tolerance, pipeline, working phase, spacer

**Acknowledgments**

The research was performed under financial support of Program of fundamental research 2019 of the Presidium of RAS (project 2019-0054-2.3).

**References**

1. Kishinevsky M., A. Kondratyev, A. Taubin, and V. Varshavsky. 1994. Concurrent Hardware: The Theory and Practice of Self-timed Design. J. Wiley & Sons. 368 p.

2. Stepchenkov, Y., A. Kamenskih, Y. Diachenko, Y. Rogdestvenski, and D. Diachenko. 2020. Improvement of the natural self-timed circuit tolerance to short-term soft errors, Advances in Science, Technology and Engineering Systems Journal. 5(2):44-56.

3. Nicolaidis M. 2011. Soft errors in modern electronic systems. New York: Springer. 316 p.

4. Stepchenkov, Y., Y. Diachenko, Y. Rogdestvenski, N. Morozov, D. Stepchenkov, A. Rogdestvenskene, and A. Surkov. 2014. Samosinkhronnyi umnozhitel' s nakopleniem: varianty realizatsii [Self-Timed Fused Multiply-Add Unit: Implementation Variants] / Sistemy i sredstva informatiki [Systems and means of informatics] 24(3):63-77.

5. Соколов И. А., В. Н. Захаров, Ю. А. Степченков, Ю. Г. Дьяченко. 2020. Устройство сбоеустойчивого разряда самосинхронного регистра хранения. Заявка на изобретение №  [20201](http://www1.fips.ru/registers-doc-view/fips_servlet?DB=RUPATAP&DocNumber=2019135327&TypeFile=html)40031 от 28.02.20.

**Contributors**

**Sokolov Igor A.** (b. 1954) - Doctor of Science (PhD) in technology, academician, Head of Federal Research Center "Computer Science and Control" of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation, ISokolov@ipiran.ru

**Stepchenkov Yuri A.** (b. 1951) - Candidate of Science (PhD) in technology, Head of Department, leading scientist, Federal Research Center "Computer Science and Control" of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; [YStepchenkov@ipiran.ru](mailto:YStepchenkob@ipiran.ru)

**Diachenko Yuri G.** (b. 1958) - Candidate of Science (PhD) in technology, senior scientist, Federal Research Center "Computer Science and Control" of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaura@mail.ru

**Rogdestvenski Yuri V.** (b. 1952) - Candidate of Science (PhD) in technology, senior scientist, Federal Research Center "Computer Science and Control" of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation, Moscow 119333, Russian Federation; YRogdest@ipiran.ru

Сведения об авторах на русском языке, дополнительно:

**Соколов Игорь А.** (р. 1954) - академик Российской академии наук; доктор технических наук директор Федерального исследовательского центра "Информатика и управление" Российской академии наук; ISokolov@ipiran.ru

**Степченков Юрий А.** (р. 1951) - кандидат технических наук, руководитель отдела, ведущий научный сотрудник Федерального исследовательского центра "Информатика и управление" Российской академии наук; [YStepchenkov@ipiran.ru](mailto:YStepchenkob@ipiran.ru)

**Дьяченко Юрий Г.** (р. 1958) - кандидат технических наук, старший научный сотрудник Федерального исследовательского центра "Информатика и управление" Российской академии наук; diaura@mail.ru (для связи)

**Рождественский Юрий Владимирович** (р. 1952) - кандидат технических наук, старший научный сотрудник Федерального исследовательского центра "Информатика и управление" Российской академии наук; [YRogdest@ipiran.ru](mailto:YRogdest@ipiran.ru)

1. \* Исследование выполнено при финансовой поддержке по Программам фундаментальных исследований 2019 г. Президиума РАН (проект 2019-0054-2.3).

   Федеральный исследовательский центр «Информатика и управление» Российской академии наук, [YStepchenkov@ipiran.ru](mailto:YStepchenkob@ipiran.ru) [↑](#footnote-ref-1)
2. Федеральный исследовательский центр «Информатика и управление» Российской академии наук, [YStepchenkov@ipiran.ru](mailto:YStepchenkob@ipiran.ru) [↑](#footnote-ref-2)
3. Федеральный исследовательский центр «Информатика и управление» Российской академии наук, diaura@mail.ru [↑](#footnote-ref-3)
4. 4Федеральный исследовательский центр «Информатика и управление» Российской академии наук, [YRogdest@ipiran.ru](mailto:YRogdest@ipiran.ru) [↑](#footnote-ref-4)