**Устойчивость самосинхронного конвейера к логическим сбоям в комбинационной части**\*

***Ю. А. Степченков[[1]](#footnote-1), Ю. Г. Дьяченко[[2]](#footnote-2), Ю. В. Рождественский[[3]](#footnote-3),   
Н. В. Морозов[[4]](#footnote-4), Д. Ю. Степченков[[5]](#footnote-5), Д. Ю. Дьяченко***[[6]](#footnote-6)

**Аннотация:** В статье оценивается вероятность повреждения данных в самосинхронных (СС) схемах, изготовленных по КМДП-технологии с проектными нормами 65 нм и ниже, из-за кратковременных логических сбоев в комбинационной части ступени СС-конвейера, вызванных внешними и внутренними факторами. Выявлены ситуации, способные привести к порче данных в конвейере из-за логических сбоев. Определен уровень естественной защищенности СС-конвейера от логических сбоев в его комбинационной части благодаря свойствам СС-схем (84,4% в наихудшем случае). Предложенные приемы топологического синтеза повышают сбоеустойчивость СС-кон-вейера до 85,6% от всех логических сбоев. Индикация состояния парафазного сигнала, инверсного по отношению к его спейсеру обеспечивает иммунность СС-конвейера к 98,6% одиночных логических сбоев за счет увеличения его аппаратных затрат на 1%.

**Ключевые слова:** самосинхронная схема, сбоеустойчивость, конвейер.

**1 Введение**

Проблема защиты цифровых микросхем, изготовленных по КМДП-технологии, от неблагоприятных факторов по важности стоит в одном ряду с проблемами снижения их энергопотребления и повышения быстродействия.

Долговременные эффекты связаны с накопленной дозой радиоактивного излучения. Они приводят к деградации параметров всех компонентов схемы и одинаково влияют на работоспособность синхронных и самосинхронных (СС) схем. Кратковременные эффекты связаны с воздействием одиночных событий, например, ядерной частицы, электромагнитного импульса и т.д. [1].

СС-схемы [2] менее чувствительны к кратковременным логическим сбоям (ЛС), чем их синхронные аналоги, благодаря запрос-ответному взаимодействию между частями схемы и строгому контролю окончания всех переключений в схеме, инициированных набором ее входов в текущей фазе.

В работе [3] были рассмотрены физические причины появления ЛС в СС-схеме, обусловленные внешними и внутренними факторами, проанализированы и классифицированы их последствия.

В данной статье оценивается уровень устойчивости комбинационных СС-схем в составе конвейера к кратковременным ЛС, описанным в работе [4].

**2 Вероятность распространения ЛС по** **СС-схеме**

Классификация ЛС в комбинационной СС-схеме, учитывающая их тип и время появления, показана на рис. 1. Она основана на классификации из [3], но учитывает только те ЛС, которые могут наблюдаться в КМДП СС-схемах в технологии 65 нм и ниже. Здесь ПФС – парафазный со спейсером, КРС – корректное рабочее состояние, СРС – сбойное рабочее состояние, АС – "анти-спейсер". Практические СС-схемы имеют конвейерную структуру. Это обеспечивает максимальное быстродействие СС-схемы. Рассмотрим вероятность повреждения информации, обрабатываемой СС-конвейером, при появлении ЛС в комбинационной части его ступени, с учетом реализации регистра на гистерезисных триггерах (Г-триггерах) [2] и индикации АС как спейсера.

*Время появления Наблюдаемый эффект*

**Рис. 1** Классификация ЛС в комбинационных СС-схемах

Пусть для определенности СС-схема состоит из трех ступеней конвейера Сх1 – Сх3 (рис. 2). Комбинационная часть (КЧ, блок "Логика") ступени конвейера индицируется отдельно от регистра. Фазовые переходы регистра регулируются информационными выходами КЧ той же ступени и сигналом управления, формируемым Г-триггером на основе индикаторных выходов КЧ и регистра следующей ступени конвейера.

***Сх2***

***Сх3***

***Сх1***

Регистр

Логика

Регистр

Логика

Регистр

Логика

Регистр

Г

Г

Г

**Рис. 2** Схема СС-конвейера

В первом приближении, вероятности появления любого из ЛС на рис. 1 во время рабочей и спейсерной фазы считаем примерно равными (0,125). Рассмотрим случаи появления ЛС в КЧ ступени Сх2, соответствующие классификации ЛС (рис. 1), и оценим вероятность распространения ошибочных данных в конвейере на рис. 2. Для простоты будем считать, что каждое из рассматриваемых ниже событий может наблюдаться с вероятностью 0,5.

*2.1. Переключение ПФС-сигнала из КРС в АС в рабочей фазе*

АС в рабочей фазе при его индикации как спейсера может испортить данные только при последовательном наблюдении следующих событий:

- АС попал на вход регистра ступени Сх2, т.е. от значения сбойного ПФС-сигнала зависит КРС на информационных выходах КЧ ступени Сх2,

- регистр ступени Сх2 успел записать КРС,

- вход управления регистра ступени Сх2 еще не переключился в спейсер, АС запишется в один или несколько разрядов регистра ступени Сх2,

- общий индикатор регистра ступени Сх2 успел перейти в рабочую фазу,

- индикатор КЧ ступени Сх2 успел зафиксировать переключение сбойного ПФС-сигнала в КРС и общий индикатор КЧ Сх2 перешел в рабочую фазу,

- регистр ступени Сх1 успел перейти в спейсер до окончания ЛС и замены АС сбойного ПФС-сигнала его КРС.

В результате сбойный ПФС-сигнал по окончании ЛС перейдет в спейсер, и КРС не восстановится в регистре ступени Сх2. Суммарная вероятность порчи данных этим ЛС равна Р2.1 = 1/64.

*2.2. Переключение ПФС-сигнала из КРС в АС в спейсерной фазе*

ПФС-сигнал еще не успел перейти из КРС в спейсер. Искажение данных возможно при последовательном наблюдении следующих событий:

- АС попал на вход регистра ступени Сх2,

- вход управления регистра ступени Сх2 еще не переключился в спейсер, АС запишется в один или несколько разрядов регистра ступени Сх2 вместо КРС,

- АС не замаскировался логикой КЧ ступени Сх3,

- АС записался в регистр ступени Сх3,

- АС в регистре ступени Сх3 повлиял на работу следующей ступени.

Тогда суммарная вероятность порчи данных этим ЛС равна Р2.2 = 1/32.

*2.3. Переключение ПФС-сигнала из КРС в спейсер в рабочей фазе*

Спейсер, сменивший КРС в рабочей фазе из-за ЛС, не может испортить обрабатываемые данные. Если регистр ступени Сх2 еще не успел записать КРС, то сбойный спейсер не изменит его состояния, но не позволит ему переключиться в рабочую фазу и вызовет приостановку конвейера до окончания ЛС. Если регистр ступени Сх2 уже успел записать КРС, то сбойный спейсер не изменит его состояния и не помешает ему перейти в рабочую фазу.

*2.4. Переключение ПФС-сигнала из КРС в спейсер в спейсерной фазе*

ПФС-сигнал не успел перейти из КРС в спейсер. Она ни при каких условиях не испортит данные в конвейере и не приведет к его "зависанию".

*2.5. Переключение ПФС-сигнала из спейсера в АС в рабочей фазе*

ПФС-сигнал не успел перейти из спейсера в КРС. В этом случае физическая причина ЛС изменила состояние обоих частей ПФС-сигнала, из-за чего он не сможет перейти в новое КРС до окончания ЛС. АС индицируется как спейсер, поэтому общий индикатор КЧ ступени Сх2 не переключится в рабочую фазу до окончания ЛС и не разрешит регистру ступени Сх1 переключиться в спейсер. Конвейер приостановится, но обрабатываемые данные не испортятся.

*2.6. Переключение ПФС-сигнала из спейсера в АС в спейсерной фазе*

ПФС-сигнал уже перешел из КРС в спейсер. Но АС индицируется как спейсер, поэтому ситуация не опасная.

*2.7. Переключение ПФС-сигнала из спейсера в СРС в рабочей фазе*

Появившееся из-за ЛС рабочее состояние не совпадает с ожидаемым КРС. Поскольку причина ЛС не может повлиять на обе части ПФС-сигнала биполярно [4], под влиянием КРС сбойный ПФС-сигнал перейдет в АС. Искажение данных возможно при последовательном наблюдении следующих событий:

- СРС попал на вход регистра ступени Сх2,

- регистр ступени Сх2 успел записать СРС до появления на его входах АС,

- общий индикатор регистра ступени Сх2 успел перейти в рабочую фазу,

- общий индикатор КЧ ступени Сх2 успел перейти в рабочую фазу до появления АС вместо СРС на сбойном ПФС-сигнале,

- регистр ступени Сх1 успел перейти в спейсер до окончания ЛС и замены АС состояния сбойного ПФС-сигнала КРС.

В результате сбойный ПФС-сигнал по окончании ЛС перейдет в спейсер, и КРС не восстановится в регистре ступени Сх2. Суммарная вероятность порчи данных или останова конвейера из-за этого ЛС равна Р2.7 = 1/32.

*2.8. Переключение ПФС-сигнала из спейсера в СРС в спейсерной фазе*

СРС ПФС-сигнала не совпадает с предыдущим КРС. Искажение данных возможно при последовательном наблюдении следующих событий:

- СРС попал на выход КЧ ступени Сх2,

- вход управления регистра ступени Сх2 еще разрешает запись в регистр; КРС в разряде регистра Сх2 заменится АС,

- АС попал на выход КЧ ступени Сх3,

- вход управления регистра ступени Сх3 разрешает запись АС в регистр Сх3,

- АС в регистре ступени Сх3 повлиял на работу следующей ступени.

Суммарная вероятность порчи данных или останова конвейера из-за этого ЛС равна Р2.8 = 1/32.

Суммарная вероятность того, что одиночный ЛС в КЧ ступени конвейера, регистр в которой построен на обычных Г-триггерах, станет критическим и приведет к порче данных в конвейере или его останову, равна:

РΣ = 0,125 ⋅ (Р2.1 + Р2.2 + Р2.7 + Р2.8) = 0,125 ⋅ (1/64 + 1/32 + 1/32 + 1/32) ≈ 0,014.

Таким образом, комбинационные КМДП СС-схемы в качестве КЧ ступеней СС-конвейера, выходные регистры которых реализованы на Г-триггерах с элементом "равнозначность" в качестве индикатора, не чувствительны к 98,6% одиночных ЛС. Анализ показывает, что без индикации анти-спейсера как спейсера комбинационные СС-схемы устойчивы к 85,6% кратковременных ЛС, классифицированных на рис. 1. При несоблюдении указанных в [4] правил топологического проектирования, устойчивость комбинационных СС-схем в составе СС-конвейера ухудшается до уровня 84,4%.

**4 Заключение**

Благодаря двухфазной дисциплине работы, ПФС-кодированию информационных сигналов, строгой индикации окончания инициированных переключений всех элементов схемы в текущей фазе, и запрос-ответному взаимодействию, СС-схемы обладают естественной устойчивостью к 84,4% одиночных ЛС, вызванных внешними и внутренними источниками.

Предложенные схемотехнический метод (индикация состояния ПФС-сигнала, противоположного его спейсеру) и топологический метод (размещение источников и трасс ПФС-сигналов в непосредственной близости друг к другу) увеличивает устойчивость СС-схем к одиночным кратковременным ЛС до 98,6%.

**Литература**

1. *Holmes-Siedle A., Adams L.* Handbook of Radiation Effects (Second ed.). Oxford University Press. 2002. 640 p.

2. *Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V.* Concurrent Hardware: The Theory and Practice of Self-timed Design. J. Wiley & Sons, 1994. 368 p.

3. *Степченков Ю. А., Дьяченко Ю. Г., Рождественский Ю. В. и др.* Устойчивость самосинхронных комбинационных схем к кратковременным логическим сбоям // Системы и средства информатики, 2020, вып. 30 [№](http://elibrary.ru/contents.asp?issueid=1005136&selid=17266718) 2, 6 c.

4. *Степченков Ю. А., Дьяченко Ю. Г., Рождественский Ю. В. и др.* Самосинхронный умножитель с накоплением: варианты реализации // Системы и средства информатики, 2014, вып. 24, [№](http://elibrary.ru/contents.asp?issueid=1005136&selid=17266718) 3. С. 63-77.

**Self-timed pipeline immunity to soft errors in its combinational part**

***Yu. A. Stepchenkov, Yu. G. Diachenko, Yu. V. Rogdestvenski, N. V. Morozov,   
D. Yu. Stepchenkov, D. Yu. Diachenko***

Federal Research Center “Computer Science and Control,” Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation

**Abstract:** The paper estimates the data corruption probability in self-timed circuits manufactured by a standard 65-nm and below CMOS process because of short-term soft errors that occurred in the pipeline combinational part. Soft errors appear as a result of the external causes and internal noise sources. The paper analyzes events able to lead to data corruption in the pipeline due to soft errors. In the worth case, the self-timed pipeline is naturally immune to 84.4% soft errors in its combinational part due to self-timed circuit features. Proposed layout synthesis techniques increase soft error tolerance of the pipeline up to 85.6%. Indication of dual-rail state, inversed spacer one, as spacer ensures self-timed pipeline immunity against 98.6% of the single soft errors at the expanse of pipeline hardware complexity by less than 1%.

**Keywords:** self-timed circuit, soft error, fault tolerance, pipeline, layout.

**Acknowledges**

The research was funded by a grant from the Russian Science Foundation (Project № 19-11-00334).

**References**

1. Holmes-Siedle A., Adams L. Handbook of Radiation Effects (Second ed.). Oxford University Press. 2002. 640 p.

2. Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V. Concurrent Hardware: The Theory and Practice of Self-timed Design. J. Wiley & Sons, 1994. 368 p.

3. Stepchenkov, Y. A., Y. G. Diachenko, Y. V. Rogdestvenski, et al. Ustojchivost' samosinhronnyh kombinacionnyh skhem k kratkovremennym logicheskim sbojam [Self-timed combinational circuit tolerance to short-term soft-errors] // Sistemy i sredstva informatiki [Systems and means of informatics]. 2020. 30(2): 6 p.

4. Stepchenkov, Y. A., Y. G. Diachenko, Y. V. Rogdestvenski, et al. Samosinkhronnyi umnozhitel' s nakopleniem: varianty realizatsii [Self-Timed Fused Multiply-Add Unit: Implementation Variants] / Sistemy i sredstva informatiki [Systems and means of informatics]. 2014. 24(3):63-77.

**Contributors**

**Stepchenkov Yuri A.** (b. 1951) – Candidate of Science (PhD) in technology, Head of Department, leading scientist, Federal Research Center «Computer Science and Control» of the Russian Academy of Sciences (FRC CSC RAS), 44-2 Vavilov Str., Moscow 119133, Russian Federation; [YStepchenkov@ipiran.ru](mailto:YStepchenkob@ipiran.ru)

**Diachenko Yuri G.** (b. 1958) – Candidate of Science (PhD) in technology, senior scientist, FRC CSC RAS, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaura@mail.ru

**Rogdestvenski Yuri V.** (b. 1952) – Candidate of Science (PhD) in technology, Head of Laboratory, FRC CSC RAS, 44-2 Vavilov Str., Moscow 119333, Russian Federation, Moscow 119333, Russian Federation; YRogdest@ipiran.ru

**Morozov Nikolai V.** (b. 1956) – senior scientist, FRC CSC RAS, 44-2 Vavilov Str., Moscow 119133, Russian Federation; NMorozov@ipiran.ru

**Stepchenkov Dmitri Yu.** (b. 1973) – senior scientist, FRC CSC RAS, 44-2 Vavilov Str., Moscow 119133, Russian Federation; stepchenkov@mail.ru

**Diachenko Denis Y.** (b. 1987) **–** research-engineer, FRC CSC RAS, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaden87@gmail.com

Cведения об авторах на русском языке, дополнительно:

**Степченков Юрий Афанасьевич** (р. 1951) – кандидат технических наук, руководитель отдела, ведущий научный сотрудник Федерального исследовательского центра «Информатика и управление» Российской академии наук; [YStepchenkov@ipiran.ru](mailto:YStepchenkob@ipiran.ru).

**Дьяченко Юрий Георгиевич** (р. 1958) – кандидат технических наук, старший научный сотрудник Федерального исследовательского центра «Информатика и управление» Российской академии наук; diaura@mail.ru (для связи).

**Рождественский Юрий Владимирович** (р. 1952) – кандидат технических наук, заведующий сектором Федерального исследовательского центра «Информатика и управление» Российской академии наук; YRogdest@ipiran.ru

**Морозов Николай Викторович** (р. 1956) – старший научный сотрудник Федерального исследовательского центра «Информатика и управление» Российской академии наук; NMorozov@ipiran.ru.

**Степченков Дмитрий Юрьевич** (р. 1973) – старший научный сотрудник Федерального исследовательского центра «Информатика и управление» Российской академии наук; stepchenkov@mail.ru.

**Дьяченко Денис Юрьевич** (р. 1987)– инженер-исследователь Федерального исследовательского центра «Информатика и управление» Российской академии наук; diaden87@gmail.com.

1. \* Исследование выполнено за счет гранта Российского научного фонда (проект № 19-11-00334).

   Федеральный исследовательский центр «Информатика и управление» Российской академии наук, [YStepchenkov@ipiran.ru](mailto:YStepchenkob@ipiran.ru) [↑](#footnote-ref-1)
2. Федеральный исследовательский центр «Информатика и управление» Российской академии наук, diaura@mail.ru [↑](#footnote-ref-2)
3. Федеральный исследовательский центр «Информатика и управление» Российской академии наук, [YRogdest@ipiran.ru](mailto:YRogdest@ipiran.ru)

   4Федеральный исследовательский центр «Информатика и управление» Российской академии наук, NMorozov@ipiran.ru [↑](#footnote-ref-3)
4. 5Федеральный исследовательский центр «Информатика и управление» Российской академии наук, stepchenkov@mail.ru [↑](#footnote-ref-4)
5. 6Федеральный исследовательский центр «Информатика и управление» Российской академии наук, diaden87@gmail.com [↑](#footnote-ref-5)
6. [↑](#footnote-ref-6)