Плеханов Л.П., к.т.н.,

Институт проблем информатики Федерального Исследовательского Центра "Информатика и управление" Российской академии наук1),119333,г. Москва, ул. Вавилова, д .44, корп. 2, <http://www.ipiran.ru>,

E-mail: lplekhanov@inbox.ru, +79162774834,

Денисов А.Н., к.т.н.,

Научно-производственный комплекс "Технологический центр" (НПК "Технологический центр")2),

244980, Москва, Зеленоград, проезд 4806, д. 5, <http://www.asic.ru>, E-mail: den@tcen.ru, +74997208992,

Дьяченко Ю.Г., к.т.н.,1)

Степченков Ю.А., к.т.н.,1)

Мамонов Д.И.,2)

Степченков Д.Ю.,1)

Синтез самосинхронных схем в базисе БМК

**Аннотация** – Данный доклад посвящен разработке средств автоматизированного синтеза самосинхронных (CC) схем. Рассматриваются особенности реализации СС схем. Предложен маршрут проектирования цифровых СС СБИС. Описана интеграция разрабатываемых средств в стандартную САПР синхронных БИС (“Ковчег”), обеспечивающая эффективное проектирование действительно СС схем.

**Ключевые слова** – самосинхронные схемы; автоматизированный синтез; анализ на самосинхронность; маршрут проектирования.

УДК 621.3.049.77:004.032.34:004.312

# Список литературы

**[**1] A. Bardsley, "Balsa: An asynchronous circuit synthesis system," M.Philthesis, Sch. Computer Sci., Univ. Manchester, U. K., Manchester, 1998.

[2] Соколов И.А., Степченков Ю.А., Бобков С.Г., Захаров В.Н., Дьяченко Ю.Г., Рождественский Ю.В., Сурков А.В. Базис реализации супер-ЭВМ эксафлопсного класса. Информатика и ее применения. 8(1), 2014. С. 45–70.

[3] KishinevskyM., KondratyevA., TaubinA., VarshavskyV. Concurrent Hardware: The Theory and Practice of Self-timed Design. – N. Y.: John Wiley, 1994. 368 p.

[4] Степченков Ю.А., Петрухин В.С., Дьяченко Ю.Г. Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле // Нано- и микросистемная техника, №5, 2006. – С. 29-36.

[5] Л. П. Плеханов. Основы самосинхронных электронных схем – М.: БИНОМ. Лаборатория знаний, 2013. – 208 с.

[6] Плеханов Л. П. Программа контроля и создания библиотеки базовых элементов для анализа и синтеза самосинхронных схем (CREALIBRA) // Свидетельство о государственной регистрации программы для ЭВМ № 2018664666. Дата регистрации 20.11.2018.

[7] Ю.А. Степченков, Денисов А.Н., Дьяченко Ю.Г., Гринфельд Ф.И., Филимоненко О.П., Морозов Н.В., Степченков Д.Ю., Плеханов Л.П. Библиотека функциональных ячеек для проектирования самосинхронных полузаказных БМК микросхем серий 5503/5507. М.: Техносфера. 2017. 367 с. — ISBN 978-5-94836-332-5. URL: http://www.technosphera.ru/lib/ book/497 (дата последнего обращения 10.07.2019).

[8] Плеханов Л. П. Синтез комбинационных самосинхронных электронных схем // Системы и средства информатики. – М: Наука, 2004. – Вып. 14. – С. 292 – 304.

[9] Плеханов Л. П. Синтез комбинационных самосинхронных секций функциональным методом // Системы и средства информатики, 2017. Т. 27. № 2. С. 86 – 98.

[10] Плеханов Л. П. Программа синтеза комбинационных самосинхронных схем на заданной библиотеке элементов СИНТАБИБ // Свидетельство о государственной регистрации программы для ЭВМ № 2007613665. Дата регистрации 27.08.2007.

[11] Плеханов Л. П. Программа анализа самосинхронных схем функциональным методом (ФАЗАН) // Свидетельство о государственной регистрации программы для ЭВМ № 2011611102. Дата регистрации 01.02.2011.

[12] Л. П. Плеханов. Программа иерархического анализа электронных схем на самосинхронность (ЛИМАН) // Свидетельство о государственной регистрации программы для ЭВМ № 2016663353. Дата регистрации 05.12.2016.

[13] Описание САПР БИС "Ковчег". URL:http://asic.ru/index.php/sapr/opis (дата последнего обращения 10.07.2019).

Plekhanov L.P., Candidate of Sciences (PhD) in technology,

Institute of Informatics Problems of the Federal Research Center "Computer Science and Control" of the Russian Academy of Sciences1),Vavilova 44/2, Moscow, 119333 Russia, E-mail: lplekhanov@inbox.ru, +79162774834,

Denisov A.N., PhD in technology,

"Technological Center" Scientific-industrial complex2), drive 4806, 5. http://www.asic.ru,

E-mail: den@tcen.ru, +74997208992,

Diachenko Y.G., PhD in technology1),

Stepchenkov Y.A., PhD in technology1),

Mamonov D.I.2),

Stepchenkov D.Y.1)

Synthesis of the self-timed circuits in gate array basis

**Abstract** – This report is devoted to software development for automated synthesis of the self-timed (ST) circuits. Peculiarities of the ST circuit implementation are discussed. Digital ST VLSI design flow is offered. An integration of the suggested tools into standard synchronous VLSI CAD("Kovcheg") is described. It provides the effective design of really ST circuits.

**Keywords** – self-timed circuits; automated synthesis; self-time analysis; chip design flow.

UDC 621.3.049.77:004.032.34:004.312

# References

**[**1] A. Bardsley, "Balsa: An asynchronous circuit synthesis system" M.Philthesis, Sch. Computer Sci., Univ. Manchester, U. K., Manchester, 1998.

[2] Sokolov I.A., Stepchenkov Yu.A., Bobkov S.G., Zakharov V.N., D'yachenko Yu.G., Rozhdestvenskii Yu.V., Surkov A.V. Bazis realizatsii super-EHVM ehksaflopsnogo klassa. Informatika i ee primeneniya. 8(1), 2014. P. 45–70 (in Russian).

[3] Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V. Concurrent Hardware: The Theory and Practice of Self-timed Design. – N. Y.: John Wiley, 1994. 368 p.

[4] Yu.A. Stepchenkov, V.S. Petrukhin, Yu.G. Diachenko.Opyt razrabotki samosinkhronnogo yadra mikrokontrollera na bazovom matrichnom kristalle // Nano- i mikrosistemnaya tekhnika, №5, 2006, pp. 29-36 (inRussian).

[5] L.P. Plekhanov. Osnovy samosinkhronnykh ehlektronnykh skhem – M.: BINOM. Laboratoriya znanii, 2013. 208 p. (in Russian).

[6] L.P. Plekhanov. Programma kontrolya i sozdaniya biblioteki bazovykh ehlementov dlya analiza i sinteza samosinkhronnykh skhem (CREALIBRA) // Svidetel'stvo o gosudarstvennoi registratsii programmy dlya EHVM №2018664666. Data registratsii 20.11.2018 (in Russian).

[7] Yu.A. Stepchenkov, A.N. Denisov, Yu.G. D'yachenko, F.I. Grinfel'd, O.P. Filimonenko, N.V. Morozov, D.Yu. Stepchenkov, L.P. Plekhanov. Biblioteka funktsional'nykh yacheek dlya proektirovaniya samosinkhronnykh poluzakaznykh BMK mikroskhem serii 5503/5507. M.: Tekhnosfera. 2017. 367 P. ISBN 978-5-94836-332-5.URL: http://www.technosphera.ru/lib/ book/497 (last access date10.07.2019) (in Russian).

[8] L.P. Plekhanov. Sintez kombinatsionnykh samosinkhronnykh ehlektronnykh skhem // Sistemy i sredstva informatiki. – M: Nauka, 2004. V. 14, pp. 292 – 304 (in Russian).

[9] L.P. Plekhanov. Sintez kombinatsionnykh samosinkhronnykh sektsii funktsional'nym metodom // Sistemy i sredstva informatiki, 2017. T. 27. № 2, pp. 86 – 98 (in Russian).

[10] L.P. Plekhanov. Programma sinteza kombinatsionnykh samosinkhronnykh skhem na zadannoi biblioteke ehlementov SINTABIB // Svidetel'stvo o gosudarstvennoi registratsii programmy dlya EHVM № 2007613665. Data registratsii 27.08.2007 (in Russian).

[11] L.P. Plekhanov. Programma analiza samosinkhronnykh skhem funktsional'nym metodom (FAZAN) // Svidetel'stvo o gosudarstvennoi registratsii programmy dlya EHVM № 2011611102. Data registratsii 01.02.2011 (in Russian).

[12] L.P. Plekhanov. Programma ierarkhicheskogo analiza samosinkhronnykh skhem na samosinkhronnost' (LIMAN) // Svidetel'stvo o gosudarstvennoi registratsii programmy dlya EHVM № 2016663353. Data registratsii 05.12.2016 (in Russian).

[13] Opisanie SAPR BIS "Kovcheg". URL:http://asic.ru/index.php/sapr/opis (last access date 10.07.2019) (in Russian).

УДК 621.3.049.77:004.032.34:004.312

Синтез самосинхронных схем в базисе БМК

*Леонид Петрович Плеханов*1)

*Андрей Николаевич Денисов*2)

*Юрий Георгиевич Дьяченко*1)

*Юрий Афанасьевич Степченков*1)

*Дмитрий Игоревич Мамонов*2)

*Дмитрий Юрьевич Степченков*1)

1)Институт проблем информатики Федерального Исследовательского Центра «Информатика и управление» Российской академии наук,119333, г. Москва, ул. Вавилова, д .44, корп. 2. lplekhanov@inbox.ru

2)Научно-производственный комплекс «Технологический центр» (НПК «Технологический центр»),

244980, Москва, Зеленоград, проезд 4806, д. 5. den@tcen.ru

**Аннотация?**

Данный доклад посвящен разработке средств автоматизированного синтеза самосинхронных (CC) схем. Рассматриваются особенности реализации СС схем. Предложен маршрут проектирования цифровых СС СБИС. Описана интеграция разрабатываемых средств в стандартную САПР синхронных СБИС (“Ковчег”), обеспечивающая эффективное проектирование действительно СС схем.

**Ключевые слова** – самосинхронные схемы; автоматизированный синтез микросхем; анализ на самосинхронность; маршрут проектирования микросхем.

Synthesis of the self-timed circuits in gate array basis

Leonid Petrovich Plekhanov1)

Andrey Nikolaevich Denisov2)

Yuri Georgiyevich Diachenko1)

Yuri Afanasievich Stepchenkov1)

Dmitrii Igorevich Mamonov2)

Dmitrii Yurievich Stepchenkov1)

**1)**Institute of Informatics Problems of the Federal Research Center "Computer Science and Control" of the Russian Academy of Sciences, Vavilova 44/2, Moscow, 119333 Russia. lplekhanov@inbox.ru

2)"Technological Center" scientific-industrial complex, drive 4806, 5. den@tcen.ru

**Abstract**

This report is devoted to software development for automated synthesis of the self-timed (ST) circuits. Peculiarities of the ST circuit implementation are discussed. Digital ST VLSI design flow is offered. An integration of the suggested tools into standard synchronous VLSI CAD ("Kovcheg") is described. It provides the effective design of really ST circuits.

**Keywords** – self-timed circuits; automated synthesis; self-time analysis; chip design flow.

**1 Введение**

Современные промышленные системы автоматизированного проектирования (САПР) цифровых СБИС, предоставляемые различными фирмами (Cadence, Synopsys, Mentor Graphics и др.), обеспечивают быстрое и эффективное проектирование *синхронных схем* и покрывают весь маршрут разработки СБИС и подготовки исходных данных для ее изготовления (для изготовления комплекта фотошаблонов) и тестирования изготовленных образцов. В области проектирования самосинхронных (СС) схем в настоящее время в свободном доступе имеется только одна САПР – Balsa [1], представляющая собой одновременно и систему проектирования асинхронных схем, и язык их описания. Элементный базис синтеза, использованный в САПР Balsa, соответствует базису реализации Null Convention Logic (NCL) схем. Он включает в себя 27 логических элементов, которые за счет транзисторной избыточности обеспечивают индицируемость всех входов элемента на его выходе. Но эта избыточность элементов базиса приводит в итоге к аппаратной избыточности всей СС схемы и к снижению ее быстродействия [2]. Предлагаемый ниже подход к синтезу СС схем опирается на методологию проектирования СС схем, разработанную группой Варшавского В.И. [3] и развитую в Институте проблем информатики Федерального Исследовательского Центра «Информатика и управление» Российской академии наук [4]. Она обеспечивает реализацию СС схемы с минимальными аппаратурными затратами и максимальным быстродействием в пределах эквихронной зоны [2].

Все известные САПР асинхронных схем, также как и САПР синхронных схем, ориентированы на синтез схемы на основе ее описания на RTL-уровне с использованием языков VHDL и/или Verilog. Различия между САПР заключаются в используемом схемотехническом базисе реализации схемы и организации протокола взаимодействия между частями схемы.

Синтез СС схем может быть интегрирован в существующие САПР СБИС в виде нескольких специальных этапов разработки. Основная специфика СС схем: СС специальное кодирование сигналов, индицирование, анализ на самосинхронность, – может быть учтена и реализована на этапе функционально-логического синтеза в рамках общего маршрута проектирования.

Описываемый ниже метод проектирования СС схем, относящихся к классу "независимых от задержек в элементах и проводах" (или "нечувствительных к задержкам", Delay Insensitive, в соответствии с зарубежной классификацией), основан на исследованиях, начатых группой профессора Варшавского В.И. [3] в конце прошлого века и продолженных в ИПИ ФИЦ ИУ РАН (ИПИ РАН) [4-5].

Метод предполагает интеграцию программных средств, обеспечивающих синтез, анализ и верификацию СС схем, разрабатываемых в ИПИ РАН, с САПР "Ковчег" синхронных схем, разработанной и поддерживаемой НПК "Технологический центр".

Сделаем пояснения для дальнейшего.

В процессе логического синтеза используется один из двух задаваемых критериев оптимальности: суммарная сложность и индекс задержки.

В зависимости от библиотеки под сложностью понимается либо число ячеек БМК, либо число вентилей, либо число транзисторов.

Индексом задержки однокаскадного элемента считается максимальное число транзисторов в цепях перезаряда его нагрузки. Этот индекс характеризует среднее быстродействие элемента.

СС схемы строятся как совокупность взаимодействующих СС фрагментов разной сложности. СС фрагментом может быть функциональный блок, например, сумматор, библиотечный элемент, имеющий свойство самосинхронности, звено конвейера и другие. Описание каждого СС фрагмента должно содержать СС атрибуты интерфейсных сигналов – входов и выходов.

Атрибуты определяют тип сигналов (унарные, парафазные, триггерные), значения спейсеров 0 или 1 для сигналов, а также назначение других интерфейсных сигналов (СС или асинхронной предустановки, разрешения записи и другие).

Атрибуты необходимы для двух целей:

- согласования СС фрагментов между собой (унарные сигналы соединяются с унарными, парафазные с парафазными и так далее),

- организации индикации окончания переходных процессов СС фрагментов и схемы в целом.

Ранее в ИПИ РАН был разработан ряд средств в направлении синтеза СС схем.

Программа CREALIBRA [6] предназначена для получения описания библиотеки элементов, удобного для анализа и синтеза СС схем. Программа проверяет корректность СС атрибутов при их наличии, самосинхронность указанных элементов, корректность описаний функций. Описание содержит оба критерия для каждого элемента. С помощью программы было создано описание библиотеки 5503СС для серий БМК 5503 и 5507 [7].

Были разработаны методы синтеза комбинационных СС схем небольшого размера (секций): табличным методом[8] и функциональным методом [9]. В них за счет учета естественных индицирующих свойств элементов удалось создать более быстродействующие и менее сложные устройства по сравнению с классической книгой [3], где рекомендуется тотальная индикация входов.

На основе табличного метода была создана программа синтеза комбинационных СС секций [10].

Однако для предлагаемого общего синтеза СС схем простого сочетания СС секций оказалось недостаточным. Наличие большого количества функций для реализации, необходимость их согласования и индикации, подбор библиотечных элементов делают синтез на основе СС секций недостаточно эффективным. Например, выбор библиотечных элементов в секциях делается после синтеза, а это в общем случае не обеспечивает оптимального результата синтеза. Тем не менее, методы, использованные в синтезе секций, применяются и в общем случае.

**2 Маршрут проектирования СС схем**

На рис. 1 представлен маршрут автоматизированного проектирования синхронных и СС схем в САПР "Ковчег". Этапы, специфичные для СС схем, выделены курсивом и серым фоном. При проектировании синхронных схем они не выполняются. САПР "Ковчег" использует расширенную библиотеку логических элементов и сложных функциональных блоков (СФБ), включающую как традиционные стандартные, так и СС элементы и СФБ [7]. Это обеспечивает высокую эффективность получаемых решений.

Синтез СС схем в базисе библиотеки элементов и СФБ принципиально отличается от аналогичного синхронного синтеза этапами синтеза индикаторной подсхемы, схемы управления и замыкания, а также этапом анализа на самосинхронность.

Индикаторная подсхема необходима для выработки сигналов, показывающих окончание переходных процессов в блоках схемы.

Этап синтеза схемы управления и замыкания призван обеспечить организацию корректного запрос-ответного взаимодействия функциональных устройств в составе синтезируемой СС схемы, включая (при необходимости) оптимальное по эффективности разбиение на ступени СС конвейера.



Рисунок 1— Маршрут проектирования синхронных и СС схем

Этап анализа синтезированной схемы на самосинхронность предназначен для проверки корректности результата синтеза с точки зрения самосинхронности. При этом используются программные средства анализа на нижнем уровне иерархии схемы [11] и средства иерархического анализа на верхних уровнях [12]. В случае обнаружения нарушения самосинхронности необходим возврат к предыдущему этапу логического синтеза. Если проблема не может быть решена средствами логического синтеза, требуются корректировка исходного описания схемы и возврат к началу маршрута проектирования.

Используемая методология проектирования СС схем обеспечивает синтез минимальных по аппаратурным затратам СС схем в рамках гипотезы об эквихронной зоне [3]. Если не использовать специальное размещение (выходящее за рамки доклада), то топологический синтез схемы может привести к выходу некоторых ее фрагментов за пределы эквихронной зоны и возможному нарушению самосинхронности. Поэтому после этапа топологического синтеза необходим этап анализа синтезированной схемы на самосинхронность с учетом восстановленных из топологии паразитных параметров, привносящих несимметричные задержки в цепи схемы. При выявлении нарушения самосинхронности требуется, как минимум, корректировка топологии схемы*.*

Таким образом, учет специфики построения СС схем реализуется с помощью дополнительных этапов маршрута проектирования. Ниже приводится детальное описание этапа логического синтеза СС схемы в рамках рассмотренного маршрута проектирования.

**3 Логический синтез СС схемы**

Для реализации логических функций должны использоваться только однокаскадные библиотечные элементы. Исключение составляют элементы с усиливающим инвертором на выходе, что не нарушает принципов самосинхронности.

Исходными данными для логического синтеза СС схемы являются:

- описание алгоритма работы схемы в виде системы логических функций на языке Verilog или VHDL.

- СС атрибуты входов и выходов схемы,

- критерий оптимальности: сложность или быстродействие (индекс задержки),

- совокупность файлов описания библиотеки стандартных элементов и СФБ, включающих:

1) логические выражения функций, выполняемых элементами и СФБ,

2) критерии оптимальности для каждого библиотечного компонента,

3) атрибуты интерфейсных сигналов компонентов, которые являются самосинхронными.

**3.1 Синтез логики**

Основная особенность синтеза логики СС схем состоит в переходе от исходного функционального описания к парафазному представлению (ПФС-преобразование [5]). При этом каждая исходная функция заменяется двумя сопряженными монотонными функциями. Монотонная функция будет либо изотонной, если в ее представлении в форме ДНФ нет отрицаний аргументов, или антитонной, если в ДНФ все аргументы с отрицаниями. В зависимости от значений спейсеров каждая функция может быть либо изотонной, либо антитонной.

Библиотечные элементы бывают монотонными обоих типов, в основном антитонными. Изотонными являются элементы с внутренним усиливающим инвертором.

В синтезе логики приходится учитывать следующие обстоятельства.

- исходные функции могут быть любой сложности – от инверторов до выражений от многих аргументов,

- значения спейсеров либо задаются пользователем в виде атрибутов входов и выходов, либо определяются в процессе синтеза, исходя из оптимальности,

- для согласования спейсеров могут потребоваться дополнительные инверторы, что также влияет на оптимальность.

В процессе логического синтеза СС схемы выполняются следующие шаги:

1. Балансировка. На этом шаге удаляются ненужные (не усиливающие) инверторы и декомпозируются сложные функции. Каждая полученная функция должна в будущем быть преобразована в две парафазные, и обе парафазные должны реализоваться библиотечными элементами. Для этого они вычисляются и ищутся покрывающие их библиотечные элементы при разных сочетаниях входных и выходных спейсеров. Если хотя бы одна из пары парафазных функций не реализуется, исходная функция подвергается декомпозиции.

Такой порядок гарантирует покрытие функций и существенно упрощает дальнейший синтез.

Определение подходящих исходных функций связано с весьма затратной по вычислениям операцией минимизации ДНФ.

Например, пусть в результате вычислений появилась исходная функция (обозначения Verilog):

Y = A & B | ~B & C & D | ~A & C & D,

Тогда одна из парафазных функций получит вид:

Y = A & B | B$ & C & D | A$ & C &D, (1)

где A$ и B$ - парафазные переменные, сопряженные соответственно с A и B.

Минимизация исходной функции дает:

Y = A & B | C & D. (2)

Эта функция уже является одной из парафазных. Хотя полученные функции (1) и (2) обе корректны по самосинхронности, ясно, что оптимальной для реализации будет функция (2).

Минимизировать необходимо все исходные, а также полученные после декомпозиции функции.

2. Получение всех библиотечных элементов. На этом шаге, исходя из критерия оптимальности, определяются значения спейсеров для внутренних функций и выбираются библиотечные элементы из числа запомненных ранее при балансировке.

3. Подготовка для индикаторной подсхемы. На этом шаге определяется, какие сигналы уже индицируются имеющимися элементами в силу их свойств, что позволяет исключить их из общего списка на индикацию и оптимизировать синтез.

Результатом выполнения данного этапа является функционально-логическая СС схема в базисе заданной библиотеки элементов и СФБ, реализующая исходное алгоритмическое описание схемы.

**3.2 Формирование регистров**

Сложная СС схема почти всегда реализуется в виде конвейера. При этом каждая ступень конвейера содержит, как и в синхронном конвейере, комбинационную часть и регистр. Регистр предназначен для обеспечения неизменности входных сигналов текущего устройства при переключении предыдущего в цепочке устройства – источника этих сигналов, – в противоположную фазу работы. Регистр может располагаться как на выходе предшествующей ступени конвейера, так и на входе текущей ступени.

Схемотехническая реализация регистра хранения промежуточных данных может быть произвольной, но должна учитывать особенность реализации комбинационных СС схем, входы которых должны быть парафазными сигналами со спейсером. Возможны 3 варианта реализации СС регистра хранения:

1. На двухтактных (по аналогии с синхронными схемами) RS-триггерах (рис. 2) с парафазным информационным входом и выходом и сигналом разрешения записи, управляющим фазовыми переключениями устройства – приемника выходов регистра.



Рисунок 2 — Разряд СС регистра хранения на двухтактном RS-триггере

2. На однотактных RS-триггерах (рис. 3) с парафазным информационным входом и выходом и аналогичным первому случаю сигналом разрешения записи. В отличие от синхронных схем такое решение допустимо благодаря двухфазной дисциплине работы СС схемы: после записи новых промежуточных данных в регистр и получения уведомления об этом от индикатора регистра предшествующее устройство будет переключаться в спейсер, а спейсер на информационном входе СС RS-триггера обеспечивает хранение состояния триггера. Поэтому нет необходимости как-то "укорачивать" сигнал разрешения записи в регистр во избежание порчи хранимой информации на следующей фазе работы схемы.

****

Рисунок 3 — Разряд СС регистра хранения на однотактном RS-триггере

3. На гистерезисных триггерах (Г-триггерах) [4], как показано на рис. 4.



Рисунок 4 — Разряд СС регистра хранения на Г-триггерах

Назначение сигналов на рис. 2 – 4: (Х, ХВ) – парафазный информационный вход; Е – сигнал разрешения записи; (Q, QB) – парафазный информационный выход; I – индикаторный выход; NR, R – сигнал начального асинхронного сброса. Выход (Q, QB) во всех вариантах разряда регистра – парафазный, как того требует СС комбинационная схема, на вход которой поступают выходы регистра. В вариантах на RS-триггерах он формируется парой элементов 2ИЛИ-НЕ, а в варианте на Г-триггерах он получается автоматически. Сложность реализации вариантов разряда регистра: 62 КМОП транзистора в разряде на двухтактном RS-триггере; 44 транзистора в разряде на однотактном RS-триггере; 28 транзисторов в разряде на Г-триггерах.

Таким образом, разряд регистра хранения промежуточных данных на Г-триггерах является лучшим решением по сравнению с вариантами на RS-триггерах: он записывает и хранит состояние информационного парафазного сигнала в парафазном коде и обладает меньшей сложностью реализации. Единственный недостаток – учетверенная, по сравнению с вариантами на RS-триггерах, нагрузка на входе управления Е. Но он легко устраняется буферизацией цепи сигнала управления Е "деревом" инверторов, т.к. он индицируется в каждом разряде регистра и такая буферизация не вызовет нарушения самосинхронности схемы.

**3.3 Синтез индикаторной подсхемы**

Синтез индикаторной подсхемы является задачей, не характерной для синхронных схем, но обязательной для СС схем. Индикаторная подсхема обеспечивает контроль окончания переключения СС схемы в текущую фазу работы. В случае парафазной дисциплины сигналов в СС схеме индикация строится путем формирования сигналов, индицирующих каждый парафазный сигнал, и последующей сборки полученной совокупности индикаторных сигналов в один индикаторный сигнал, общий либо для элементов одного разряда функционального блока, либо для всего блока в целом. В связи с этим этап синтеза индикаторной подсхемы выполняется раздельно для каждого функционального блока (модуля в иерархической структуре схемы) последовательно, начиная с нижнего уровня иерархического описания схемы и кончая верхним уровнем иерархии схемы. Последовательность действий на каждом шаге в каждом модуле (блоке):

1. Добавление в схему элементов nИ-НЕ (nИ) и mИЛИ-НЕ (mИЛИ), формирующих индикаторные сигналы для каждого промежуточного и выходного парафазного сигнала (в зависимости от типа его спейсера) комбинационной части схемы обрабатываемого блока. Элементы с памятью (триггеры, регистры), как правило, содержат встроенный индикаторный элемент, формирующий один фазовый выход, индицирующий все внутренние элементы триггера (разряда регистра). Выходы комбинационной части блока (ступени конвейера), поступающие на входы регистра хранения промежуточных данных, индицируются непосредственно в регистре и не требуют использования дополнительных индикаторных элементов.

2. Оценка временн**о**й последовательности формирования индикаторных сигналов в каждом модуле (функциональном блоке), еще не реализованном в виде библиотечного СФБ, на основе анализа причинно-следственной зависимости индицируемых ими парафазных сигналов. Разделение всей совокупности индикаторных сигналов в каждом модуле на каскады (сигналы, формирующиеся примерно в одно время, составляют один каскад) для получения оптимального по быстродействию результата синтеза.

3. Покрытие совокупности индикаторных сигналов "деревом" из Г-триггеров с учетом их разбиения на каскады и типа спейсера (сигналы, поступающие на входы Г-триггера, должны иметь одинаковый спейсер). Для реализации индикаторного "дерева" целесообразно использовать трехвходовые Г-триггеры, обеспечивающие максимально эффективную свертку числа фазовых сигналов с учетом ограничения на число последовательно соединенных КМОП транзисторов в принципиальной схеме элемента: три для транзисторов с каналом p-типа и четыре для транзисторов с каналом n-типа. Группы индикаторных сигналов, объединяемые на одном Г-триггере, формируются на основе анализа связности входов и выходов индицируемых ими элементов и принадлежности к одному или соседним каскадам индикаторной подсхемы.

4. Автоматическое доопределение (при необходимости) типа спейсера информационных и индикаторных выходов блока (схемы) в соответствии с указанными атрибутами или на основе сопоставления типов спейсера групп сигналов, объединяемых одним Г-триггером в общий сигнал управления.

**3.4 Синтез схемы управления и замыкания**

Схема управления и замыкания, обеспечивающая запрос-ответный механизм взаимодействия СС блоков на всех уровнях иерархии синтезируемой схемы, строится на основе заданных СС атрибутов схемы, а в случае их отсутствия – на основе анализа взаимосвязи входов и выходов структурных частей схемы.

Структура схемы управления определяется ее назначением: она гарантирует соблюдение СС дисциплины в работе последовательно соединенных функциональных блоков (например, ступеней конвейера) и сборку индикаторных выходов функциональных блоков, расположенных в параллельных ветвях тракта обработки данных в структуре общей схемы.

*Принцип СС дисциплины*: в цепочке последовательно соединенных СС устройств текущее устройство может начать переключение в спейсер (рабочую фазу), если следующее в цепочке устройство завершило переход в рабочую фазу (спейсер), а предыдущее устройство закончило переключение в спейсер (рабочую фазу).

Построение схемы управления далеко не всегда является тривиальной задачей. Несмотря на строгость и однозначность СС дисциплины, на практике возможны различные варианты организации СС взаимодействия связанных блоков за счет реализации микроконвейеров. В каждом конкретном случае оптимальное решение этой задачи зависит от соотношения задержек переключения в спейсер и рабочую фазу соседних ступеней СС конвейера. Поэтому дополнительным критерием выбора оптимального варианта управления может служить предварительная оценка "в первом приближении" задержки формирования индикаторных сигналов соседних ступеней, например, в виде суммарного числа входов логических элементов и Г-триггеров в критическом пути.

**4 Анализ синтезированной схемы на самосинхронность**

Анализ синтезированной СС схемы на самосинхронность является обязательным этапом маршрута проектирования СС схем и выполняется с использованием программных средств анализа, реализующих разные методы:

- функциональный подход (программа ФАЗАН [11]), обеспечивающий стопроцентную проверку на самосинхронность схем, имеющих сложность не более 100 КМОП транзисторов; используется на нижнем уровне иерархии схемы и подготавливает спецификации блоков нижнего уровня для анализа схем на следующих уровнях иерархии,

- иерархический метод (программа ЛИМАН [12]), обеспечивающий стопроцентную проверку на самосинхронность схем любого уровня сложности на основе спецификаций схем нижнего уровня, из которых они состоят, уже прошедших проверку на самосинхронность.

Последовательность шагов на данном этапе:

1. Подготовка исходных файлов описания блоков нижнего уровня иерархии для анализа функциональным методом.

2. Проведение анализа блоков нижнего уровня программой ФАЗАН.

3. Подготовка и верификация структурных описаний (спецификаций) блоков, прошедших успешную проверку на самосинхронность на нижнем уровне.

4. Поэтапная проверка на самосинхронность всей синтезированной схемы снизу вверх с использованием спецификаций блоков предшествующих уровней иерархии.

5. Коррекция описания СС схемы или отдельного блока при обнаружении нарушения самосинхронности.

При невозможности локальной корректировки синтезированной схемы для обеспечения ее самосинхронности может потребоваться изменение исходного описания синтезируемой схемы и возврат к началу маршрута проектирования.

Результатом анализа на самосинхронность является окончательная функционально-логическая СС схема, представленная в базисе заданной библиотеки стандартных элементов и СФБ.

**5 Синтез топологии схемы**

Подготовка синтезированной СС схемы для передачи в топологический синтезатор незначительно отличается от традиционного маршрута проектирования синхронных схем. В частности, требуется подготовить скрипт для топологического синтезатора, обеспечивающий сохранение СС дисциплины сигналов в схеме при ее топологической реализации:

- задание приоритетной трассировки сигналов управления многоразрядными устройствами,

- запрет произвольного добавления буферов и инверторов в длинные цепи, способного привести к нарушению самосинхронности схемы, и т.д.

Несмотря на предпринимаемые меры, синтез топологии схемы с помощью стандартного синтезатора базовой САПР может привести к появлению сильной дифференциации согласованных цепей СС схемы по задержкам и в итоге – к появлению нарушения самосинхронности.

Поэтому после успешной верификации топологии, извлечения паразитных параметров (емкостей и резисторов) и добавления их в список цепей синтезированной схемы необходим этап анализа получившейся схемы на самосинхронность. При выявлении нарушения самосинхронности выполняется повторный синтез топологии с уточненными настройками. Если и новая топология приводит к нарушению самосинхронности, необходим возврат на этап логического синтеза и изменение исходной схемы.

Таким образом, встраивание нескольких этапов, специфичных для СС схем, в стандартный маршрут проектирования синхронных схем делает возможным синтез СС схем на основе типовой САПР синхронных схем.

**6 Программная реализация синтеза СС схем**

В настоящее время подсистема синтеза СС схем имеет следующие особенности и ограничения:

- результаты первичной апробации синтеза, представленные в настоящем докладе, базируются на полузаказной технологии с использованием библиотеки СС функциональных ячеек 5503СС [7];

- она встраивается в САПР "Ковчег" [13];

- она является развитием программных средств синтеза СС схем малого объема [10] и позволяет синтезировать схемы реальной сложности;

- в рамках средств синтеза существует программа автоматизированной подготовки библиотеки СС элементов [6], содержащей СС атрибуты, необходимые для иерархического синтеза и анализа на самосинхронность;

Интегрирование подсистемы синтеза СС схем в САПР "Ковчег" предполагает доработку этой САПР до текущей версии стандарта Verilog.

**7 Новизна результатов**

Авторы считают, что в данной работе новой является методика синтеза СС схем на основе результатов логического синтеза стандартной САПР синхронных схем и анализа самосинхронности синтезируемой схемы в процессе ее топологической реализации.

**8 Заключение**

Расширение библиотеки стандартных элементов САПР "Ковчег" элементами, необходимыми для проектирования СС схем, обеспечило успешную интеграцию специфичных этапов проектирования СС схем в САПР "Ковчег" и получение единого маршрута автоматизированного проектирования синхронных и СС схем.

Существенными отличиями маршрута синтеза СС схемы от маршрута проектирования синхронных схем являются этап синтеза логики и этап анализа на самосинхронность результата синтеза. Последний этап выполняется дважды: после логического синтеза и после топологического синтеза. Анализ на самосинхронность после логического синтеза дает ответ на вопрос, относится ли синтезированная схема к классу СС схем. Анализ на самосинхронность после топологического синтеза подтверждает отсутствие нарушений самосинхронности, привнесенных топологической реализацией схемы.

**9 Поддержка**

Исследование выполнено в рамках проекта № КП19-260 (Механизмы обеспечения отказоустойчивости современных высокопроизводительных и высоконадежных применений), финансируемого Минобрнауки России.

# Список литературы

**[**1] A. Bardsley, "Balsa: An asynchronous circuit synthesis system," M.Philthesis, Sch. Computer Sci., Univ. Manchester, U. K., Manchester, 1998.

[2] И.А. Соколов, Ю.А. Степченков, С.Г. Бобков, В.Н. Захаров, Ю.Г. Дьяченко, Ю.В. Рождественский, А.В. Сурков, Базис реализации супер-ЭВМ эксафлопсного класса // *Информатика и ее применения*. 8(1), 2014. С. 45–70.

[3] M. Kishinevsky, A. Kondratyev, A. Taubin, V. Varshavsky, Concurrent Hardware: The Theory and Practice of Self-timed Design. – N. Y.: John Wiley, 1994. 368 p.

[4] Ю.А. Степченков, В.С. Петрухин, Ю.Г. Дьяченко. Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле // Нано- и микросистемная техника, №5, 2006, c. 29-36.

[5] Л. П. Плеханов. Основы самосинхронных электронных схем – М.: БИНОМ. Лаборатория знаний, 2013. – 208 с.

[6] Л. П. Плеханов. Программа контроля и создания библиотеки базовых элементов для анализа и синтеза самосинхронных схем (CREALIBRA) // Свидетельство о государственной регистрации программы для ЭВМ №2018664666. Дата регистрации 20.11.2018.

[7] Ю.А. Степченков, А.Н. Денисов, Ю.Г. Дьяченко, Ф.И. Гринфельд, О.П. Филимоненко, Н.В. Морозов, Д.Ю. Степченков, Л.П. Плеханов. Библиотека функциональных ячеек для проектирования самосинхронных полузаказных БМК микросхем серий 5503/5507. М.: Техносфера. 2017. 367 с. — ISBN 978-5-94836-332-5. URL: http://www.technosphera.ru/lib/ book/497 (дата последнего обращения 10.07.2019).

[8] Л. П. Плеханов. Синтез комбинационных самосинхронных электронных схем // Системы и средства информатики. – М: Наука, 2004. – Вып. 14. – С. 292 – 304.

[9] Л. П. Плеханов. Синтез комбинационных самосинхронных секций функциональным методом // Системы и средства информатики, 2017. Т. 27. № 2. С. 86 – 98.

[10] Л. П. Плеханов. Программа синтеза комбинационных самосинхронных схем на заданной библиотеке элементов СИНТАБИБ // Свидетельство о государственной регистрации программы для ЭВМ № 2007613665. Дата регистрации 27.08.2007.

[11] Л. П. Плеханов. Программа анализа самосинхронных схем функциональным методом (ФАЗАН) // Свидетельство о государственной регистрации программы для ЭВМ № 2011611102. Дата регистрации 01.02.2011.

[12] Л. П. Плеханов. Программа иерархического анализа электронных схем на самосинхронность (ЛИМАН) // Свидетельство о государственной регистрации программы для ЭВМ № 2016663353. Дата регистрации 05.12.2016.

[13] Описание САПР БИС "Ковчег". URL:http://asic.ru/index.php/sapr/opis (дата последнего обращения 10.07.2019).