

УДК 621.3.049.77+004.312

УНИВЕРСАЛЬНАЯ ПОДСИСТЕМА АНАЛИЗА САМОСИНХРОННЫХ СХЕМ¹

Ю. В. Рождественский, Н. В. Морозов, Ю. А. Степченков,
А. В. Рождественскене

Проведён анализ независимости поведения асинхронных схем от задержек элементов. Такие схемы называются самосинхронными. Анализ основан на построении диаграмм переходов, покрывающих все возможные состояния схемы, и относится к методам анализа схемы в глобальных состояниях. Главное преимущество этих методов заключается в их универсальности — возможности применения для анализа всех классов самосинхронных схем. Рассмотрена подсистема АСИАН, которая представляет собой комплекс программ, позволивший многократно сократить временные затраты на процедуру анализа по сравнению с существующими аналогами и, по существу, реализовать максимально возможную эффективность анализа.

1. Введение

Самосинхронные (СС) схемы (self-time circuits), поведение которых не зависит от задержек их элементов, имеют ряд преимуществ по сравнению с их синхронными аналогами. Они более надёжны, сохраняют работоспособность (устойчивость работы без сбоев) в предельно широких условиях эксплуатации, характеризуются потенциально более высоким быстродействием и рядом других достоинств [1].

За преимущества СС-схем приходится расплачиваться более трудоёмкой методологией их проектирования и необходимостью использования средств автоматизации даже для схемы, содержащей десяток вентиляей.

¹ Работа выполнена при финансовой поддержке по Государственному контракту № 1.4/03 (регистрация РАН № 10002-251/ОИТВС-04/103-098/260 503-201).

Система автоматизированного проектирования (САПР) интегральных схем на базе СС-подхода может основываться на стандартной САПР, но при этом должны учитываться некоторые специфические особенности этой технологии [2]. Они прослеживаются на всех этапах: от моделирования и подготовки тестов до изготовления топологии. Иногда проектирование упрощается (на этапах тестирования и моделирования), в других случаях — несколько усложняется (на этапе топологии). Однако все эти задачи решаются в рамках имеющихся систем проектирования.

Существуют две программные подсистемы, необходимые для организации проектирования СС-схем и не покрываемые существующими средствами САПР: подсистема проверки наличия нарушений самосинхронности в проектируемой схеме и подсистема синтеза СС-схем. В настоящей статье описана подсистема анализа логических схем АСИАН 1.0 для подтверждения их самосинхронности.

2. Теоретические принципы анализа нарушений самосинхронности

Существуют методологии проектирования асинхронных схем, которые не всегда обоснованно относят к классу самосинхронных [1]. В табл. 1 представлены основные классы схем, нередко идентифицирующиеся как самосинхронные.

В качестве примера в табл. 1 приведены методологии первой группы, базирующиеся на моделях с ограниченной задержкой. Подобно синхронным схемам, они вынуждены ориентироваться на худший случай срабатывания элементов (правда, не глобально, во всей схеме, а локально, в отдельных её частях), т. е. не являются схемами, полностью независимыми от задержек элементов. Такие схемотехнические решения будем называть *квазисамосинхронными* (КСС). Согласованная работа отдельных частей КСС обеспечивается за счёт использования линий задержек или локальных генераторов. Проектирование таких схем полностью покрывается традиционными средствами САПР.

Ко второй группе относятся СС-методологии, различающиеся типом модельного представления. Выбор модельного представления — всегда компромисс между компактностью описания и необходимой степенью подробности, достаточной как для ис-

Таблица 1

Классификация методологий проектирования

Название класса	Пример
<i>Квазисамосинхронные методологии</i>	
На базе использования локальных генераторов	СС-интерфейс S/390 [3]
Модели с ограниченной задержкой элементов	СС-микрokonвейеры и схемы Halfman [4]
Объединение СС-модулей с использованием задержек или генераторов	I-net [4]
<i>Самосинхронные методологии</i>	
Универсальные на базе «глобальных моделей»	ДП (ТРАНАЛ) [5] и ДР сетей Петри [4]
Дистрибутивные схемы (ДС)	STG (сети Петри) [4] и ДИ (ТРАСПЕКТ) [5]
Расширенные ДС	STG/IC [4]
Комбинационные схемы	САМАН [2]

следования свойств, адекватных свойствам реальных схем, так и для последующей эффективной реализации (синтеза схемы).

Подробно изучены и апробированы так называемые «глобальные модели», представляющие собой упорядоченное множество полных состояний схемы (значений всех сигналов). Примерами таких моделей являются диаграммы переходов (ДП) Маллера и диаграммы разметок (ДР) сети Петри. Эти подробные описания позволяют просто представлять параллельное поведение всех типов схем: автоматных схем управления, комбинационных и схем с памятью, арбитражных схем и перестраиваемых конвейерных структур. Именно поэтому такие модели являются универсальными. С ростом размерности схемы и, в особенности, степени её параллельности преимущество полноты описания оборачивается недостатком — экспоненциальной сложностью описания.

Один из способов сокращения размера описания — учёт специфики исследуемой схемы и использование модельного представления, эффективного именно для данного класса схем. Очень часто в практике реального проектирования встречаются схемы, обладающие однозначностью предыстории каждого переключения, так называемые дистрибутивные схемы (ДС) [5].

Этому классу схем соответствует подкласс диаграмм изменений (ДИ) — сигнальные графы (СГ), в которых все вершины являются изменениями и имеют тип «И», а вершины типа «ИЛИ» отсутствуют. В сетях Петри используется другой подкласс ДИ — графы сигнальных переходов (Signal Transition Graphs, STG) [4], которые имеют определённые ограничения по сравнению с СГ: они не могут специфицировать поведение любой ДС. И сигнальные графы, и графы сигнальных переходов относятся к «событийным моделям», алгоритмы анализа которых существенно проще. Если сложность алгоритма анализа ДП находится в экспоненциальной зависимости от степени параллельности всей схемы, то для ДИ эта сложность зависит от степени параллельности одного события (элемента). Для схем с высоким параллелизмом количество параллельных изменений на входе одного элемента существенно меньше параллелизма всей схемы. Этим и объясняется высокая эффективность событийных моделей по сравнению с моделями в глобальных состояниях.

Понятно, что даже высокоэффективные событийные модели не позволяют провести полномасштабный анализ нарушений самосинхронности для крупных схемотехнических решений. В этом случае требуется декомпозиция всей схемы на более мелкие функционально завершённые самосинхронные фрагменты или блоки, связанные между собой в соответствии с правилами построения соединений, не зависящих от времени. Поскольку анализ нарушений самосинхронности не является функциональным анализом и допускает некоторое упрощённое, модельное представление функциональных блоков, его можно с успехом применять и на верхних уровнях декомпозиции сложных схем.

Для анализа чисто комбинационных схем эффективно использование функционального подхода [2]. Подсистема анализа СС-схем потребовалась при разработке БИС БМК «Микроядра». Схемотехнические решения БИС БМК «Микроядра» не относятся ни к классу дистрибутивных, ни к классу комбинационных схем. Поэтому было принято решение разработать подсистему анализа СС-схем АСИАН на базе универсального подхода.

Предлагаемое программное средство базируется на гипотезе Маллера: задержка срабатывания любого логического элемента может быть сколь угодно большой, но конечной, а ветвление выходного сигнала на входы всех соединённых с ним элементов удовлетворяет требованию изохронности.

В несколько упрощённой форме это положение можно переформулировать как требование конечной величины любой задержки в элементе или цепи и обеспечения одновременности поступления сигнала на входы подсоединённых элементов с точностью до времени срабатывания простейшего вентиля в используемой технологии.

Следовательно, задержка цепи приводится к выходу элемента, и разброс задержек в ветвлениях цепи меньше времени срабатывания вентиля. В принципе, в широком классе применений такая гипотеза справедлива. Для того чтобы гипотеза Маллера была справедлива и для схем субмикронного диапазона, необходимо использовать дополнительные топологические и логические приёмы [6]. Возможность контроля трасс соединений в технологии БМК позволяет обеспечить правильную работу СС-схем независимо от задержек соединительных проводов после разветвления.

По Маллеру, схемой называется совокупность логических элементов $\{Z_1, \dots, Z_n\}$, где каждый вход логического элемента присоединён к одному выходу и никакие два выхода не соединены между собой. Состояние схемы в каждый момент представляет собой набор значений сигналов в её узлах — выходах двоичных логических элементов. Входы схемы также можно считать логическими элементами без входов — генераторами нулей или единиц.

Состояние выхода элемента определяется значениями сигналов на его входах. Поведение i -го элемента схемы можно описать булевым уравнением:

$$Z_i^t = F_i(Z_1, \dots, Z_i, \dots, Z_n),$$

где $Z_i, \dots, Z_{i-1}, Z_{i+1}, \dots, Z_n$ — значения сигналов во входных узлах i -го элемента в момент времени t ; Z_i — значение выхода i -го элемента в момент времени t ; Z_i^t — значение, которое должен принять выход i в следующий момент времени t' ; F_i — собственная функция i -го элемента.

Для схемы, состоящей из n элементов, моделью Маллера называется система из n уравнений вида $Z_i^t, i = 1, \dots, n$. В качестве примера на рис. 1 приведена схема индикатора окончания переходных процессов для трёх сигналов — так называемого гистерезисного триггера (одного из наиболее распространённых элементов в СС-схемотехнике).

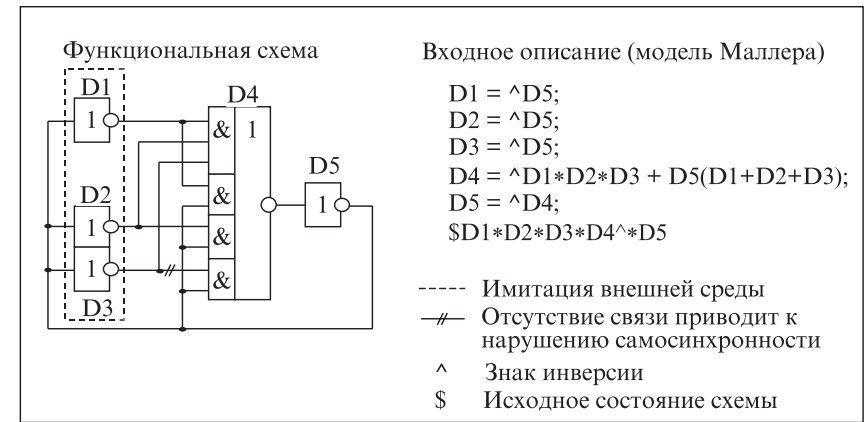


Рис. 1. Гистерезисный триггер на три входа

Функционирование схемы описывается процедурой её перехода из одного состояния в другое. Наглядной формой отображения функционирования схемы, заданной моделью Маллера, является её ДП, ориентированный граф, вершины которого соответствуют состояниям схемы. Два последовательных состояния схемы на ДП соединяются дугой, а возбуждённые переменные помечаются звёздочками (рис. 2).

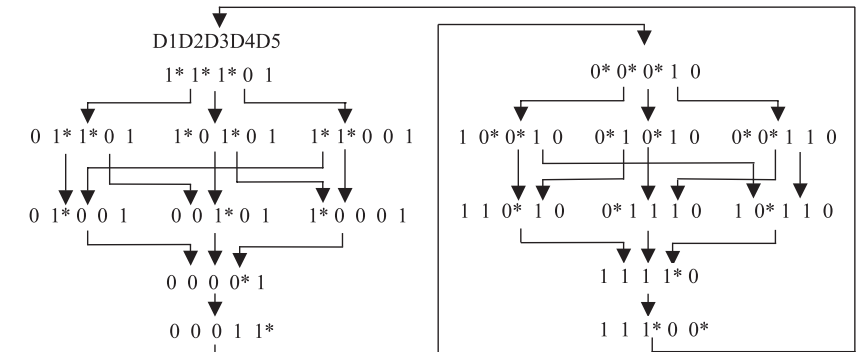


Рис. 2. Диаграмма переходов

Критерий нарушения самосинхронности в этом случае — появление ситуации, когда одновременные переключения входов какого-либо элемента схемы вызывают противоположные по знаку переключения выхода (режим «гонок»). Примеры результатов анализа приведены на рис. 3.

АНАЛИЗ ЗАВЕРШЁН 08.05.2006 в 18.50.59 за 0.00.00.00

Проанализировано состояний: 26, слоёв: 14

Схема полумодулярна

Параметры схемы: прошли раб. циклов - 1

В рабочем цикле: состояний - 18, слоёв - 10

Ширина слоя в раб. цикле: мин. - 1, макс. - 3

a

АНАЛИЗ ЗАВЕРШЁН 08.05.2006 в 18.48.59 за 0.00.00.00

Проанализировано состояний: 9, слоёв: 4

Полумодулярность нарушается в состоянии 001*11*

> конфликтное состояние:

1.D1 = 0 2.D2 = 0 3.D3 = 1* 4.D4 = 1 5. D5 = 1*

Переменная, вызвавшая конфликт: D5

Переменные, с которых снимается возбуждение: D3

b

Рис. 3. Результат анализа подсистемы ТРАНАЛ:

a — схема самосинхронна; *b* — нарушение самосинхронности

Непосредственная проверка корректности системы булевых уравнений схемы (самосинхронности) осуществляется путём построения ДП, покрывающих все возможные (не зависящие от задержек) состояния, которые может принимать схема в процессе переключений согласно гипотезе Маллера, и последующей проверки условия нарушения самосинхронности для всех построенных состояний.

Полнота покрытия всех состояний достигается имитацией синхронного протокола взаимодействия с внешней средой путём «замыкания» выходного индикатора окончания переключений на входные цепи разрешения приёма данных или фазы гашения.

Из сказанного выше видны сильные и слабые стороны такого алгоритмического подхода к проверке нарушений самосинхронности:

- в качестве средства анализа используется определение понятия нарушения самосинхронности, что делает алгоритм теоретически завершённым, фундаментальным;

- в процессе работы просматриваются все временные состояния схемы без учёта величины конечных задержек, что гарантирует полноту анализа;

- главным недостатком является экспоненциальная зависимость числа просматриваемых состояний от числа параллельных процессов, одновременно идущих в схеме, при этом фактически

включается полный перебор состояний с показателем $2N$, где N — максимальная степень параллельности схемы.

Прототипом для подсистемы АСИАН была программа TRANAL в составе САПР СС-схем FORSAGE [7]. Разработанная в начале 90-х годов, эта программа была ориентирована на максимальное использование вычислительных ресурсов ПЭВМ того времени, однако реально обеспечивала решение задач, содержащих не более 5–6 одновременных параллельных процессов (СП — степень параллельности). Это обусловило сильную ограниченность её использования, в основном для анализа библиотечных элементов базовых матричных кристаллов. Кроме того, работа с низкой параллельностью не позволила её авторам обнаружить одну функциональную ошибку в цикле проверок нарушения самосинхронности. Для некоторого класса схем эта программа не обнаруживает существующих нарушений самосинхронности.

Работы по созданию реального СС-микропроцессора требовали максимально расширить возможности программных средств для проверки самосинхронности схемных решений различных узлов и блоков микропроцессора. Первоначально была разработана подсистема анализа БТРАН, позволившая увеличить СП анализируемой схемы до 14 [8]. В рамках подсистемы АСИАН максимально возможная СП была увеличена до 20.

Вторая проблема, требовавшая решения в связи с ростом сложности схем, заключалась в трудности понимания причин нарушения самосинхронности в терминах и представлениях аппарата ДП. Требовалась мощная диагностическая система, наглядно демонстрирующая разработчику причину и предысторию процессов, приведших к нарушению самосинхронности.

Эти задачи должна была решать новая подсистема проверки нарушений самосинхронности АСИАН.

3. Алгоритмы работы АСИАН

Анализ алгоритма ТРАНАЛ показал, что основные затраты процессорного времени и памяти уходят на формирование слоя из одновременно существующих состояний схемы. Последовательное построение этих слоёв, отличающихся переключением всех (по одному) элементов из каждого состояния слоя, формирует следующий слой, пока возможны переключения в схеме. Размер слоя состояний — экспоненциальная функция от числа

параллельных процессов в слое — может достигать больших величин (иногда — десятков гигабайтов); неупорядоченный поиск состояния в слое становится бессмысленным.

Для организации упорядоченного поиска вся доступная оперативная память (ОП) ПЭВМ разбивается на $2N$ кластеров с помощью специально рассчитываемой хэш-функции по текущим состояниям схемы. Это позволяет сократить время доступа к конкретному состоянию до $\sim 2N$ раз. Существующая версия АСИАН обеспечивает сейчас анализ схем с разбиением ОП на кластеры до $N = 24$.

Красивая идея борьбы со сложностью анализа параллельных схем «степенной» формой организации памяти имеет некоторые существенные ограничения, связанные с эффективностью использования этой памяти. Полное её использование возможно лишь при условии, что в каждом слое состояний существует достаточное число переменных, большее N , имеющих одинаковое количество состояний 0 и 1 в этом слое и к тому же *ортогональных*. Это практически маловероятно и приводит при больших N к неэффективному использованию оперативной памяти. Так, для $N = 24$ максимальное использование памяти практически не превышает 20%, а в более сложных случаях падает ниже 10%. Для того чтобы повысить эффективность использования оперативной памяти, внутри неё выделяется специальная область со списковой организацией кластеров. Дополнительные кластеры из этой области назначаются как продолжение переполненных кластеров основной области, образуя с ними адресные списки. Такая буферизация кластеров позволяет повысить эффективность использования оперативной памяти до 80%, что существенно расширяет класс решаемых задач.

Важным аспектом использования программы АСИАН является правильный выбор величины показателя числа кластерных зон N . Практика использования программы позволяет рекомендовать следующую формулу для оптимального определения величины N :

$$N = 1,5P_{\max},$$

где P_{\max} — максимальная параллельность исследуемой схемы, определяющаяся в модуле предварительного анализа программы АСИАН. Полученное значение N можно рассматривать как рекомендуемое, но не всегда достаточное. Значение N не может быть более 24 (ограничение программы). При наличии небольшо-

го объёма оперативной памяти ПК использование значений N , близких к 24, может привести к неоправданному увеличению времени счёта вследствие очень маленького размера кластеров. Тогда затраты на вычисление адреса кластера могут в несколько раз превысить затраты на поиск состояния в кластере. Практически рекомендуемое количество состояний в кластере (проверяется программой АСИАН перед запуском схемы на анализ) не должно быть меньше 80–100.

В ряде случаев оперативной памяти оказывается недостаточно и АСИАН позволяет организовать постраничное хранение массива данных слоя состояний на жёстком диске, сохраняя при этом высокую эффективность доступа ко всем состояниям слоя с помощью хэш-функции страничной организации на $2K$ страницах. Параметр K может достигать величины 4.

Из сказанного выше очевидно, что скорость анализа будет зависеть от размеров слоя состояний, размеров оперативной памяти, производительности ПК и настроек программы. Для практических оценок можно использовать данные, приведённые на рис. 4, отображающие зависимость скорости анализа программой АСИАН состояний слоя от размеров слоя. Результаты получены на ПК с процессором P4 2,6 ГГц, оперативной памятью 1,5 Гб (из них при анализе использовались 1,2 Гб), размер кластера

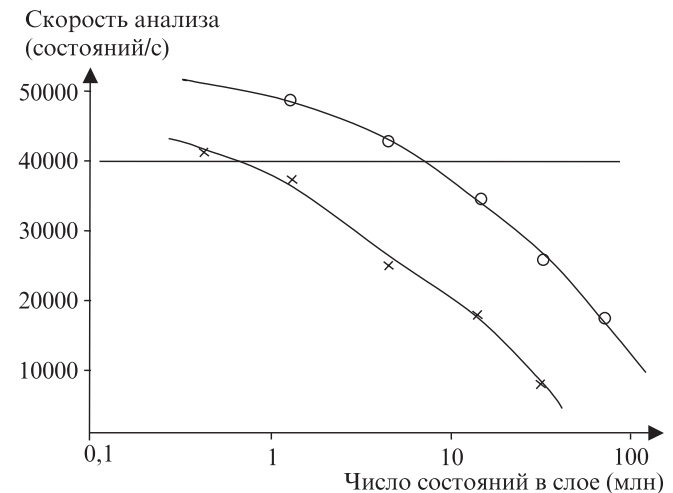


Рис. 4. Зависимость скорости анализа от размеров слоя:
 × — одностраничная организация оперативной памяти;
 o — 16-страничная организация оперативной памяти

~100 состояний и два варианта запуска АСИАН с обычной, одностраничной, и расширенной, 16-страничной, организацией мультиплицирования оперативной памяти ПК на жёстком диске.

Для исправления существующих ошибок переработан весь цикл основных проверок TRANAL с целью ускорения счёта и обеспечения эффективной работы с памятью ПЭВМ. Сравнительная оценка подсистем TRANAL, БТРАН и АСИАН приведена в табл. 2.

Таблица 2

Сравнение подсистем анализа

Система анализа	СП схем	Уровень тестируемых схем	Объём памяти (max) под один слой состояний	Количество анализируемых состояний в час	Операционная система
TRANAL	5-6	Библиотечные элементы (БЭ) БМК	640 Кбит	До 0,3 млн	DOS
БТРАН	12-14	БЭ, макроэлементы и модули	2 Гбайт	До 1,0 млн	Windows 2000
АСИАН	16-20	Функциональные узлы и блоки	До 48 Гбайт (XP)	До 200 млн	Windows 2000/XP

4. Диагностическая часть подсистемы АСИАН

Система диагностики TRANAL была рассчитана на анализ небольшого количества булевых уравнений и выдавала сообщение в терминах диаграмм переходов, требующих для анализа специальной подготовки разработчика. Для больших схем эта диагностика практически теряла смысл.

В АСИАН диагностика нарушений выполняется в виде графа переключений элементов схемы с использованием графических средств Windows. Это делает наглядным весь процесс зарождения «гонок» в динамике и позволяет определять первопричину, а не только констатировать нарушения самосинхронности, которые могут произойти значительно позднее. Такая диагностическая среда естественна для разработчиков схемы, не требует специального обучения и позволяет быстро вносить изменения в схемотехническое решение тестируемого узла.

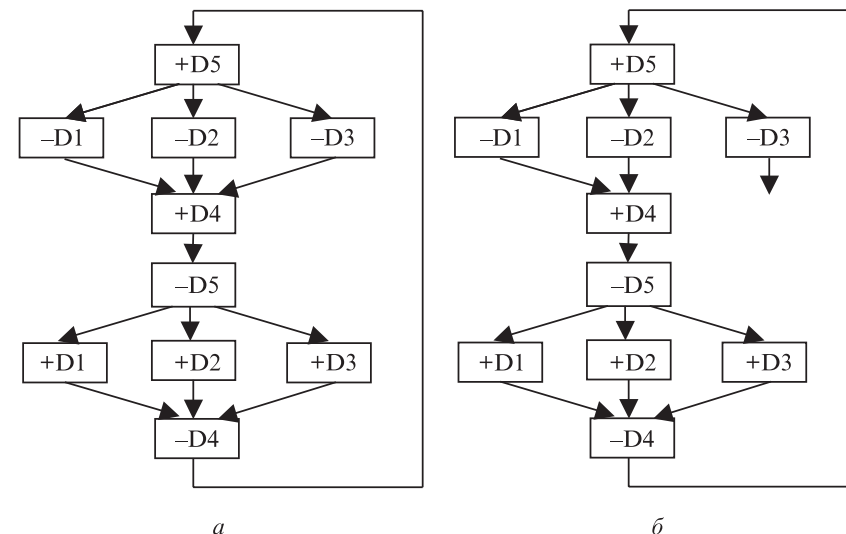


Рис. 5. Диаграммы изменений: а — самосинхронная реализация G-триггера на три входа (G13); б — реализация G13 с нарушением самосинхронности

На рис. 5, а и 5, б приведены диаграммы изменений для корректной СС-схемы Г-триггера и варианта реализации с нарушением самосинхронности (окончание переходного процесса — формирование низкого уровня на выходе элемента D3 не отслеживается). Сопоставление рис. 3, б и рис. 5, б делает наглядной диагностику в подсистеме АСИАН.

5. Выводы

1. Разработана подсистема анализа нарушений самосинхронности АСИАН, позволяющая практически приступить к проектированию блоков и узлов СС-схем.
2. Исправлены ошибки программы анализа самосинхронности TRANAL.

Список литературы

1. Степченко Ю. А., Петрухин В. С., Дьяченко Ю. Г. Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле // Тез. конференции «Проблемы разработки перспективных микроэлектронных систем — 2005» / Под ред. А. Л. Степковского — М.: ИППМ РАН, 2005. — С. 235–242.

2. Плеханов Л.П. САПР строго самосинхронных электронных схем РОНИС // Тез. конференции «Проблемы разработки перспективных микроэлектронных систем — 2006» / Под общ. ред. А. Л. Стемпковского — М.: ИППМ РАН, 2006. — С. 131–134.
3. Nick J. M., Moore B. B. et al. S / 390 Cluster Technology: Parallel Sysplex // IBM Syst. J. — 1997. — V. 36, № 2. — P. 172–201.
4. Hauck S. Asynchronous design methodologies: An overview // Proc. of the IEEE. — 1995. — V. 83, № 1. — P. 69–93.
5. Varshavsky V., Kishinevsky M., Marakhovsky V. et al. Self-timed Control of Concurrent Processes. — Boston: Kluwer Acad. Publ., 1990. — 245 p.
6. Степченко Ю. А., Денисов А. Н., Дьяченко Ю. Г., Гринфельд Ф. И. и др. Библиотека элементов базовых матричных кристаллов для критических областей применения // Системы и средства информатики. Вып. 14. — М.: Наука, 2004. — С. 318–361.
7. Варшавский В. И., Карпов С. А., Кондратьев А. Ю., Степченко Ю. А. и др. Инструментальные средства автоматизации проектирования самосинхронных схем // Системы и средства информатики. Вып. 5. — М.: Наука, 1993. — С. 196–213.
8. Морозов Н. В., Рождественский Ю. В. Средство анализа системы булевых уравнений на полумодулярность и дистрибутивность: Свид-во об официальной регистрации программы для ЭВМ № 2001610157 от 02.2001.

УДК 621.3.049.77+004.312

ЭКСПЕРИМЕНТАЛЬНАЯ ПРОВЕРКА НЕКОТОРЫХ СВОЙСТВ СТРОГО САМОСИНХРОННЫХ СХЕМ

Л. П. Плеханов, Ю. А. Степченко

Впервые в России в рамках полузаказной БМК-технологии (БМК — базовые матричные кристаллы) проведено прямое экспериментальное исследование ряда теоретически утверждаемых свойств строго самосинхронных (ССС) схем: независимости работы от задержек элементов, широкой области эксплуатации и безопасности функционирования. Приведены результаты исследования двух реализаций сравнительно простой экспериментальной ССС-микросхемы в широком диапазоне питающих напряжений и температур. Проведённые эксперименты подтверждают теоретические выводы по поведению ССС-схем и, в первую очередь, беспрецедентно широкий диапазон их работоспособности.

Памяти В. И. Варшавского

1. Введение

Теоретические основы строго самосинхронных (ССС) цифровых схем разрабатываются с 50-х годов прошлого века. Многими исследователями, прежде всего В. И. Варшавским с сотрудниками [1], теоретически показано, что ССС-схемы обладают уникальными свойствами, отсутствующими у других типов схем. Главные из них:

- независимость правильной работы от задержек элементов, полное отсутствие сбоев из-за гонок сигналов;
- достоверность и безопасность функционирования: при возникновении константных неисправностей ССС-схема останавливается, исключая появление ложной информации.

Отметим, что указанные свойства математически доказаны только для ССС-схем и отсутствуют у других типов асинхронных, а тем более синхронных схем. Из этих свойств вытекает несколько практически важных следствий, подробно описанных в статье [2].