

5. Заключение

1. Понятие самосинхронности на основе индицируемости сигналов, впервые введенное В.И. Варшавским, но не использованное далее в работах его группы, распространено на разомкнутые ССС-схемы общего вида и конкретизировано с учетом практических задач проектирования.

Полная самосинхронность позволяет использовать схему отдельно как законченное самосинхронное устройство или в составе самосинхронного конвейера.

Частичная самосинхронность предполагает использование схемы в составе более сложной ССС-схемы без изменения внутренних элементов.

2. Сформулированы задачи анализа схем на полную и частичную самосинхронность.

3. Показано, что предложенное понятие самосинхронности позволит решить одну из главных задач проектирования ССС-схем — анализ больших схем практически неограниченного размера. Решение этой задачи будет означать радикальное улучшение проектирования данного класса электронных схем.

Список литературы

1. *Muller D.E., Bartky W.C.* A theory of asynchronous circuits // Proc. Int. Symp. on the Theory of Switching, Part 1. — Harvard: Harvard University Press, 1959. — P. 204–243.
2. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В.И. Варшавского. — М.: Наука, 1986. — 398 с.
3. *Плеханов Л.П.* Проблемы функционального подхода в проектировании самосинхронных схем // Системы и средства информатики. Вып. 15. — М.: Наука, 2005. — С. 329–337.

УДК 621.3.049.77:004.312

САМОСИНХРОННЫЕ ПОСЛЕДОВАТЕЛЬНОСТНЫЕ СХЕМЫ: ОПЫТ РАЗРАБОТКИ И РЕКОМЕНДАЦИИ ПО ПРОЕКТИРОВАНИЮ

Ю.А. Степченко, Ю.Г. Дьяченко, В.С. Петрухин

Самосинхронные (СС) схемы из области теоретических исследований активно переходят в область практических разработок, находя применение в широкой номенклатуре вычислительных устройств (ВУ). Этому способствуют такие свойства СС-схем, как независимость работоспособности от задержек составляющих элементов, естественная надежность, работоспособность в значительно более широком диапазоне изменяющихся параметров окружающей среды и напряжения питания. В данной работе представлены рекомендации по проектированию последовательностных СС-схем, выполненных по КМОП технологии (комплементарный металл-оксид-полупроводник). Приводится сравнительный анализ характеристик последовательностных синхронных и СС-схем, полученных с помощью моделирования и натурных испытаний образцов. Результаты испытаний показывают, что использование СС-схемотехники обеспечивает улучшение характеристик при реализации последовательностных схем, особенно для их отказоустойчивых вариантов.

1. Введение

Работа посвящена проектированию последовательностных СС-схем. Такие схемы [1–6] по структуре во многом соответствуют традиционным синхронным схемам, особенно в классе последовательностных устройств (схем с памятью), но имеют и существенные отличия, востребованные на современном этапе развития микроэлектроники.

Все особенности СС-схем являются следствием их основополагающего свойства — независимости поведения от задержек составляющих элементов. Повсеместное и строгое воплощение этого свойства позволяет реализовать две их главные особенности:

1) правильное и устойчивое функционирование без сбоев при любых задержках элементов и линий связи и любых возможных условиях эксплуатации;

2) прекращение всех переключений в момент появления константных неисправностей.

Практические следствия первого свойства — устойчивость к параметрическим отказам, вызываемым старением элементов, и максимально возможная область эксплуатации, определяемая только физическим сохранением переключательных свойств элементной базы. Области эксплуатации соответствует площадь на графике в прямоугольной системе координат, ограниченная допустимым диапазоном питающих напряжений и температур, при которых обеспечивается работа схемы без ошибок и сбоев.

Практические следствия второго свойства — бестестовая стопроцентная самопроверяемость и самодиагностируемость по отношению к множественным константным неисправностям и, как следствие, высокая эффективность создания надежных изделий, в том числе отказоустойчивой СС-аппаратуры.

Синхронные (С) схемы изначально проектируются с «запасом прочности», обеспечивающим их правильное функционирование при требуемых изменениях параметров окружающей среды за счет вынужденной ориентации на худший случай. Таким образом, ценой правильной работы С-схемы является *временная избыточность* искусственное снижение быстродействия (тактовой частоты) для обеспечения гарантированной работы при неблагоприятной совокупности внешних факторов: пониженного уровня питающего напряжения, повышенной температуры, неблагоприятного сочетания обрабатываемых операндов, повышенных норм технологического разброса при изготовлении БИС и т. д. Хотя, как правило, допустимое напряжение питания лежит в достаточно ограниченном диапазоне значений, составляющем $\pm 10\%$ от номинального напряжения, с учетом других параметров эксплуатации временные потери могут достигать от 50% (относительно нормальных условий) до 100% (относительно благоприятных условий функционирования).

СС-схемы не требуют наличия «запаса прочности» [7], поскольку они обладают возможностью обеспечить реальное быстродействие аппаратуры, самонастраивающееся на тип обрабатываемой информации и реальные параметры климатических условий, технологии, напряжения питания. Таким образом, СС-схемы характеризуются максимально возможным быстродей-

ствием, достижимым при данных параметрах. Цена этому — *аппаратная избыточность* самосинхронного исполнения по сравнению с традиционным, несамопроверяющимся синхронным исполнением.

В то же время СС-схемы не так тривиальны в проектировании, как синхронные. Это объясняется, прежде всего, отсутствием большого опыта проектирования такого рода схем и особенностью их реализации. В данной работе излагаются практические приемы и варианты проектирования последовательностных СС-схем, прошедшие апробацию при разработке СС-микроядра — аналога вычислителя микроконтроллера PIC18 [8].

2. Структура СС-схем

Основу любого ВУ составляют функциональные устройства, реализующие алгоритм преобразования данных и дополненные схемой хранения (регистрами) промежуточных и/или окончательных результатов преобразования данных (рис. 1, а). Регистры позволяют организовать конвейерную обработку. Управление последовательностью обработки данных в С-схеме осуществляется системой синхронизации, пронизывающей всю её структуру.

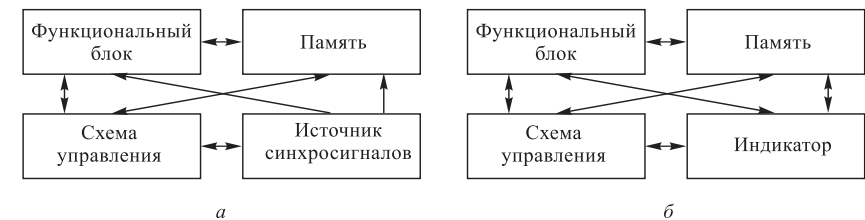


Рис. 1. Структура альтернативных реализаций: а) синхронный подход; б) самосинхронный подход

СС-схема также содержит функциональные устройства и схему хранения результатов преобразования данных, но в отличие от С-схемы не имеет единой системы синхронизации в традиционном её понимании. Взаимодействие соседних модулей ВУ базируется на запрос-ответном взаимодействии предшествующего и последующего модуля в общем тракте обработки данных. Кроме того, СС-схема имеет в своем составе так называемую *индикаторную схему* (далее просто индикатор), фиксирующую окончание переходных процессов в каждом блоке и в СС-устройстве

в целом (рис. 1, б). Наличие такого индикатора гарантирует, что следующий этап преобразования данных будет запущен не раньше, чем успешно закончится работа текущего этапа. Индикатор обеспечивает также аварийный останов СС-схемы при появлении неисправности в любой её части.

Фактически индикатор является распределенным регулятором процесса последовательной обработки потока данных и средством контроля работоспособности СС-схемы. Сигналы, формируемые индикаторной схемой, — своеобразные аналоги синхросигнала в С-схеме. Однако в отличие от синхросигнала индикаторные сигналы регулируют локальную очередность обработки потока данных, не требуя временного согласования такого рода сигналов в разных частях СС-схемы.

Таким образом, для получения СС-схемы необходимо в структуре С-схемы блок «Источник синхросигналов» заменить блоком «Индикатор» и обеспечить *индицируемость* окончания переходных процессов в функциональной части, схемах управления и памяти.

3. Обеспечение индицируемости СС-схем

Индицируемость СС-схемы означает, что с помощью индикаторной схемы можно зафиксировать окончание переключения соответствующей части СС-схемы. При этом индикатор состоит из двух частей: комбинационной, фиксирующей окончание переключения каждого логического элемента в составе СС-схемы, и триггерной, объединяющей частные индикаторные сигналы в общий индикаторный сигнал, фиксирующий окончание переключения *всех* элементов СС-схемы. В этом состоит основное отличие рассматриваемого подхода к проектированию СС-схем, называемых нами *строго самосинхронными*, от широко распространенных в мире *квазисамосинхронных* схем [9–11]. В последних индицируются только элементы, стоящие на критическом пути распространения сигналов в схеме, или индикация вообще не используется в предположении, что задержки элементов схемы подчиняются вполне определенным соотношениям, обеспечивающим правильное функционирование схемы и отсутствие «гонок». Однако такой подход не гарантирует работоспособности схемы при произвольных задержках составляющих элементов. Это асинхронный, но не самосинхронный подход.

Все возможные способы организации индицируемости окончания переходных процессов в схемах можно разбить на три группы.

К первой группе могут быть отнесены следующие подходы: на базе ограниченной дисциплины смены входных наборов (только по соседним переходам, например, модель Хаффмена); с использованием встроенных задержек на входах и/или в цепях обратной связи (например, модель Эйхельберга); на базе ограниченного времени срабатывания отдельных переходов; подходы, связанные с использованием специальных элементов — фильтров, чувствительных к переходам триггеров и т. п. Методы, ограниченные соседними переходами, могут быть использованы для разработки СС-схем, однако сфера их применения крайне ограничена. Все другие упомянутые здесь подходы могут быть охарактеризованы как квазисамосинхронные (более подробно можно познакомиться с ними в [2, глава 1]).

Вторая группа — однофазные подходы с произвольной дисциплиной смены входных наборов. Момент завершения допустимого перехода входного набора $a \rightarrow b$ может быть зафиксирован независимо от времени перехода, по факту установки набора b . Это свойство и дало название рассматриваемым ниже кодам — самосинхронным. Например, в коде с прямыми переходами (см. [2, § 3.2]) любой переход осуществляется за одну фазу — без фиксации промежуточных (пустых) наборов. Недостатки подхода — высокая кодовая и аппаратная избыточность и трудоемкость разработки аппаратуры.

К третьей группе относятся наиболее широко используемые в СС-схемотехнической практике двухфазные коды — коды с идентификатором, оптимальные равновесные коды, коды в изменениях и парафазные. Первые три — специализированные, и эффективность их применения ограничена; последний — код универсального назначения, используемый для реализации ВУ любого класса при разумных аппаратных затратах.

При парафазном кодировании со спейсером одноразрядному сигналу синхронного аналога X_C можно поставить в соответствие двухразрядный сигнал X_{CC} , X_{BCC} (см. табл. 1). В работе любой СС-схемы можно выделить две фазы: *рабочую* и *спейсерную* (*спейсер*).

Чередование этих фаз в процессе работы СС-устройства — обязательное условие его правильного функционирования. Например, сигнал из состояния нулевого спейсера (00) может пе-

Таблица 1

Соответствие сигналов синхронной и самосинхронной схем

Синхронная схема	Самосинхронная схема		
	X _{CC}	XВ _{CC}	Фаза
X _C	X _{CC}	XВ _{CC}	Рабочая
0	0	1	
1	1	0	
—	0	0	Спейсер 0, вариант 1 [*])
—	1	1	Спейсер 1, вариант 2 [*])

*Для конкретного сигнала возможен только один вариант спейсера

рейти в одно из двух возможных рабочих состояний — 01 или 10. Переход из одного рабочего состояния в другое возможен только через спейсер, например, 01 → 00 → 10 и т. д. Более подробно со спецификой СС-схем можно познакомиться в [4].

Применительно к сложным СС-схемам нельзя говорить о том, что вся СС-схема в произвольный момент времени находится в рабочей фазе или в спейсере. Сложные схемы, как правило, характеризуются конвейерной организацией, причем соседние ступени конвейера в любой момент могут находиться в противоположных фазах работы.

В СС-схемотехнике могут быть выделены следующие типы сигналов:

- информационные унарные (непарные) сигналы, например, унарный вход D у D-триггера;
- информационные бифазные (парные) сигналы (БФ), например, пара выходов бистабильной ячейки памяти, имеющая два устойчивых статических состояния (01 и 10) и только одно транзитное (динамическое, переходное) состояние (00 или 11);
- информационные парафазные сигналы без спейсера (ПФ), имеющие два статических состояния (01 и 10) и два транзитных состояния (00 и 11), например
 - вход и выход инвертора;
 - информационные парафазные сигналы со спейсером (ПФС) — см. табл. 1;
 - индикаторные унарные сигналы (I);
 - управляющие унарные сигналы (сигналы разрешения) E.

ПФС-сигналы являются, в основном, *информационными*, определяющими поток обрабатываемых данных, но в ряде случаев на них могут возлагаться *управляющие* функции, напри-

мер, разрешение работы одного из каналов в двухканальном (парафазном) мультиплексоре. Управляющие сигналы разрешают переключение соответствующего элемента в противоположную фазу работы. С функциональной точки зрения любой управляющий сигнал — функция индикаторных сигналов окружения.

Каждый из индикаторных сигналов отображает состояние, в котором находится отслеживаемая им часть СС-схемы: рабочее или спейсер. Изменение его значения указывает на переход индицируемой части схемы в противоположную фазу работы. В общем случае рабочей фазе может соответствовать как единичное, так и нулевое значение индикаторного сигнала, это не принципиально. Для правильной организации запрос-ответного взаимодействия важно согласование значений индикаторных сигналов соседних СС-блоков.

Все индикаторные сигналы функционально законченной части СС-схемы, например, ступени конвейера, собираются в один общий индикаторный сигнал. Последовательное регулярное (в соответствии с реальной частотой работы СС-схемы) переключение общего индикаторного сигнала с «0» на «1» и обратно свидетельствует о работоспособности схемы. При появлении константной неисправности внутри СС-схемы общий индикаторный выход «залипает» в одном состоянии [6]. Это позволяет разработчику или пользователю СС-схемы, пройдя по цепочке индикаторных сигналов от выхода СС-схемы к её входам, локализовать неисправность и принять меры к её устранению. Это свойство СС-схем — их важное преимущество по сравнению с синхронными схемами.

ПФС-кодирование в обязательном порядке используется в комбинационных СС-схемах. Однако для элементов с памятью оно нецелесообразно. Во-первых, эти элементы по своей природе являются источниками БФ-сигналов, преобразование которых в ПФС-сигналы потребует излишних аппаратных затрат. Во-вторых, состояние, хранимое триггерной схемой, часто используется последующими устройствами в обеих фазах работы, поэтому реализация триггерных схем со спейсером на выходе, как правило, нецелесообразна.

Триггерные схемы характеризуются транзитным состоянием — аналогом спейсера в комбинационных СС-схемах, имеющим большое значение для их индицируемости.

Важнейшая задача при проектировании СС-схемы — построение схемы, которая, с одной стороны, выполняет требуемый алго-

ритм преобразования информации, с другой стороны, обеспечивает индикацию окончания переключения каждого логического элемента и в рабочей фазе, и в спейсере. В значительной степени это творческая задача. Но и она может быть формализована в типовых приложениях, особенно если речь не идет о получении оригинальных схмотехнических реализаций на уровне изобретений.

4. Принципы построения последовательных СС-схем

К типовым последовательным устройствам относятся триггеры, регистры хранения, регистры сдвига, счетчики. В данной работе рассматриваются вопросы проектирования регистров на основе триггеров, построение которых будет изложено в следующем сборнике.

С- и СС-регистры имеют схожие принципы построения: однотипные триггеры объединяются в многоразрядный регистр общими сигналами синхронизации (управления) и начальной установки. Отличительным признаком СС-регистра является наличие индикатора, фиксирующего момент окончания переходных процессов в элементах регистра.

4.1. Регистры хранения. Поскольку разряды регистра хранения связаны друг с другом только по сигналу управления (если не считать общих сигналов начальной предустановки), они реализуются на обычных одно- или двухтактных триггерах. Для формирования и распределения по разрядам СС-регистра сигнала управления, если таковой имеется, можно использовать любую схему распараллеливания или буферизации: разница во времени формирования поразрядных сигналов управления не нарушит самосинхронности всей схемы.

Информационные сигналы для регистров формируются, как правило, также регулярными схемами. На рис. 2 в качестве примера изображена триада четырехразрядных устройств: задатчик, исполнитель и регистр хранения с традиционным управлением. $Y_0, Y_{0B}, \dots, Y_3, Y_{3B}$ — поразрядные БФ-сигналы. I_0-I_3 — индикаторные выходы задатчика, каждый для своего БФ-сигнала. IS — индикаторный выход следующего устройства — приемника выходов данных регистра. G_1, G_2 — G-триггеры [12], первый формирует общий индикаторный выход задатчика, а второй —

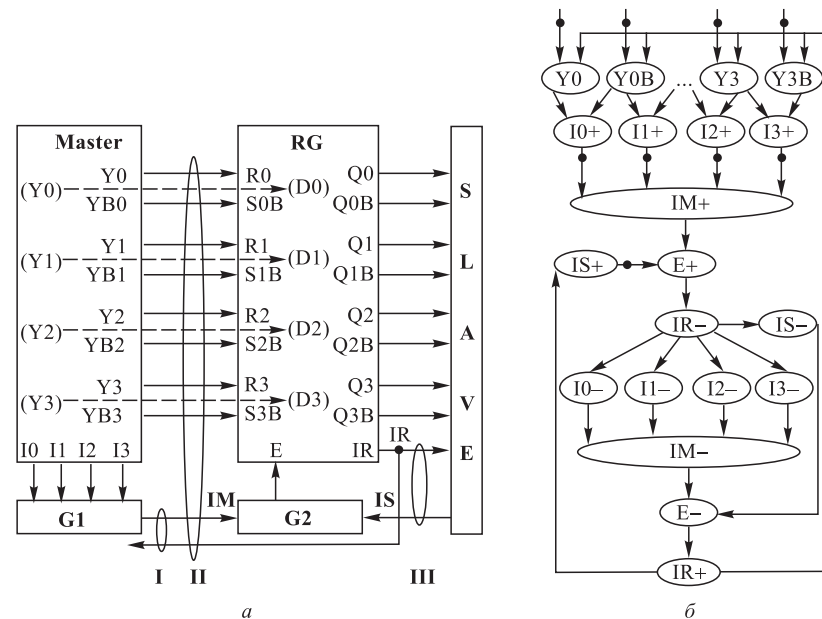


Рис. 2. Триада «здатчик—регистр—исполнитель» с традиционным управлением: а) структурная схема; б) маркированный сигнальный граф; I — сигналы запрос-ответного взаимодействия между Master и RG; II — интерфейс взаимодействия между Master и RG; III — сигналы запрос-ответного взаимодействия между RG и Slave; --> — вариант использования унарных информационных сигналов; Формирование сигналов $IR-$ ($IR+$) показано условно (подробно на рис. 3, б)

управляющий сигнал E для регистра. IR — индикаторный выход регистра.

Возможен другой вариант взаимодействия рассматриваемой триады с использованием унарных информационных сигналов, например, сигналов $Y_0..Y_3$ в задатчике, и D-триггеров вместо RS-триггеров в регистре. При этом вдвое уменьшается число связей между устройствами (минимальный коэффициент связи K_c), правда, за счет увеличения аппаратных затрат (K_a) и времени срабатывания регистра (K_b) — см. табл. 2. Этот вариант целесообразен, если расстояние между устройствами на кристалле относительно велико или (при многокристальной реализации ВУ) они расположены на разных кристаллах.

В табл. 2 приведены аппаратные затраты RG в КМОП-транзисторах для четырехразрядной реализации. Они учитывают как непосредственно триггеры в разрядах регистра, так и схему

индикации регистра. Время обмена данными между задатчиком и регистром рассчитывается как суммарное время переключения индикаторного сигнала IR из спейсера и обратно при условии, что переключения задатчика (Master) и приемника (Slave) происходят мгновенно, а задержка на линиях связи пренебрежимо мала. Время обмена указано в условных единицах.

Как видно из табл. 2, варианты регистра с унарными информационными входами — самые затратные за счет необходимости в дополнительной индикации унарного сигнала, но имеют минимальное число линий связи между задатчиком и регистром. Первый разряд может оказаться оптимальным для реализации приема-передачи данных между микросхемами на системной плате.

Последний вариант не всегда может быть использован, например, если задатчиком является регистр сдвига, выходы которого — источники информационных сигналов для нескольких приемников и не должны переходить в спейсер. В то же время это оптимальное решение для временного хранения результата работы комбинационной схемы — функциональной начинки ступени конвейера.

В этих примерах регистр — параллельное устройство: задатчик формирует состояние входных сигналов одновременно для всех его разрядов, равноправных по отношению к задатчику. В ряде случаев это позволяет ускорить работу СС-схемы с регистром хранения. Действительно, в соответствии с общей логикой построения СС-схемы управляющий сигнал, разрешающий регистру переключиться в следующую фазу, формируется после того, как предшествующее устройство (задатчик) закончит свой переход в очередную фазу. Эта информация появляется как результат сборки внутренних индикаторных сигналов задатчика на выходе гистерезисного триггера GI4, что вносит дополнительную задержку в работу СС-схемы. При этом за один цикл обмена образуется четыре «узких места»: два в задатчике (формирование сигналов IM+ и IM- на рис. 2, б) и два в регистре (сигналы IR+ и IR- на рис. 3, б) в двух фазах обмена, соответственно. Однако информационные сигналы от задатчика готовы задолго до срабатывания его индикаторной схемы. Поэтому можно разрешать регистру использовать новые значения информационных сигналов, как только они будут сформированы задатчиком, не ожидая общего индикаторного выхода. Если задатчик формирует

Таблица 2

Характеристики вариантов реализации регистров хранения RG

Интерфейс взаимодействия Master-RG	Кол-во линий связи, Кс	Кол-во транзисторов в RG, Ка	Время обмена, усл. ед.	Рекомендации по применению
Унарный, общий	5	166	38	Входной интерфейс СС-блока; основной критерий — минимум количества связей
Унарный, поразрядный	8	182	29	Входной интерфейс удаленного СС-блока; основной критерий — быстродействие
Бифазный, общий	9	120	29	Внутренний регистр памяти, входной регистр ступени конвейера; источник данных — регистр в предыдущей ступени конвейера, основной критерий - минимум количества связей
Бифазный, поразрядный	12	122	24	Внутренний регистр памяти, входной регистр ступени конвейера; источник данных — регистр в предыдущей ступени конвейера, основной критерий - быстродействие
Парафазный со спейсером	8	116	24	Выходной регистр ступени конвейера, запоминающий результат обработки данных на комбинационной логике данной ступени

информационные сигналы Yi, YVi для RG в ПФ-коде, то цель достигается преобразованием схемы рис. 2 в схему рис. 3.

В качестве разряда регистра хранения используется триггер (см. рис. 4, а), имеющий два управляющих сигнала: EI, подключаемый к поразрядному индикаторному выходу задатчика, и E — общий управляющий сигнал, формируемый следующим за RG устройством и предотвращающий переход регистра в рабочую фазу (изменение значений выходов), пока приемник не перешел в фазу спейсера. Сигнал управления от приемника может прийти

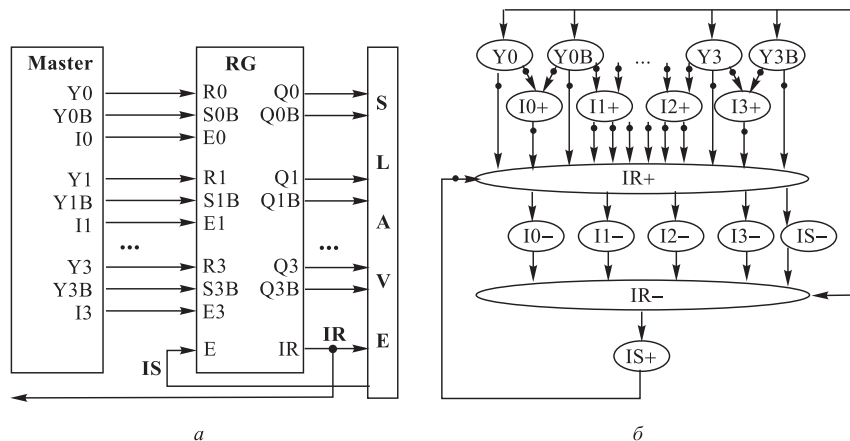


Рис. 3. Триада «задатчик—регистр—исполнитель» с ускоренным управлением для бифазного кода информационных сигналов: а) структурная схема; б) маркированный сигнальный граф

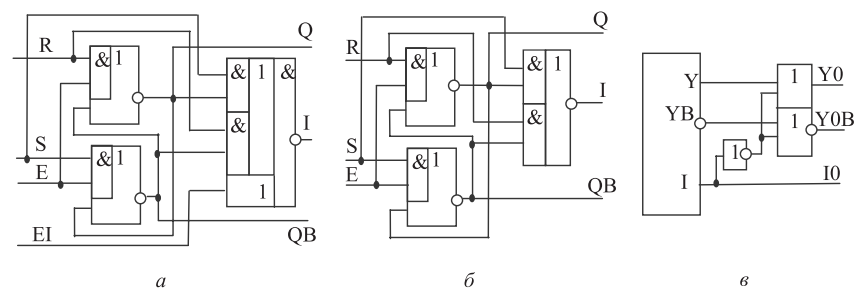


Рис. 4. Варианты реализации одноктактного триггера в RG: а) для БФ-кодирования с двойным управлением в RG; б) для ПФС-кодирования в RG; в) преобразование БФ-сигнала в ПФС в Master

раньше поразрядного EI. В любом случае задержка срабатывания двух G-триггеров на рис. 2 не будет служить добавочным «тормозом» при работе схемы.

При формировании задатчиком информационных сигналов в ПФС-коде схема рис. 2 преобразуется в схему рис. 5, а в качестве разряда регистра используется одноктактный триггер, представленный на рис. 4, б. ПФС-сигналы успешно индицируются внутри регистра хранения. Поэтому использовать сигнал управления от устройства предыдущей ступени конвейера нет необходимости, и триггер G1 требуется только для формирования общего индикаторного выхода задатчика, служащего сигналом управления EN(i-1) для предшествующего СС-устройства.

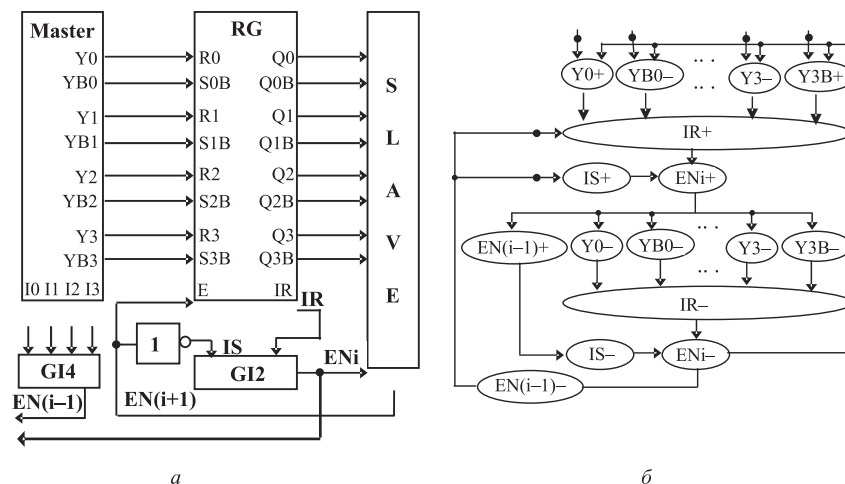


Рис. 5. Триада «задатчик—регистр—исполнитель» с ускоренным управлением для ПФС-кода: а) структурная схема; б) маркированный сигнальный граф

Управляющий сигнал EN(i+1) со стороны приемника не индицируется внутри разряда регистра с ПФС-входом (R, S). Поэтому общий управляющий сигнал EN(i) должен индицироваться элементом G2.

Отметим, что рис. 2, 3 и 5 демонстрируют способ взаимодействия между триадой устройств на уровне идеи, с точностью до инверсии индикаторных и управляющих сигналов. При сборке индикаторных выходов разных ступеней конвейера или устройств в составе СС-схемы нельзя забывать о необходимости согласования типов спейсеров этих сигналов: G-триггер может объединять индикаторные сигналы только с одинаковым типом спейсера, равно как и тип спейсера управляющего сигнала должен совпадать со спейсером входных информационных сигналов, если они представлены в ПФС-коде.

Суммарная нагрузка общего управляющего сигнала EN при количестве разрядов регистра больше 4 оказывается весьма значительной. Его можно буферизовать с помощью схемы разветвления на инверторах, как показано, например, на рис. 6. Но в этом случае все распараллеленные сигналы управления необходимо индицировать независимо.

4.2. Регистры сдвига. Регистр сдвига — особенное устройство с точки зрения традиционного взаимодействия устройств

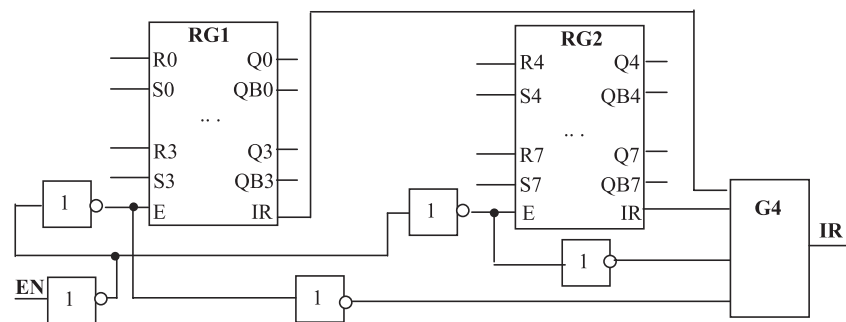


Рис. 6. Регистр хранения с распараллеленным сигналом управления

в составе СС-схемы. Обычно «соседние» по алгоритму работы устройства СС-схемы (выходы одного подключены к входам другого) переключаются из одной фазы работы в другую «по очереди». Это обеспечивает бесконфликтность при передаче данных от одного устройства к другому: при чтении данных устройством—приемником с выходов устройства—задатчика в течение всей фазы чтения данные остаются неизменными. Это гарантируется дисциплиной взаимосвязи устройств в составе СС-схемы.

Регистр сдвига — двухтактное триггерное устройство, которое при каждом последовательном сдвиге, на каждой фазе работы использует собственные внутренние состояния или выходы в качестве источника новых данных. Он представляет собой своеобразный микроконвейер, в котором роль ступеней играют разряды. Это накладывает определенные ограничения на управление регистром. В частности, сигнал управления не может быть одним и единственным для нескольких разрядов регистра.

Традиционно регистр сдвига реализуется на двухтактных триггерах. Сигнал управления в двухтактном триггере имеет большую нагрузку (4–5 входов), и его использование в нескольких разрядах без буферизации приводит к чрезмерному росту этой нагрузки и, как следствие, к снижению быстродействия. Для «борьбы» с большой емкостью нагрузки в синхронных схемах традиционно используют одно из двух решений. Первое — секционирование сигнала управления за счет использования древовидной схемы распараллеливания или последовательной цепочки инверторов с ответвлениями. Второй — использование мощного источника, формирователя сигнала управления, способного справиться с такой емкостной нагрузкой в схемах на КМОП-транзисторах.

Секционирование сигнала управления по типу синхросигнала в синхронных схемах нарушает строгую самосинхронность схемы. В С-схемах распараллеливание сигнала синхронизации опирается на предположение, что одинаковые элементы при одинаковых условиях эксплуатации обладают равной задержкой переключения. Это обеспечивает одновременность поступления синхросигнала на все разряды регистра сдвига. Появление какого-либо дефекта или эффекта саморазогрева, по-разному замедляющего работу элементов цепи синхронизации, катастрофически сказывается на работоспособности схемы.

СС-схемы свободны от такого недостатка. Задержки разных элементов схемы могут различаться как угодно — это может привести к замедлению работы СС-схемы, но не станет причиной её отказа. С этой точки зрения простое распараллеливание сильно нагруженного сигнала управления, не сопровождающееся индизированием вводимых дополнительных элементов, нарушает строгую самосинхронность.

Другой способ секционирования цепи синхросигнала — его распространение от последнего разряда регистра сдвига к первому через промежуточные инверторы — может быть использован и в СС-регистре. При этом (см. рис. 7) вставка инверторов на пути формирования сигнала управления от разряда к разряду не только безопасна с точки зрения самосинхронности, но и полезна с точки зрения буферизации сильно нагруженной цепи. Схема остается самосинхронной, но её быстродействие ухудшается. Кроме того, такое решение не годится для реализации кольцевого регистра сдвига.

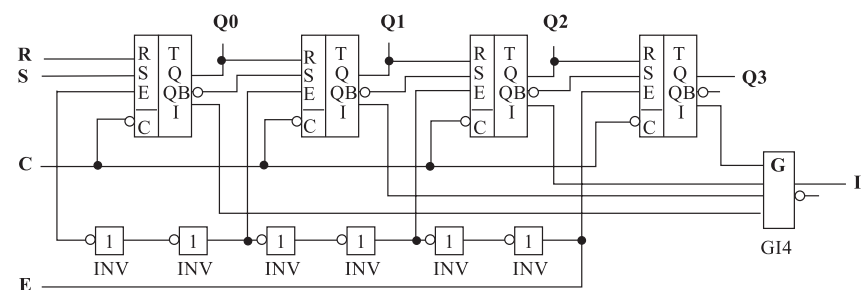


Рис. 7. Регистр сдвига

С другой стороны, использование мощного усилителя, способного быстро перезаряжать большую нагрузку цепи сигнала

управления, потенциально опасно с точки зрения выхода за пределы эквихронной зоны [3] при топологической реализации регистра в виде длинной «линейки». При этом одновременность прихода сигнала управления в разряды может быть нарушена, что противоречит гипотезе о характере задержек в СС-схемах.

Оптимальным решением данной проблемы является схема разряда регистра сдвига, показанная на рис. 8. В ней используются два сигнала управления: один — общий для всех разрядов регистра сдвига (E0), второй — индивидуальный для каждого разряда (E1). В данном случае оба сигнала имеют нулевой спейсер. Сигнал E0 участвует в управлении фазами работы обеих бистабильных ячеек разряда и может формироваться традиционной схемой распараллеливания сильно нагруженного сигнала (древовидной структурой инверторов) без необходимости её дополнительной индикации.

При построении многоразрядного регистра сдвига на таких триггерах вход E1 каждого разряда подключается к выходу EB следующего разряда. Такое подключение не позволяет предшествующему разряду изменить состояние своих выходов, до того как следующий разряд регистра заблокирует свои информационные входы на первой бистабильной ячейке. В кольцевом регистре вход E1 последнего разряда подключается к выходу EB первого разряда. В линейном (не кольцевом) регистре вход E1 последнего разряда подключается к источнику питания, либо используется упрощенный разряд (рис. 9). Входной сигнал E1 не требует

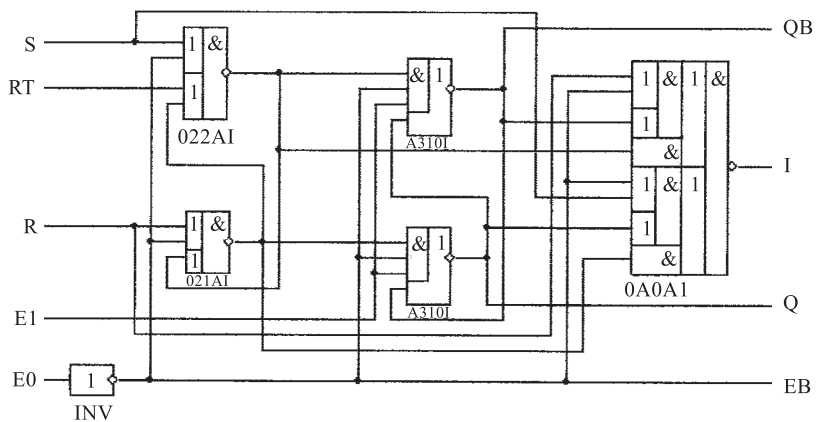


Рис. 8. Разряд регистра сдвига

индикации в данном разряде, поскольку он индицируется как выходной сигнал в следующем разряде регистра.

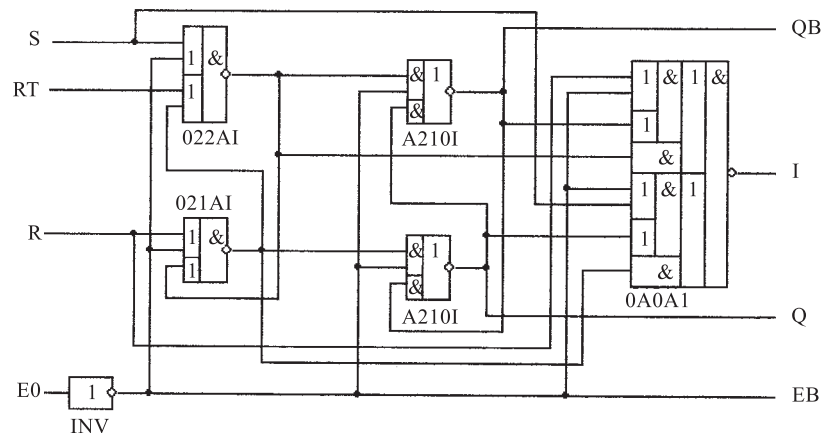


Рис. 9. Последний разряд линейного регистра сдвига

Разряды регистра сдвига (рис. 8 и 9), годятся и для реализации в регистре обратного по направлению сдвига. Для этого вход E1 каждого разряда подключается к выходу EB не следующего, а предыдущего разряда. Соответственно, разряд рис. 9 используется в качестве первого, а не последнего разряда линейного регистра сдвига.

Аналогичным образом строится и универсальный регистр со сдвигом в обе стороны. Для формирования входа E1 используется мультиплексор 2:1, коммутирующий выходы предыдущего и следующего разрядов в зависимости от направления сдвига.

По виду принимаемого кода регистры сдвига можно разделить на два типа: последовательный и параллельный. Регистр сдвига, принимающий данные в последовательном коде, служит для преобразования последовательности битов в многоразрядное слово. Второй тип регистра сдвига используется для реализации программного сдвига операнда, принятого параллельным кодом, в ту или иную сторону.

Последовательные регистры допускают ускорение запрос-ответного взаимодействия устройств за счет разделения на две функциональные части: первый разряд и все остальные. Более того, такое разделение позволяет упростить реализацию первого разряда, используя для него одноктактный триггер. Информационные входы первого разряда принимают сигналы от задатчика,

передавая полученную информацию при последующих сдвигах в остальные разряды. С точки зрения задатчика информация считается принятой регистром, если первый разряд успешно воспринял её и индизировал окончание переключения в очередную фазу. Задатчик может готовить для передачи следующий бит информации на фоне завершения переключения в очередную фазу всего регистра сдвига. Это позволяет реорганизовать индикаторную схему в регистре сдвига, как показано на рис. 10.

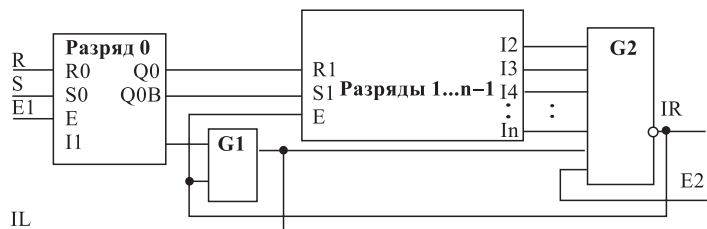


Рис. 10. Ускоренная индикация преобразователя последовательного кода в параллельный

Здесь E1 и E2 — сигналы управления от задатчика и следующего устройства, соответственно; R, S — биты последовательного кода в ПФ-коде. Индикаторный выход первого разряда вместе с общим индикаторным выходом IR формируют для задатчика сигнал ответа IL, означающий окончание переключения первого разряда и готовности остальных разрядов регистра к переходу в следующую фазу работы. Элемент G1 фактически объединяет индикаторный выход первого разряда на текущей фазе работы регистра и общий индикаторный выход регистра, говорящий об окончании предыдущей фазы работы.

Такая организация запрос-ответного взаимодействия ускоряет ответ задатчику, позволяя остальным разрядам регистра сдвига переходить в следующую фазу работы как бы одновременно с задатчиком. При большой задержке переключения задатчика или при заметной задержке распространения сигналов от задатчика к регистру в реальных условиях регистр может успеть завершить переключение как разрядов, так и достаточно сложного индикаторного элемента G2. В результате вся задержка срабатывания регистра будет определяться задержкой переключения первого разряда и элемента индикации G1. Если учесть, что в качестве первого разряда используются более простые триггер и индикатор, чем в остальных разрядах регистра, то выигрыш от такой реализации станет очевидным.

Регистры с параллельным принимаемым кодом лишены возможности такого ускорения запрос-ответного взаимодействия, поскольку входные информационные сигналы каждого разряда связаны с задатчиком. Однако и такие регистры могут быть реализованы «нетрадиционно», сообразуясь с выполняемыми функциями.

Для примера рассмотрим регистр сдвига, принимающий параллельный код с последующим кольцевым сдвигом на один разряд в сторону младшего разряда, причем источником параллельного кода служит одно из двух устройств-задатчиков. Реализация такого регистра сдвига на основе двухтактного триггера с СС-предустановкой 0 и 1, выполняющей запись параллельного кода в регистр, будет избыточна по аппаратным затратам. Здесь в качестве разряда регистра целесообразно использовать одноктактный триггер, а сдвиг реализовать аппаратно на мультиплексе, как показано на рис. 11.

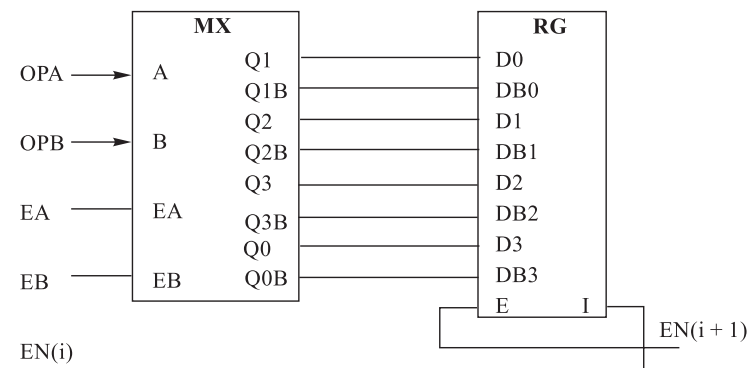


Рис. 11. Регистр с аппаратным сдвигом

Входной мультиплексор выбирает источник сдвигаемого операнда (OPA или OPB), а его выходы коммутируются со входами регистра так, чтобы в регистр был записан результат кольцевого сдвига на один разряд. Такой регистр на одноктактных триггерах сам не выполняет сдвига, являясь фактически регистром хранения, но в данном случае этого и не требуется. Зато по аппаратным затратам такое решение весьма выгодно. На рис. 12 не показан индикатор для входного мультиплексора. В комбинационном устройстве, каковым является и мультиплексор, обычно используется парафазная кодировка выходов. Такие сигналы, поступающие в качестве информационных на входы одноктактных

триггеров хранения, успешно индицируются на выходах этих триггеров.

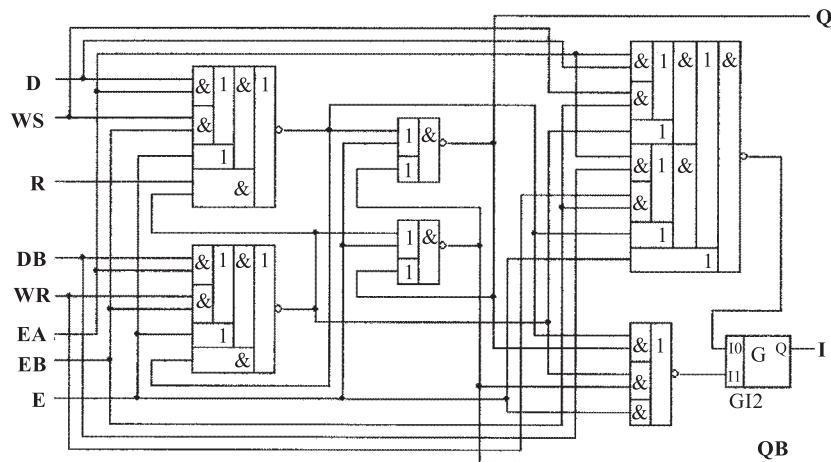


Рис. 12. Триггер со встроенным входным мультиплексором

Сигналы EA и EB — один ПФС-сигнал выборки. Спейсер этого сигнала обеспечивает переход в спейсер выходов мультиплексора независимо от состояния и типа входов. При этом источниками операндов ОРА и ОРВ могут быть устройства с разными типами выходных сигналов (парафазный со спейсером или бифазный без него).

Рассмотренное решение применяется для реализации сдвига на один разряд. Если требуется сдвиг операнда на произвольное число разрядов, то возможны три способа реализации: аппаратный сдвигатель с управляемой «шириной» сдвига, регистр хранения на базе двухтактных триггеров со входным мультиплексором и традиционный регистр сдвига.

Аппаратный сдвигатель с управляемой «шириной» сдвига позволяет за один шаг выполнить сдвиг на произвольное число разрядов в пределах допустимого максимума. Однако и в С-схемотехнике он имеет сложную реализацию, а при СС-реализации, как для любой комбинационной схемы, аппаратные затраты возрастают в 2–2,5 раза.

Реализация на основе регистра хранения аналогична приведенной на рис. 11, где в качестве источника одного из входных операндов мультиплексора используются выходы регистра. Таким образом, при многократном сдвиге в регистр на каждом шаге

будет переписываться его содержимое, сдвинутое аппаратно на один разряд. При этом в качестве разряда регистра хранения необходим двухтактный триггер во избежание порчи сдвигаемого операнда, если его источником является сам регистр сдвига. Разряд этого регистра может не иметь предустановки, если состояние регистра до первого сдвига не используется другими устройствами в составе СС-схемы.

При такой реализации однократный и многократный сдвиг выполняются одинаково — как параллельная запись в регистр хранения аппаратно сдвинутого входного операнда. Разница заключается в рабочем состоянии сигнала выборки: при однократном сдвиге на входы регистра коммутируется операнд, источником которого является некий задатчик, а при многократном сдвиге на входы регистра коммутируются его же выходы.

Традиционная реализация регистра сдвига предполагает два варианта построения:

- на двухтактных триггерах с предустановкой (параллельной записью); информационные входы используются только для сдвига информации из разряда в разряд; при однократном сдвиге операнд предустанавливается в регистр с аппаратным сдвигом на один разряд, а при многократном сдвиге включается механизм переноса информации из разряда в разряд;

- на двухтактных триггерах со встроенным в бистабильную ячейку первого разряда мультиплексором, который при однократном сдвиге коммутирует на вход каждого разряда регистра выход источника сдвигаемого операнда, а при многократном сдвиге — выход предшествующего разряда; в таком триггере усложняется реализация как бистабильной ячейки первого каскада, так и индикаторного элемента.

Второй вариант имеет много общего с рассмотренным выше вариантом реализации на основе регистра хранения: в обоих случаях используется мультиплексор, отдельно стоящий или встроенный. Триггер со встроенным мультиплексором (рис. 12) представляет собой совокупность двух бистабильных ячеек, причем первая имеет встроенный мультиплексор и индикаторную схему на трех элементах. Здесь R, S — информационные ПФ-входы, подключаемые к выходам предыдущего разряда; WR, WS — входы предустановки (параллельной записи) 0 и 1, соответственно; R — вход начального несамосинхронного сброса; E — сигнал управления регистра; EA, EB — сигналы выборки с ПФ-кодированием.

По сложности реализации вариант с регистром хранения — менее затратный. По соотношению задержек однозначной оценки дать нельзя: многое зависит от технологии изготовления СС-схемы, типа спейсера и других факторов.

Выбор того или иного варианта реализации регистра сдвига с параллельной записью зависит от имеющейся библиотеки логических элементов и ограничений на параметры используемых элементов (сложность и временные характеристики).

4.3. Методика проектирования СС-регистров. Свойства любого регистра, в том числе и самосинхронного, определяются свойствами триггеров, из которых он состоит. Поэтому методика построения СС-регистра в значительной степени опирается на использование набора типовых триггеров: однотактных и двухтактных, с управляющим сигналом и без него, с начальной установкой и без нее и т. д. Последовательность действий разработчика при проектировании регистра включает такие этапы:

- формулировка основных функций, выполняемых регистром;
- выбор типа триггера для реализации требуемых функций;
- согласование спейсера входных сигналов регистра со спейсером выходов предшествующего устройства (здатчика);
- формирование индикаторной схемы регистра.

Основные функции регистра определяются его назначением: хранение записанной информации, сдвиг записанного операнда на один или несколько разрядов в ту или другую сторону. Кроме того, регистр характеризуется дополнительными свойствами, уточняющими его основную функцию: последовательная или параллельная запись операнда; количество разрядов при сдвиге и т. д. Формулировка этих требований позволяет в дальнейшем выбрать правильную элементную базу для реализации регистра.

Один и тот же регистр может быть реализован различными способами: регистр хранения может строиться на основе одно- или двухтактных триггеров, с использованием управляющего сигнала или без него. Как видно из предыдущих параграфов, способ реализации функций, выполняемых регистром, зависит от ряда обстоятельств:

— места расположения регистра в структуре конвейерной организации схемы в целом (способ формирования индикатора регистра и выбор в качестве базиса реализации однотактного или двухтактного триггера зависят от того, является ли он входным,

оконечным устройством данной ступени конвейера или находится внутри нее);

— типа кодирования выходов предшествующего СС-устройства (ПФС или ПФ);

— типа устройства — приемника выходов регистра (комбинационное устройство вроде дешифратора или многоуровневое устройство, например, сумматор) и количества приемников;

— количества потенциальных источников входных сигналов регистра, использующих его в режиме разделенного во времени совместного доступа (соответственно, надо ли использовать мультиплексор на входе и делать его встроенным или нет).

Согласование спейсера входных сигналов регистра со спейсером выходов предшествующего устройства необходимо для обеспечения самосинхронности схемы и влияет на тип логических элементов в составе триггеров в разрядах регистра. Для парафазного сигнала без спейсера в расчет принимается промежуточное состояние, через которое он проходит при изменении рабочего состояния на противоположное.

Индикаторная схема регистра во многом определяется характером использования его выходных сигналов. Если они используются только поразрядно в последующем многоуровневом устройстве и не «смешиваются» друг с другом, а сам регистр не используется для формирования ответного сигнала для предшествующего СС-устройства, то нет смысла формировать общий индикаторный сигнал регистра. Достаточно поразрядные индикаторные выходы использовать в качестве поразрядных же управляющих сигналов для следующего устройства, как показано на рисунках 3 и 4, а.

Таким образом, задача разработки СС-регистра должна решаться творчески, с учетом реальных условий работы регистра и его окружения. От этого зависят как аппаратные затраты, так и временные характеристики разрабатываемой СС-схемы.

5. Сравнение синхронных и самосинхронных регистров

Описанные схемотехнические решения регистров хранения и сдвига апробированы при разработке БИС «Микроядро» [14] в С- и СС-исполнениях. На их основе реализованы сдвигатель, последовательно-параллельный порт и регистры хранения проме-

жуточных результатов, позволяющие организовать конвейерную обработку данных.

Аппаратная реализация СС-схем принципиально более сложна, чем реализация их С-аналогов, главным образом, из-за необходимости использования СС-дисциплины кодирования информационных сигналов и индикации окончания переключения всех элементов схемы. Соотношение аппаратных затрат С- и СС-вариантов может достигать до 2,1 раза в пользу С-варианта для регистровых структур [13] и до 2,5 раза для комбинационных структур. Реальные затраты (в эквивалентных вентилях базового матричного кристалла серии 5503) для регистров разных типов в составе БИС «Микроядро» для С- и СС-исполнения приведены в табл. 3.

Таблица 3
Аппаратные затраты вариантов регистров

Наименование устройства	Количество вентилях по вариантам	
	синхронный	самосинхронный
Сдвигатель	52	52
Регистр произведения в умножителе	42	64
Последовательно-параллельный порт	611	588

Как видно из табл. 3, СС-сдвигатель, построенный на основе регистра хранения и мультиплексора, по аппаратным затратам оказался идентичным С-аналогу, а СС-регистр произведения потребовал в 1,5 раза больше вентилях, чем аналогичный С-регистр. Последовательно-параллельный порт выполнен как отказоустойчивое устройство, включающее в себя восьмиразрядный регистр сдвига (неотказоустойчивый) — источник передаваемых битов, и восьмиразрядный отказоустойчивый сдвиговый регистр с последовательным входом. В синхронном исполнении использована схема двойного дублирования, содержащая в общей сложности четыре регистра сдвига (кроме регистра-источника), два устройства сравнения и мультиплексор выбора рабочего регистра.

За счет избыточных аппаратных затрат СС-регистры, как и все другие СС-схемы, обладают свойством самопроверяемости: работа СС-регистра автоматически останавливается при возникновении константной неисправности в любом элементе схемы.

Преимущества СС-регистров по сравнению с синхронными аналогами становятся очевидными при реализации отказоустойчивых устройств на их основе [14]. Разница в аппаратных затратах для обоих вариантов нивелируется, а в ряде случаев становится противоположной за счет того, что элементы контроля работоспособности схемы, необходимые для реализации отказоустойчивого варианта, в СС-регистре присутствуют изначально, в то время как в синхронном варианте добавляются специально. Это видно на примере отказоустойчивого последовательно-параллельного порта из табл. 3.

Результаты сравнения С- и СС-регистров и схем на их основе показывают, что СС-варианты обеспечивают в реальных условиях более высокое быстродействие и в ряде случаев — существенно меньшее энергопотребление. Поэтому применение СС-схемотехники может быть оправдано даже в областях, где высокая надежность функционирования не является определяющей, но требуется высокое быстродействие или низкое энергопотребление.

6. Заключение

Описаны приемы и варианты построения СС-регистров в зависимости от их назначения, реального окружения и оптимизационных критериев, которыми руководствуется проектировщик аппаратуры. СС-регистры отличаются от своих С-аналогов наличием индикаторной схемы, правильное построение которой во многом определяет характеристики схемы: быстродействие, аппаратные затраты и мощность потребления.

Эффективность используемых схемотехнических решений зависит в значительной степени от умения проектировщика учесть особенности работы конкретного регистра в составе общей СС-схемы. Специфика и вариабельность СС-исполнения предполагает не останавливаться на стандартных, но неоптимальных решениях, накопленных опытом проектирования С-аппаратуры. Учет специфики СС-схем позволяет проектировать не просто работоспособные самосинхронные схемы, но и обеспечить их конкурентоспособность по сравнению с синхронными аналогами.

Результат проектирования сдвигателя в СС-варианте БИС «Микроядро» показал, что применение принципов, изложенных выше, способно повысить быстродействие устройства на 70% и уменьшить сложность его реализации на 44%.

Представленная совокупность инженерных приемов построения последовательностных СС-схем даст возможность быстрее овладеть азами их проектирования.

Список литературы

1. *Varshavsky V.* Time, Timing and Clock in Massively Parallel Computing Systems // Proceedings of Int. Conference on Massively Parallel Computing Systems. — Colorado Springs, USA, Apr. 1998. — P. 100–106.
2. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под. Ред. В.И. Варшавского. — М.: Наука, 1986. — 400 с.
3. Аperiodические автоматы / Под ред. В.И. Варшавского. — М.: Наука, 1976. — 424 с.
4. *Varshavsky V., Kishinevsky M., Marakhovskiy V. et al.* Self-timed Control of Concurrent Processes / Ed. by V. Varshavsky. — Kluwer Academic Publishers, 1990. — 245 p.
5. *Степченко Ю. А., Петрухин В. С., Дьяченко Ю. Г.* Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле // Нано- и микросистемная техника. — 2006. — № 5. — С. 29–36.
6. *Филин А. В., Степченко Ю. А.* Компьютеры без синхронизации // Системы и средства информатики. Вып. 9. — М.: Наука, 1999. — С. 247–261.
7. *Филин А. В.* Самосинхронизация — естественный путь обеспечения долгоживучести интегральных схем // Системы и средства информатики. Вып. 9. — М.: Наука, 1999. — С. 242–247.
8. PIC18CXX2 Data Sheet High-Performance Microcontrollers with 10-Bit A/D. — 1999. — 295 p.
9. *Paver N. C., Day P., Farnsworth C., Jackson D. L., Lien W. A., Liu J.* A Low-Power, Low-Noise, Configurable Self-Timed DSP // Fourth Int. Symposium on Advanced Research in Asynchronous Circuits and Systems (ASYNC '98), 1998.
10. *Laiho M., Vainio O.* A Full-Custom Self-Timed DSP Processor Implementation. — www.imec.be/esscirc/papers-97/172.pdf.
11. *Williams T. E., Horowitz M. A.* A Zero-Overhead Self-Timed 160-ns 54-b CMOS Divider // IEEE J. of Solid-State Circuits. — V. 26. — No. 11. — P. 1651–1661.
12. *Степченко Ю. А., Денисов А. Н. и др.* Библиотека элементов базовых матричных кристаллов для критических областей примене-

ния // Системы и средства информатики. Вып. 14. — М.: Наука, 2004. — С. 318–361.

13. Разработка и апробация автоматизированной методологии проектирования гарантоспособных схем на самосинхронном схмотехническом базисе (заключительный) // Отчет о НИР «Гарант2/этап 2006», ГР № 01.2.00 316 348. — М.: ИПИ РАН, 2006. — 353 с.
14. *Степченко Ю. А., Дьяченко Ю. Г., Петрухин В. С., Плеханов Л. П.* Самосинхронные схемы — ключ к построению эффективной и надежной аппаратуры долговременного действия // Научно-технические ведомости СПбГПУ. — 2007. — № 6 (в печати).