

Информатика и её применения

Том 8 Выпуск 1 Год 2014

СОДЕРЖАНИЕ

Анализ и моделирование распределений в эредитарных стохастических системах И. Н. Синицын	2
Анализ задержек при диспетчеризации однородных заданий в условиях неопределенности Ю. Е. Малашенко, И. А. Назарова	12
Оценка надежности сложных систем с восстановлением по результатам испытаний элементов И. В. Павлов	21
Использование принципа равновесия для управления маршрутизацией в транспортных сетях Н. С. Васильев	28
Асимптотические свойства оценки риска при пороговой обработке вейвлет-коэффициентов в модели с коррелированным шумом А. А. Ерошенко, О. В. Шестаков	36
Базис реализации супер-ЭВМ эксафлопсного класса И. А. Соколов, Ю. А. Степченков, С. Г. Бобков, В. Н. Захаров, Ю. Г. Дьяченко, Ю. В. Рождественский, А. В. Сурков	45
Информационная модель технологии представления натурального объекта и изменения его пространственного положения О. П. Архипов, Ю. А. Маньяков, Д. О. Сиротинин	71
Динамические контексты базы данных реляционного типа С. В. Зыкин	77
Интегральное моделирование языковых структур в лингвистических процессорах систем обработки знаний и машинного перевода Е. Б. Козеренко	89
Разработка модели управления процессом обучения с использованием когнитивных технологий В. А. Маренко, О. Н. Лучко, О. С. Лупенцов	99
Общие оценки устойчивости для нестационарных марковских цепей с непрерывным временем А. И. Зейфман, В. Ю. Королев, А. В. Коротышева, С. Я. Шоргин	106
Об аппроксимации и сходимости одномерных параболических интегродифференциальных многочленов и сплайнов В. И. Киреев, М. М. Гершкович, Т. К. Бирюкова	118
Stability analysis of an optical system with random delay lines lengths Е. Morozov, L. Potakhina, and K. De Turck	127
Об авторах	135

БАЗИС РЕАЛИЗАЦИИ СУПЕР-ЭВМ ЭКСАФЛОПСНОГО КЛАССА*

И. А. Соколов¹, Ю. А. Степченков², С. Г. Бобков³, В. Н. Захаров⁴, Ю. Г. Дьяченко⁵, Ю. В. Рождественский⁶, А. В. Сурков⁷

Аннотация: Статья посвящена выбору схемотехнического базиса реализации микропроцессоров и коммуникационных сред супер-ЭВМ эксафлопсного класса. Проведен сравнительный анализ характеристик цифровых устройств различной сложности, реализованных в синхронном (С) и самосинхронном (СС, self-timed) базисе. Подтверждены основные преимущества СС-схем по сравнению с синхронными аналогами: отсутствие гонок, максимально возможный диапазон работоспособности, высокое быстродействие, относительно низкая мощность потребления. В результате перехода от синхронной к квазисамосинхронной и самосинхронной реализации зона работоспособности устройства расширяется независимо от его сложности. В наибольшей степени эти преимущества проявляются при использовании СС-схем для проектирования надежной цифровой аппаратуры. Рассмотрены различные методологии проектирования СС-схем. Проведен сравнительный анализ реализации СС-схем в обобщенном базисе схем, нечувствительных к задержкам, развиваемом авторами, и в базисе NCL (NULL Convention Logic) схем. Показано, что предлагаемый базис обеспечивает получение схем с лучшими параметрами по быстродействию, аппаратным затратам и энергопотреблению при проектировании типовых цифровых устройств, составляющих основу для построения современных вычислительных систем и комплексов.

Ключевые слова: синхронные схемы; самосинхронные схемы; нечувствительность к задержкам; NULL Convention Logic; быстродействие; энергопотребление; отказоустойчивость

DOI: 10.14357/19922264140106

1 Введение

В настоящее время потенциал инженерных технологий, опирающихся на теории микроскопического взаимодействия в рамках моделей сплошной среды, практически исчерпан. Дальнейшее развитие ядерной и термоядерной энергетики, электроники, авиастроения, биотехнологий и др. становится невозможным без проведения полномасштабных инженерных расчетов сложных технических и биологических систем с учетом атомно-молекулярного взаимодействия. А это требует уже в среднесрочной перспективе (до 2020 г.) использования супер-ЭВМ эксафлопсного класса (10^{18} оп/с). Только те страны, которые будут иметь такие ЭВМ и соответствующее программное обеспечение, способны будут создавать принципиально новые изделия. Таким образом, создание супер-ЭВМ является одним из актуальнейших направлений развития техники.

Основные трудности в достижении эксафлопсной производительности — необходимость эф-

фективного и надежного функционирования 10^8 – 10^9 процессорных ядер и преодоление физических ограничений, обусловленных энергопотреблением, надежностью и конструктивными размерами. По оценкам авторов, энергопотребление супер-ЭВМ, созданной по имеющимся технологиям и обладающей производительностью 10 PFLOPS, составит около 30 МВт. Для создания такой супер-ЭВМ эксафлопсной производительности потребуется уже строить рядом с ЭВМ небольшую электростанцию.

Решение проблем создания супер-ЭВМ эксафлопсной производительности невозможно без разработки фундаментальных основ повышения надежности и снижения потребления питания требуемых супер-ЭВМ. Используемые современные технологии не позволяют создать супер-ЭВМ эксафлопсной производительности.

Повышение надежности и снижение потребления питания требуемых супер-ЭВМ можно реализовать только за счет реализации комплекса архи-

* Исследование выполнено при финансовой поддержке РФФИ (проекты 13-07-12062 офи.м и 13-07-12068 офи.м), а также при частичной финансовой поддержке Программы фундаментальных исследований ОНИТ РАН за 2013 г. (проект 1.5).

¹ Институт проблем информатики Российской академии наук, ISokolov@ipiran.ru

² Институт проблем информатики Российской академии наук, YStepchenkov@ipiran.ru

³ Научно-исследовательский институт системных исследований Российской академии наук, bobkov@cs.niisi.ras.ru

⁴ Институт проблем информатики Российской академии наук, VZakharov@ipiran.ru

⁵ Институт проблем информатики Российской академии наук, diaura@mail.ru

⁶ Институт проблем информатики Российской академии наук, YRogdest@ipiran.ru

⁷ Научно-исследовательский институт системных исследований Российской академии наук, surkov@cs.niisi.ras.ru

тектурных, схемотехнических, технологических и конструктивных решений.

Проблемы, встающие перед разработчиками современной вычислительной техники (низкое энергопотребление, надежность работы в меняющихся условиях эксплуатации и т. д.), заставляют по-новому взглянуть на принципы проектирования цифровой аппаратуры и в первую очередь на задачу синхронизации. Синхронизация — одна из важнейших задач в цифровых системах, решающая проблему координации событий (сигналов, операций или процессов) в аппаратуре и связанная в основном с обеспечением интерфейса между физическим (естественным) и логическим (искусственным) временем [1]. Координация событий отражает причинно-следственные связи между ними и обычно определяется последовательностью множества событий, происходящих в системе.

В середине 1950-х гг. активно исследовались альтернативные методологии синхронизации элементов в аппаратуре: синхронная и самосинхронная. В С-методологии интерфейс между физическим и логическим (системным) временем определяется системными часами: все события в синхронной системе могут инициироваться только синхроимпульсами внешних часов. Действительная длительность инициированных событий никак не отслеживается. Чтобы синхронизируемая аппаратура работала корректно, период синхроимпульсов выбирается из расчета на наихудший случай — максимально возможное время переключения отдельных элементов при неблагоприятных сочетаниях условий функционирования (напряжения питания, температуры, параметров и характера распределения нагрузки и т. п.). В результате заведомо ухудшается быстродействие синхронной аппаратуры — до 130% [2] по сравнению с номинально возможным быстродействием.

Механизмы, обеспечивающие системное время в СС-подходе, включены в модель системного поведения и должны быть разработаны вместе с созданием начальной поведенческой спецификации. Корректные СС-системы базируются на механизме фиксации действительного окончания всех инициированных процессов. При этом обеспечивается их правильное функционирование независимо от задержек распространения сигналов в элементах схемы, отчего они также называются нечувствительными к задержкам — НЗ (delay-insensitive, DI).

С момента появления теории Маллера [3, 4] проектирование НЗ-схем было областью активных исследований [5–14]. Однако ввиду сравнительной сложности их проектирования популярными стали лишь С-схемы. Развитие средств автоматизации проектирования (САПР), образовательной и

технологической базы также пошло в направлении синхронной схемотехники. В конце XX в. абсолютное большинство выпускаемых серийно БИС проектировалось по синхронному маршруту.

В последние годы неуклонное развитие технологий и растущие требования выявляют все больше сложностей в проектировании С-схем, ставшая разработчиков со все большим спектром задач, ранее не изученных. Так, непрерывное увеличение производительности влечет за собой постоянную борьбу за снижение энергопотребления, а также соблюдение жестких требований к надежности и помехозащищенности схем [15]. Поиск методов и решений этих проблем возродил интерес к НЗ-схемотехнике, лишенной части недостатков С-схем, таких как, к примеру, избыточное потребление вследствие использования тактирующих цепей. Однако, несмотря на многочисленные потенциальные преимущества НЗ-схем, коммерчески выпускаемых НЗ-изделий по-прежнему мало.

В печати приводятся результаты разработки функционально-законченных нетактируемых изделий вплоть до уровня цифровых сигнальных процессоров (DSP — digital signal processor) [15, 16], сопроцессоров [17], самосинхронной машины потока данных DDM2 (MIT). Разработан широкий спектр нетактируемых микропроцессоров с архитектурами ARM (AMULET 1-3 [18], ARM996HS [19]), MIPS (MiniMIPS [20]), Intel (HT80C51 [21]), а также RISC-архитектур собственной разработки (ASPRO [22], TengYue-1 [23] и др.). Некоторые из перечисленных устройств выпускаются серийно. Относительно недавно начато производство первой в мире асинхронной ПЛИС фирмы Achronix [24]. Параллельно ведутся разработки асинхронных САПР, а в ведущих институтах Америки, Англии и Китая студентам читают образовательные курсы по асинхронным автоматам.

Однако эти реализации в действительности не являются НЗ-схемами. Они используют запростотное взаимодействие (handshake) между функциональными блоками вместо «дерева» тактового сигнала и за счет этого существенно сокращают потребление энергии и расширяют область работоспособности. Но они не содержат реального контроля окончания переходных процессов при переключениях схемы, присущего НЗ-схемам. Контроль заменен элементами задержки [19], эмулирующими реальные задержки обработки данных на соответствующих участках вычислительного тракта. Такой подход обеспечивает аппаратные затраты на уровне синхронных аналогов, но не исключает возможности появления сбоев в работе схемы при разбросе параметров транзисторов и элементов схемы, обусловленных технологическими и эксплуата-

ционными факторами, а следовательно, не может быть признан действительно нечувствительным к задержкам.

В России активным пропагандистом НЗ-подхода был коллектив под руководством д.т.н. В. И. Варшавского. В работах [1, 25–28], развивающих положения теории Маллера, убедительно доказана целесообразность внедрения принципа самосинхронизации в практику проектирования цифровых СБИС. С 1980-х гг. это направление проектирования аппаратуры активно поддерживается и развивается в ИПИ РАН [29–57].

Реализации НЗ-схем обладают рядом преимуществ по сравнению с синхронными аналогами [29]:

- устойчивая работа — отсутствие сбоев при любых возможных условиях эксплуатации;
- безопасная работа — прекращение всех переключений в момент появления отказа любого элемента (константной неисправности, при которой выход элемента «залипает» в одном состоянии);
- отсутствие периодов вынужденного простоя в ожидании очередного синхроимпульса.

Практические следствия этих преимуществ НЗ-схем:

- естественная устойчивость к параметрическим отказам, вызываемым изменением параметров элементов из-за процессов старения и неблагоприятных воздействий окружающей среды;
- естественная стопроцентная самопроверяемость и самодиагностируемость по отношению к множественным константным неисправностям;
- безопасность функционирования на основе бестестовой локализации неисправностей, т. е. прекращение работы в момент отказа элемента, исключающее выдачу недостоверной информации, с одновременной локализацией места события;
- максимально возможная область эксплуатации (диапазон работоспособности), определяемая только физическим сохранением переключаемых свойств активных элементов базиса реализации;
- максимально возможное в текущих условиях эксплуатации быстродействие;
- отсутствие накладных аппаратных и энергетических расходов, связанных с реализацией «клокового дерева» — разветвленной системы синхронизации, обеспечивающей строгую одновременность событий в разных местах проектируемой схемы.

Единственный недостаток НЗ-схем — большие аппаратные затраты. В зависимости от класса рассматриваемого цифрового устройства его НЗ статическая КМОП (комплементарная структура металл–оксид–полупроводник) реализация требует в 1,3–2,5 раза больше транзисторов, чем аналогичная синхронная реализация. Наихудшее соотношение аппаратных затрат наблюдается в комбинационных схемах из-за необходимости использования дуального представления каждой функции и добавления схемы контроля окончания всех переходных процессов при переключениях схемы.

В данной статье рассматривается возможность существенного улучшения требуемых характеристик (до 50%) высокопроизводительных вычислительных систем за счет перехода от синхронной схемотехники к самосинхронной. Возможность снижения потребления питания основывается на следующем:

- в современных высокопроизводительных микропроцессорах потребление дерева синхронизации составляет от 30% до 50% потребления всей схемы, в СС-схемах не используется дерево синхронизации;
- имеется значительный разброс параметров транзисторов на расстояниях свыше 1 мм для технологических норм 28 нм и ниже, что приводит к необходимости дополнительных технических решений, приводящих к повышению потребления питания в С-схемах, в НЗ-схемах разброс параметров учитывается автоматически в силу базовых НЗ решений;
- наибольшие производительности достигнуты в графических процессорах компаний Nvidia и AMD, где вычисления организуются как потоковые процессы; НЗ-логика наилучшим образом согласуется с потоковыми машинами, поскольку в них обоих используются состояния готовности; подобное свойство позволяет избежать дополнительных накладных расходов на организацию вычислений и снизить энергопотребление.

Ресурс повышения надежности в НЗ-схемах по сравнению с С-схемами обеспечивается их базовыми решениями, в которые закладывается дополнительная информация для их функционирования, используемая и для повышения надежности.

Схемы, нечувствительные к задержкам, органично вписываются в концепцию создания современных вычислительных систем, обеспечивая низкое энергопотребление и сохранение работоспособности в изменяющихся условиях эксплуатации оборудования. Данная работа посвящена срав-

нительному анализу вариантов реализации типовых представителей основных классов вычислительных устройств и обоснованию выбора схемотехнического базиса реализации микропроцессоров и коммуникационных сред супер-ЭВМ эксафлопсного класса.

2 Сравнительный анализ синхронных и нечувствительных к задержкам схем

С практической точки зрения наиболее интересным является подкласс схем, нечувствительных к задержкам в элементах (НЗЭ). В пределах эквивалентной зоны [27] они обладают всеми свойствами и преимуществами НЗ-схем. Только при передаче информации отдаленному приемнику вне пределов эквивалентной зоны необходимо предпринимать дополнительные меры по обеспечению нечувствительности к задержкам в соединительных проводах. При микронных нормах проектирования топологии микросхем эквивалентная зона измерялась миллиметрами и практически покрывала всю площадь кристалла БИС, так как задержки переключения элементов превалировали над задержками распространения сигналов в соединительных проводах. Поэтому НЗЭ-схема в рамках одного кристалла БИС фактически являлась НЗ-схемой.

Однако с переходом к субмикронным нормам проектирования БИС размер эквивалентной зоны существенно сократился из-за того, что задержки переключения элементов многократно уменьшились и стали сравнимы и даже меньше задержек распространения сигналов в проводах. В современных цифровых СБИС эквивалентная зона покрывает лишь малую часть площади кристалла. Поэтому НЗЭ-схемы могут считаться НЗ-схемами, если связанные друг с другом функциональные блоки имеют соответствующие небольшие размеры и расположены относительно близко друг к другу.

Практически целесообразными являются также квази-НЗЭ (КНЗЭ) схемы. Основное отличие НЗЭ-схем от КНЗЭ-схем состоит в том, что НЗЭ-схемы контролируют с помощью индикаторной подсхемы окончание переключения каждого элемента в схеме, в то время как КНЗЭ-схемы имеют спекулятивную индикацию — обеспечивают индикацию только элементов, стоящих на критических путях обработки информации. За счет этого многоразрядные КНЗЭ-схемы оказываются более быстродействующими и менее сложными. Но они не

дают стопроцентной гарантии сохранения работоспособности схемы при изменении в широком диапазоне условий эксплуатации: напряжения питания, температуры — и при воздействии экстремальных факторов.

В работе [55] представлены результаты сравнительных испытаний С-, КНЗЭ- и НЗЭ-вариантов реализации цифровых устройств различной сложности:

- 4-разрядного микроядра [33], аналога ядра микроконтроллера PIC16 фирмы Microchip, США, включающего типовые арифметико-логические устройства: регистровую память, аппаратный умножитель, сдвигатель, счетчики;
- 8-разрядного отказоустойчивого последовательно-параллельного (ПП) порта, эмулирующего последовательный интерфейс между двумя цифровыми устройствами [34];
- 64-разрядного сопроцессора — устройства деления и извлечения квадратного корня [37, 38, 49, 51] в соответствии со стандартом IEEE754 [58].

Сравнение С-, КНЗЭ- и НЗЭ-вариантов реализации перечисленных цифровых устройств проводилось на основе оценки быстродействия в реальных условиях эксплуатации. Частота тактирования С-устройств устанавливалась из расчета на наилучший случай в пределах допустимой области эксплуатации. Быстродействие же НЗЭ-схем определялось реальными, а не наилучшими условиями эксплуатации. Именно поэтому НЗЭ-устройства в нормальных условиях оказываются, как правило, быстрее С-аналогов, что и было подтверждено результатами испытаний перечисленных выше вариантов цифровых устройств.

В табл. 1 приведены аппаратные затраты С- и НЗЭ-вариантов реализации микроядра и ПП-порта в вентилях базового матричного кристалла (БМК) серии 5503 (МИЭТ, Технологический центр). Микроядро НЗЭ, содержащее большую комбинационную схему — умножитель 4×4 , построенный по модифицированному алгоритму Бута, оказалось в 1,43 раза сложнее своего синхронного аналога. Благодаря заметному сокращению общего числа

Таблица 1 Аппаратные затраты

Цифровое устройство	С-вариант	НЗЭ-вариант
Микроядро	970	1390
ПП-порт	443	370

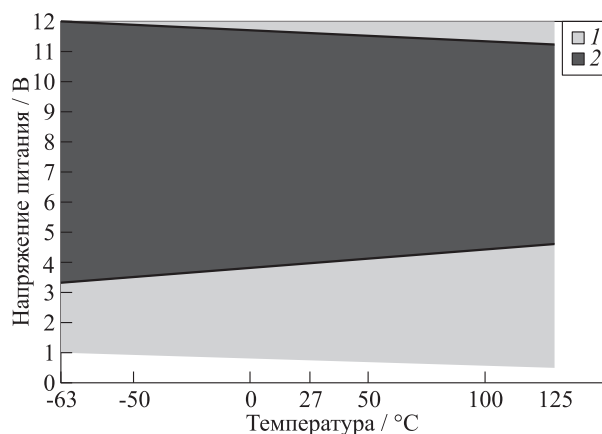


Рис. 1 Зона работоспособности НЗЭ- (1) и С-образцов (2) микроядра

устройств в составе отказоустойчивого НЗЭ-ППП-порта по сравнению с синхронным [55], его суммарные затраты оказались на 20% меньше, чем в С-варианте. Аналогичные характеристики могут быть получены и при реализации данных устройств в виде функциональных блоков заказной БИС.

На рис. 1 приведены результаты эксперимента по проверке работоспособности всех НЗЭ- и С-образцов в диапазоне изменяющихся напряжения питания и температуры при пороговых напряжениях транзисторов на уровне 0,8 В. Частота синхронизации С-образцов подбиралась для каждой пары значений «напряжение питания – температура». Из рис. 1 видно, что НЗЭ-образцы оказались работоспособными в более широком диапазоне условий эксплуатации, причем все без исключения. Синхронные же образцы продемонстрировали разброс параметров зоны работоспособности из-за флуктуации технологических параметров при изготовлении микросхем.

Производительность С-реализаций микроядра при фиксированной частоте тактирования, рассчитанной на наихудший случай, и выполнении смеси операций постоянна для всех возможных условий эксплуатации в пределах гарантированной области работоспособности и составила 4 MOPS. Быстродействие же НЗЭ-микроядра широко изменяется в зависимости от условий эксплуатации. Например, в зоне работоспособности, гарантированной изготовителем БМК, его производительность изменяется от 10,9 MOPS (5,5 В, –63 °С) до 5,2 MOPS (4,5 В, +125 °С). В среднем во всем реальном диапазоне работоспособности она оказалась выше производительности С-микроядра почти в 2 раза.

На рис. 2, а приведен график зависимости тока потребления (I_{cc}) С- и НЗЭ-вариантов реализации микроядра от величины напряжения питания при температуре $T = +27$ °С. При одном и том же напряжении питания НЗЭ-вариант потребляет несколько больше, чем синхронный, что объясняется его более высокой производительностью.

Для более корректной оценки сравнительного потребления энергии на рис. 2, б приведен график энергетической эффективности, который показывает ток потребления микроядра при выполнении операций с производительностью 1 MOPS. Чем меньше величина E , тем более эффективна реализация. Из рис. 2 видно, что НЗЭ-реализация микроядра более эффективна, чем его С-вариант. Например, при номинальном напряжении питания 5 В энергетическая эффективность составляет 1,2 мА/MOPS для НЗЭ-образца и 1,8 мА/MOPS для С-образца. При напряжении питания 12 В имеет место двукратное превосходство НЗЭ-реализаций. Сочетание возможности КМОП-НЗЭ-схем работать (и потреблять энергию) только «по требованию» с низким потреблением пассивной

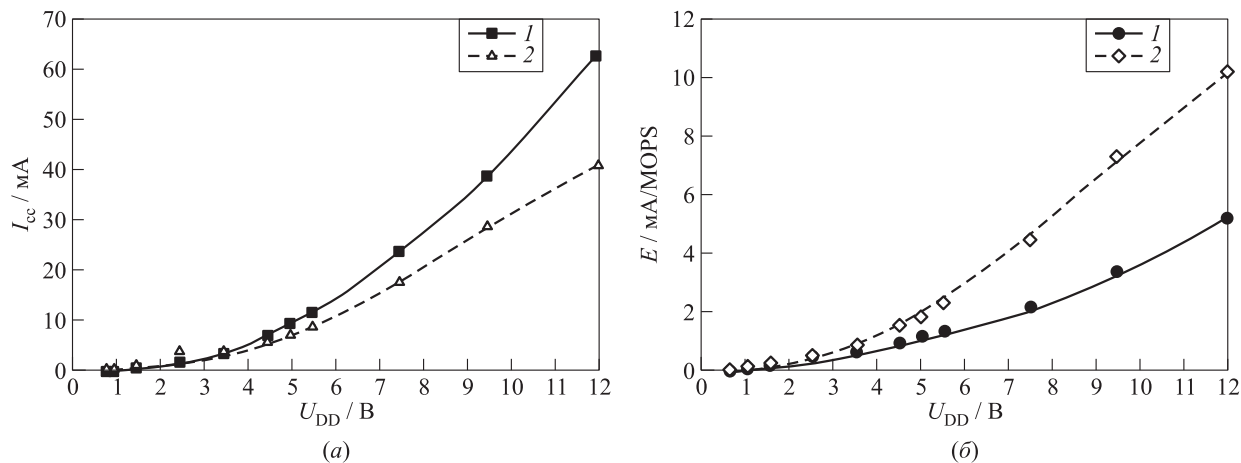


Рис. 2 Энергетические параметры НЗЭ- (1) и С-вариантов (2) микроядра при $T = 27$ °С

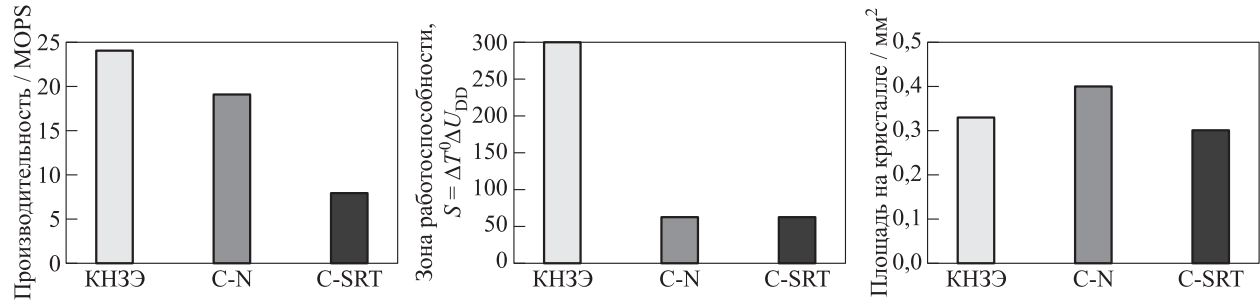


Рис. 3 Результаты испытаний вариантов сопроцессора

логики создает хорошие предпосылки для создания энергетически эффективных аппаратных решений.

Ценой повышения производительности и расширения зоны работоспособности НЗЭ-варианта микроядра является увеличение его аппаратных затрат. В качестве интегральной оценки эффективности (добротности) реализации цифрового устройства может служить отношение произведения производительности при номинальном питании на ширину зоны работоспособности к аппаратным затратам. Суммарное преимущество НЗЭ-микроядра в сравнении с синхронным аналогом по этому параметру с учетом гарантированной производителем области работоспособности С-устройств по напряжению питания (номинал $\pm 10\%$) составляет 17,6 раза.

В качестве способа построения отказоустойчивого НЗЭ-ПП-порта было выбрано дублирование его основной функциональной части — регистра сдвига, а в С-варианте — троирование регистра сдвига. Один из дубликатов изначально является рабочим, остальные — контрольными и/или резервными. Во всех случаях применяется постоянный контроль одинаковости результата, который получается независимо каждым устройством на основе общих входных данных и позволяет выявить возникшее несовпадение. «Ремонт» схемы состоит в мультиплексировании на выход заведомо исправного устройства. Такой способ обеспечивает оперативный саморемонт одного отказа в сдвиговом регистре ПП-порта и достоверность определения работоспособности всех частей схемы.

Результаты измерения показали [55], что отказоустойчивый НЗЭ-ПП-порт по сравнению с С-вариантом имеет существенно лучшие характеристики: в 2,4 раза по быстродействию; в 1,2 раза по аппаратным затратам; в 1,3 раза по энергетической эффективности; в 18 раз по добротности.

Сравнение вариантов сопроцессора проводилось на С-вариантах, реализующих алгоритмы Ньютона (C-N) и SRT Radix4 (C-SRT), и КНЗЭ-

варианте, реализующем алгоритм SRT Radix2. Все варианты сопроцессора были реализованы в составе тестовой микросхемы по стандартной 0,18-микронной КМОП-технологии с шестью слоями металлизации.

Сравнительные результаты испытаний вариантов сопроцессора показаны на рис. 3. Производительность измерялась при нормальных условиях работы (напряжение питания = 1,8 В, $T = 27^\circ\text{C}$). Зона работоспособности определялась как произведение диапазонов напряжения питания и температуры, в которых сопроцессор демонстрировал устойчивую работу.

Таким образом, реализация микроядра, ПП-порта и сопроцессора в виде НЗЭ- или КНЗЭ-устройства обеспечивает их устойчивую работу при любых допустимых условиях эксплуатации. Устройства НЗЭ и КНЗЭ экспериментально подтвердили свои неоспоримые преимущества по производительности и зоне работоспособности по сравнению с синхронными аналогами, поэтому такой схемотехнический базис целесообразно использовать и для разработки современных вычислительных устройств и комплексов.

3 Варианты методологии проектирования схем, нечувствительных к задержкам

В работе [13] рассмотрено 10 различных методологий проектирования асинхронных и, в частности, СС-схем. Их можно разделить на две группы:

- (I) методологии, базирующиеся на модели с ограниченной задержкой, например схемы Haffman'a и микроконвейеры. Некоторые из них предназначены для проектирования НЗ-схем (например, I-net), однако объединение таких схем требует использования либо линий задержки в цепях обратной

связи, либо системы локальной синхронизации. Подобно С-схемам, они вынуждены ориентироваться на наихудший случай условий работы схемы. Такие схемотехнические решения фактически являются квазисамосинхронными. Большинство наиболее известных зарубежных СС-микросхем и реализованных проектов относится именно к этому классу [15–24, 59–61];

- (II) подходы, базирующиеся на модели элементов и соединительных проводов с неограниченной задержкой до точки разветвления. При этом предполагается, что разница в задержке проводов после разветвления меньше, чем минимальная задержка элемента. Примеры таких методологий: графы сигнальных переходов (STG — signal transition graph), диаграммы изменений (CD — change diagrams) и трансляция процессов связи Martin'a [7, 9]. При необходимости эти методологии могут быть расширены для разработки схем, не удовлетворяющих требованию изохронности ветвления, путем введения индикаторов переходных процессов в непосредственной близости к приемнику сигнала.

Методология, разрабатываемая в ИПИ РАН, относится ко второй группе. Она имеет следующие особенности:

- на концептуальном уровне она базируется на теории Маллера [3, 4]. Правильная работа построенных по данной методологии схем не зависит от *задержек составляющих их элементов* (задержка любого элемента схемы, например инвертора, может быть любой, но конечной величины);
- на схемотехническом уровне использование дополнительных логических и топологических приемов позволяет обеспечить правильную работу СС-схем независимо *от задержек в соединительных проводах*;
- на уровне взаимодействия с внешней средой и другими СС-схемами используется асинхронный (запрос-ответный) принцип с фиксацией действительного окончания любого инициированного переходного процесса. Генераторы могут использоваться только для сугубо второстепенных целей, например для создания внутренних таймеров.

Перечисленные выше свойства СС-схем определяют высокую эффективность создания надежных изделий на их основе, в том числе и отказоустойчивых. Однако в полной мере данными

свойствами обладают только НЗ-схемы. Данное свойство (нечувствительность) относится к задержкам распространения сигналов через логические элементы и по соединительным проводам.

Типичными представителями НЗ-схем среди зарубежных СС-устройств являются NCL-схемы [14, 62–68]. Методология NCL была предложена в 1990-х гг. [14]. В настоящее время она развивается в основном усилиями компании Theseus Research, Inc. (TR) и университета в Арканзасе (University of Arkansas).

Ниже представлен сравнительный анализ основных принципов проектирования НЗ-схем, разрабатываемых в соответствии с методологиями ИПИ РАН и NCL. В дальнейшем будем называть первые просто НЗ-схемами, а последние — NCL-схемами.

3.1 Дисциплина сигналов

Схемотехника NCL основана на парафазном с нулевым спейсером кодировании всех информационных сигналов. Любая функция, выполняемая устройствами внутри схемы, реализуется путем ее дуального представления. Состояние каждого информационного сигнала A представляется комбинацией двух компонентов $\{A, AB\}$. В спейсерной фазе (фазе NULL) $A = AB = 0$, в рабочей фазе (фазе DATA) $\{A = 0, AB = 1\}$ или $\{A = 1, AB = 0\}$. Состояние $A = AB = 1$ запрещено и при нормальной работе схемы никогда не формируется. Переключение информационного сигнала из текущего рабочего состояния в следующее всегда происходит через спейсерное состояние, даже если текущее и следующее рабочие состояния совпадают.

Дисциплина информационных сигналов в методологии проектирования НЗ-схем более гибкая. Она включает использование как парафазных сигналов со спейсером, аналогичных сигналам NCL-схем, так и других сигналов: парафазных без спейсера, бифазных (выходов бистабильной ячейки), унарных, управляющих (аналогов тактовых сигналов в С-схемотехнике), мультифазных (например, сигналов выборки мультиплексоров). Это позволяет строить более компактные схемы.

Парафазные сигналы со спейсером своим значением отображают собственную фазу и закодированный бит данных. Остальные информационные сигналы своим статическим значением отображают только заложенный в них бит информации. Поэтому для фазового регулирования парафазные без спейсера, унарные и бифазные информационные сигналы в обязательном порядке сопровождаются сигналом управления. Сигнал управления переходит в рабочую фазу только после того, как

сопровожаемый им информационный сигнал переключился в следующее рабочее состояние, тем самым давая знать приемнику информационного сигнала, что соответствующий информационный вход можно использовать. Переключение сигнала управления в спейсер инициируется приемниками сопровождаемого им информационного сигнала и является подтверждением факта «доставки по назначению» соответствующего информационного сигнала. Информационный сигнал может изменять свое состояние только во время спейсера сопровождающего его сигнала управления.

3.2 Схмотехнический базис

Успех проектирования цифровых схем любого типа не в последнюю очередь определяется составом библиотеки элементов, на основе которой ведется проектирование. Качество СС-схем зависит от этого даже в большей степени, чем качество С-схем.

Схмотехника NCL-схем основана на использовании функциональных схем, показанных на рис. 4. Разработчики NCL-схем называют элементы схмотехнического базиса *пороговыми элементами* (threshold gates). Термин «пороговые» в данном случае относится не к потенциальному уровню сигналов на входе и выходе элемента, а к количеству входов, которые должны переключиться из спейсера (NULL) в рабочее состояние (DATA), чтобы выход элемента тоже переключился в рабочее состояние. Обратное переключение в спейсер возможно только тогда, когда все входы перейдут в спейсер.

Статическая реализация (рис. 4, а) состоит из подсхем на КМОП-транзисторах n - и p -типа прово-

димости, обеспечивающих переключение элемента в обе фазы работы и хранение текущего состояния до момента появления комбинации входов, вызывающей переключение в противоположное состояние. При этом функции, реализуемые частями «Переход в NULL» и «Переход в DATA» и обеспечивающие соединение выхода элемента с источниками активных уровней (питание и «земля»), ортогональны: при любой комбинации входов на выход элемента коммутируется только один источник логического уровня.

Полустатическая (semistatic) реализация (рис. 4, б) использует слабый инвертор в качестве обратной связи для организации хранения состояния NULL или DATA. Она обладает меньшей помехоустойчивостью и характеризуется протеканием сквозного тока при переключении NCL-схемы из текущего состояния в противоположное. В дальнейшем будем считать, что для реализации NCL-схемы используется статический вариант, показанный на рис. 4, а.

Статическая реализация NCL-схемы фактически является гистерезисным триггером [27] со сложной функциональной начинкой. В методологии проектирования СС-устройств ИПИ РАН гистерезисный триггер (Г-триггер) играет роль индикаторного элемента. Нагрузка его дополнительными функциями позволяет в ряде случаев уменьшить сложность реализации схемы, но является скорее исключением из правил, нежели типовым приемом проектирования СС-схем.

Схмотехнический базис NCL-схем состоит из фундаментальных элементов ТН m n. Имя элемента обозначает «пороговый элемент с n входами и порогом m ». Они воплощают в себе один из принципов проектирования NCL-схем: «реализация любого

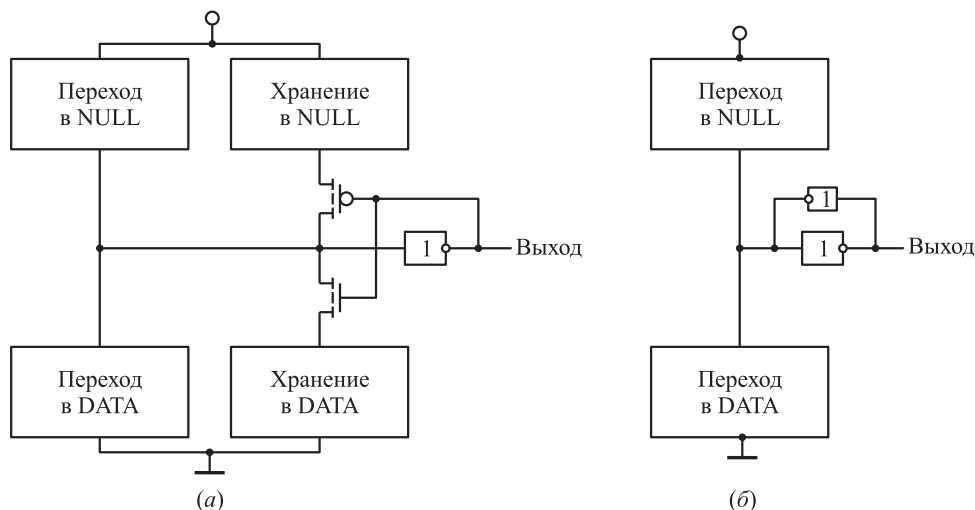


Рис. 4 Функциональная схема NCL-элемента: статическая (а) и полустатическая (б)

NCL-элемента и любой NCL-схемы должна обеспечивать переключение выходов в спейсер (NULL) только после того, как все входы перешли в спейсер, и переключение выходов в рабочее состояние (DATA) только тогда, когда не меньше порогового числа входов у элемента или схемы перешли в рабочее состояние». Некоторые элементы имеют дополнение к имени в виде окончания «wXXX». Цифры после буквы «w» показывают вес соответствующей по порядку входной переменной. Если порог элемента равен m , а вход A имеет вес k , то для переключения элемента в фазу достаточно переключения входа A и еще каких-нибудь $(m-k)$ входов, если вес остальных входов единичный, или переключения любых m входов, кроме входа A . Общее число фундаментальных элементов равно 27. Они перечислены в табл. 2 [65]. Там же указаны выполняемые ими функции и количество КМОП-транзисторов, необходимых для их реализации.

Функции, показанные в табл. 2, описывают блок «Переход в DATA» функциональной схемы на рис. 4, а. Условное графическое обозначение (УГО) фундаментальных NCL-элементов показано на рис. 5.

Таблица 2 Состав библиотеки NCL-элементов

Имя элемента	Выполняемая функция	Число транзисторов
ТН12	$A + B$	6
ТН22	AB	12
ТН13	$A + B + C$	8
ТН23	$AB + AC + BC$	18
ТН33	ABC	16
ТН23w2	$A + BC$	14
ТН33w2	$AB + AC$	14
ТН14	$A + B + C + D$	10
ТН24	$AB + AC + AD + BC + BD + CD$	26
ТН34	$ABC + ABD + ACD + BCD$	24
ТН44	$ABCD$	20
ТН24w2	$A + BC + BD + CD$	20
ТН34w2	$AB + AC + AD + BCD$	22
ТН44w2	$ABC + ABD + ACD$	23
ТН34w3	$A + BCD$	18
ТН44w3	$AB + AC + AD$	16
ТН24w22	$A + B + CD$	16
ТН34w22	$AB + AC + AD + BC + BD$	22
ТН44w22	$AB + ACD + BCD$	22
ТН54w22	$ABC + ABD$	18
ТН34w32	$A + BC + BD$	17
ТН54w32	$AB + ACD$	20
ТН44w322	$AB + AC + AD + BC$	20
ТН54w322	$AB + AC + BCD$	21
ТНxor0	$AB + CD$	20
ТНand0	$AB + BC + AD$	19
ТН24comp	$AC + BC + AD + BD$	18

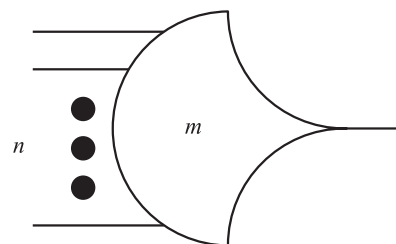


Рис. 5 Условное графическое обозначение элемента ТНmn

Фундаментальные элементы NCL-базиса служат основой для синтеза производных от них элементов, необходимых для проектирования практических цифровых устройств, например триггеров с асинхронным сбросом или установкой.

Схемотехника НЗ-схем основана на использовании классических КМОП принципиальных схем. Необходимость индцировать окончание переходных процессов в элементах НЗ-схемы делает нежелательной сильную функциональную декомпозицию. Она приводит к появлению в схеме множества «мелких» логических элементов, каждый из которых требует дополнительных аппаратных затрат для реализации его индикации. Это делает целесообразной разработку библиотеки с широкой номенклатурой логических, триггерных и индикаторных элементов. При этом функциональный состав библиотеки определяется, в первую очередь, целесообразностью использования тех или иных элементов в НЗ-схемах, а во вторую очередь, технологическим базисом реализации проектируемой БИС.

При проектировании НЗ-схем используется библиотека элементов, содержащая 260 единиц [69–71] и являющаяся самосинхронным дополнением типовых библиотек стандартных элементов. Библиотека включает логические элементы для формирования комбинационных схем, мультиплексоры, триггеры (D, RS, счетные), сумматоры, преобразователи сигналов. Условные графические обозначения элементов схемотехнического базиса НЗ-схем — традиционные для С-схемотехники, и лишь отсутствующие в последней элементы имеют характерные графические обозначения. В качестве примера на рис. 6 показаны УГО трехвходового Г-триггера (G13) и индикаторного элемента G0B3I2, индцирующего входы и состояние двух связанных друг с другом бистабильных ячеек.

Элементы, аналогичные ТН22, используются в качестве индикаторных элементов, обеспечивающих контроль окончания переключений в НЗ-схеме.

Ряд триггеров разработанной библиотеки имеет уникальные свойства, обеспечивающие эффектив-

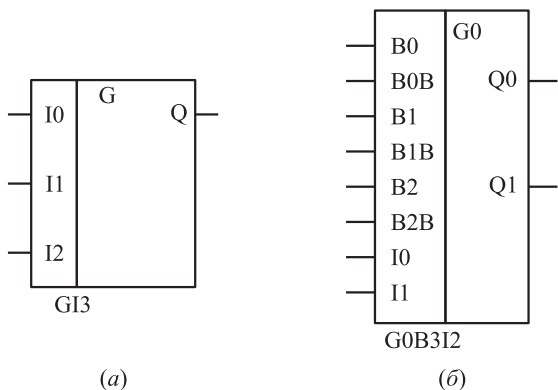


Рис. 6 Условные графические обозначения Г-триггера G13 (а) и индикаторного элемента G0B3I2 (б)

ное решение корректными средствами двух проблем:

- (1) большой нагрузочной способности выходов триггеров;
- (2) упрощенной реализации входного интерфейса с С-формирователями входных данных.

Использование таких триггеров в составе НЗ-схем гарантирует сохранение их свойств в полном объеме при приемлемых потребительских характеристиках: быстродействию и сложности реализации. К числу таких триггеров относятся, в первую очередь, триггер с мощными инверторами на инфор-

мационных выходах [72] и триггер с единичным непарафазным информационным входом [48].

Библиотека элементов для проектирования НЗ-схем включена в состав САПР «Ковчег» (Технологический центр, МИЭТ) и позволяет разрабатывать НЗ-схемы различной степени сложности с использованием БМК серий 5503, 5507, 5508, 5509.

Разработанная библиотека внедрена также в САПР фирмы Cadence для КМОП-технологии 0,18 мкм [73] и 65 нм (для проектирования заказных БИС). Она включает схематехнические, топологические представления, а также Verilog и VHDL-модели. Топология элементов для проектирования заказных БИС может быть отмасштабирована до уровня 45 нм. Для их характеристики использовались стандартные программные средства фирмы Cadence и разработанный в ИПИ РАН программный комплекс СТЕРХ [74]. Разработанная библиотека успешно прошла апробацию на ряде полужаказных и заказных БИС.

3.3 Принципы построения схемы

В NCL-методологии любая схема строится в виде конвейера (рис. 7). Элементы TH22 на входах каждого комбинационного блока формируют парафазный код на основе парафазного выхода предыдущей ступени конвейера и сигнала разрешения, выдаваемого индикатором следующей ступ-

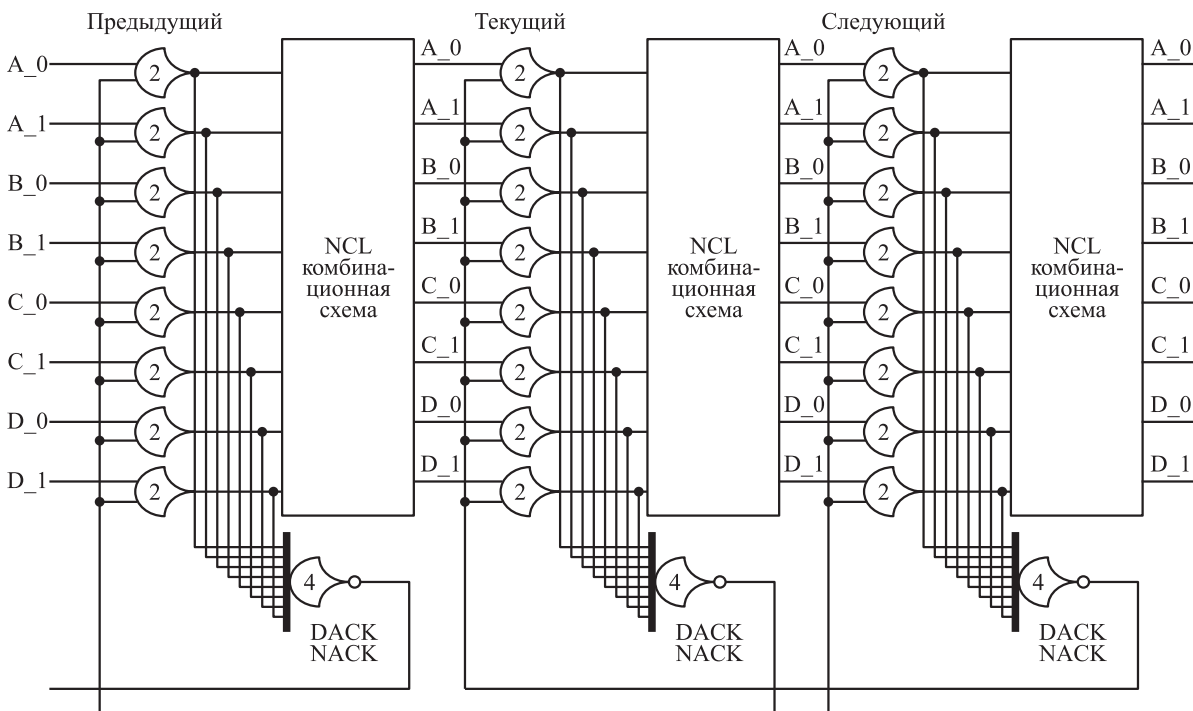


Рис. 7 Конвейер NCL

ни. Схема индикации, функционально эквивалентная элементу ТН48, формирует фазовый сигнал, обеспечивающий взаимодействие соседних ступеней конвейера.

Рисунок 8 демонстрирует реализацию последовательной NCL-схемы. Здесь регистры присутствуют и на входе схемы, и на ее выходе. Кроме того, используется регистр обратной связи, обеспечивающий корректное хранение состояния переменных памяти в схеме.

Спейсер NULL одинаков для всех элементов и устройств NCL-схемы: нулевое значение обеих составляющих каждого парафазного сигнала. Все элементы схемы, кроме элементов индикаторной подсхемы, имеют неинверсные выходы. С одной стороны, это упрощает согласование соседних устройств в тракте обработки данных; с другой стороны, создает дополнительную задержку, которая не всегда оправдана.

В N3-методологии элементы библиотеки объединяются в более сложные N3-схемы в соответствии с дисциплиной формирования и согла-

сования информационных, управляющих и индикаторных сигналов N3-схем:

- информационные сигналы формируются с использованием одного из видов СС-кодирования (парафазного со спейсером, бифазного с управляющим сигналом и т. д.). Число вариантов кодирования в пределах одной N3-схемы не ограничено;
- каждый рабочий набор кодированного сигнала в обязательном порядке чередуется со специальным самосинхронным промежуточным кодом — спейсером. Тип спейсера (нулевой или единичный) может быть произвольным, управляющие сигналы схемы и ее окружения подчиняются запросу-ответной дисциплине;
- все информационные и управляющие сигналы схемы должны индексироваться на ее выходах, т. е. любое переключение каждого сигнала должно в конечном итоге приводить к переключению одного или нескольких выходов схемы.

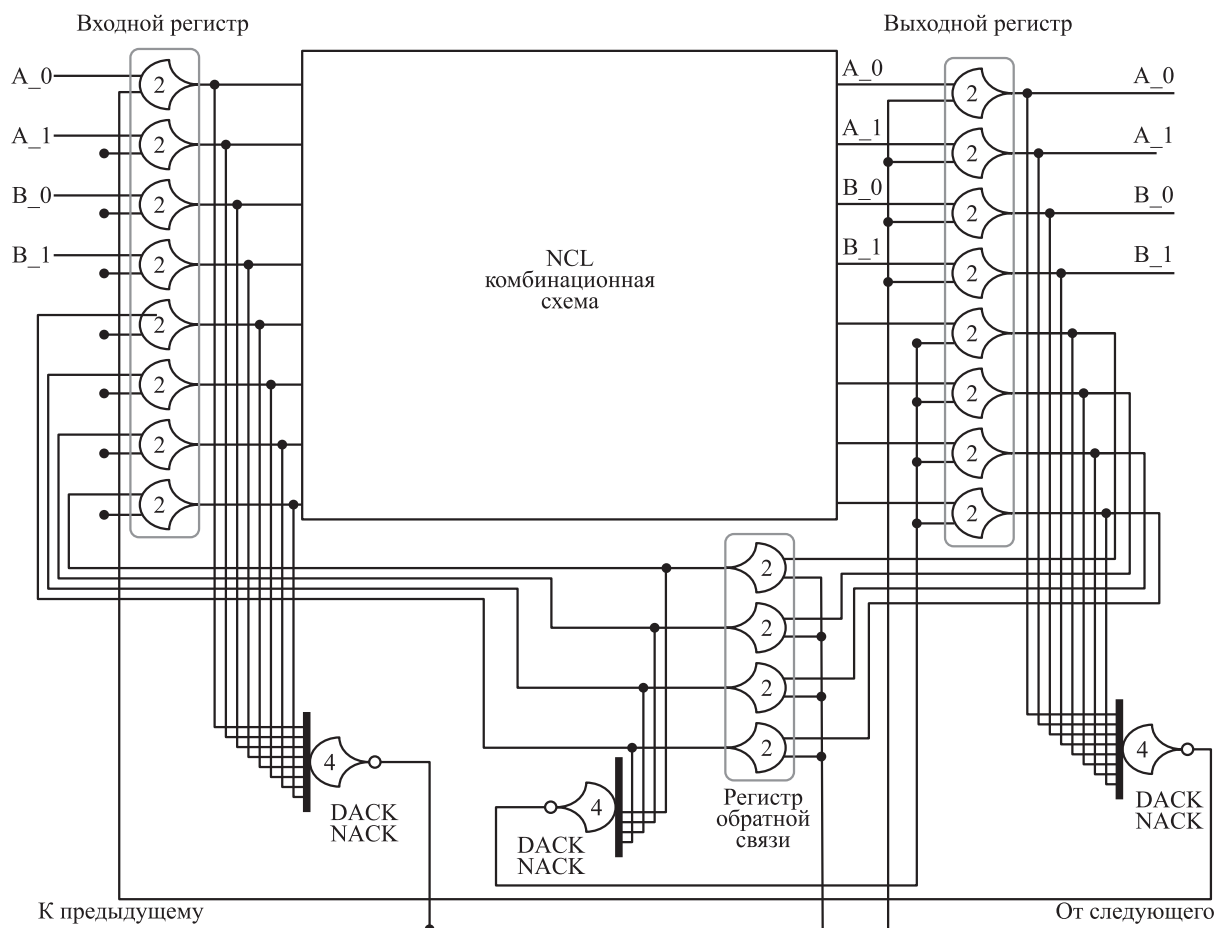


Рис. 8 Последовательная NCL-схема

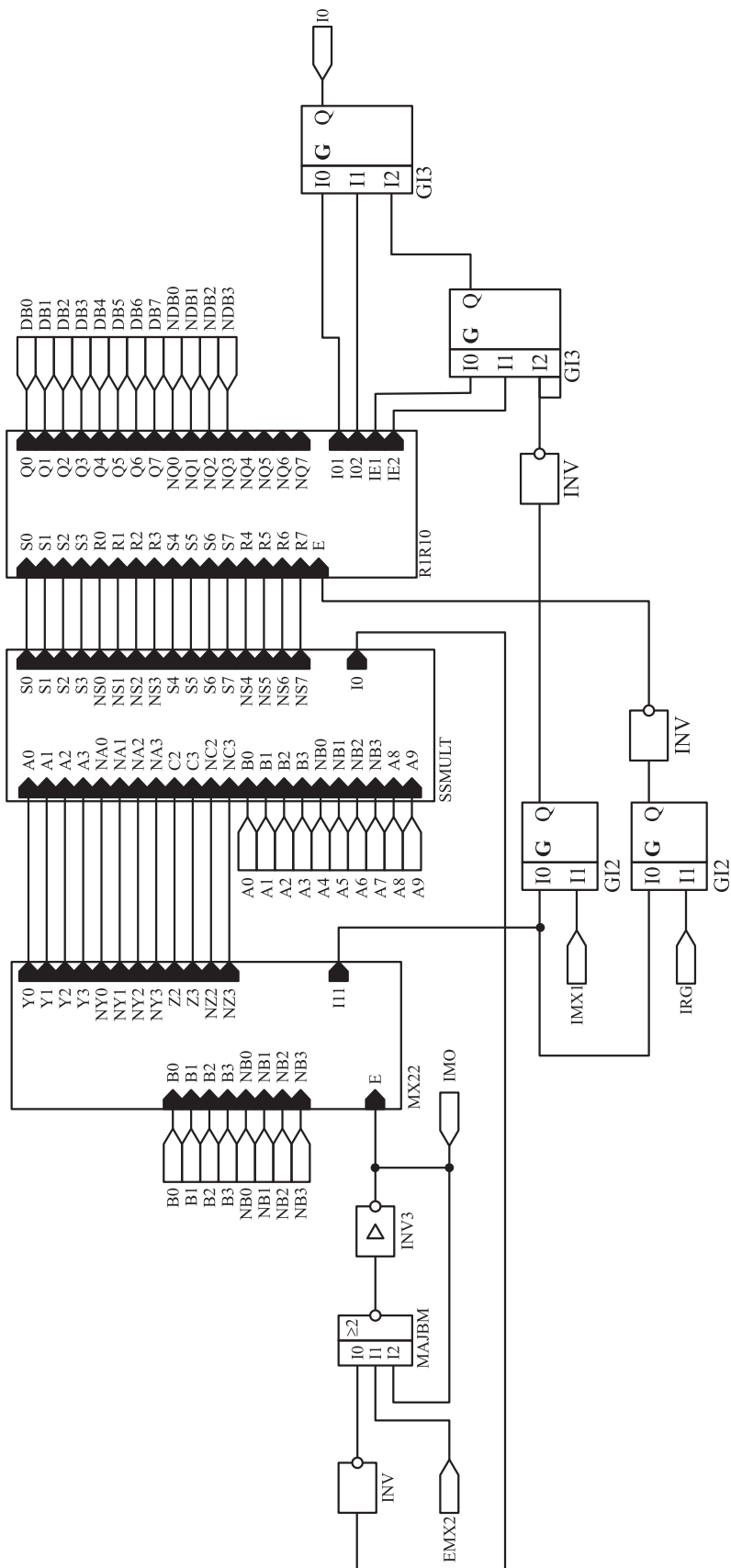


Рис. 9 Умножитель НЗ 4 × 4

На рис. 9 показана реализация умножителя 4×4 [55] в виде НЗ-схемы. Здесь регистр R1R10 используется только на выходе схемы. Основной блок SSMULT является комбинационной схемой, так же как и схема MX22 преобразования бифазного сигнала $\{B[3..0], NB[3..0]\}$ в парафазный. Остальные элементы схемы обеспечивают индцирование схемы умножителя и запрос-ответное взаимодействие блоков умножителя с его окружением.

Использование разных типов кодирования сигналов и произвольного типа спейсера позволяют в большинстве случаев получить менее сложную реализацию НЗ-схемы с более высоким быстродействием.

3.4 Сложность реализации

Сложность реализации NCL-схемы определяется характером индцируемости (наблюдаемости —

observability) и ограниченной номенклатурой схемотехнического базиса. На рис. 10 показаны две реализации схемы, выполняющей функцию $Z = X \oplus Y$ («неравнозначность»): (а) без индцируемости входов на выходе и (б) с индцируемостью [65]. С точки зрения булевой алгебры обе эти реализации оказываются избыточными даже с учетом парафазного кодирования входов и выходов. Сложность их составляет 68 (см. рис. 10, а) и 76 (см. рис. 10, б) КМОП-транзисторов в соответствии с табл. 2.

Для сравнения на рис. 11 приведена функциональная схема НЗ-элемента, идентичного по выполняемым функциям и степени индцируемости входов и выходов схеме на рис. 10, а, и его реализация на КМОП-транзисторах.

Как видно из рис. 11, б, сложность адекватного НЗ-элемента составляет всего лишь 16 транзисторов. Функциональная схема НЗ-элемента, аналогичного схеме на рис. 10, б, показана на рис. 12.

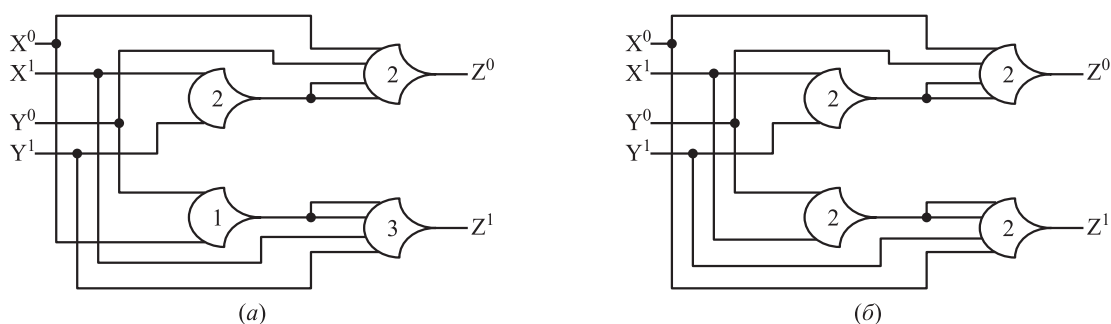


Рис. 10 Схема NCL-элемента «неравнозначность»: без индцируемости входов на выходах (а) и с индцируемостью входов (б)

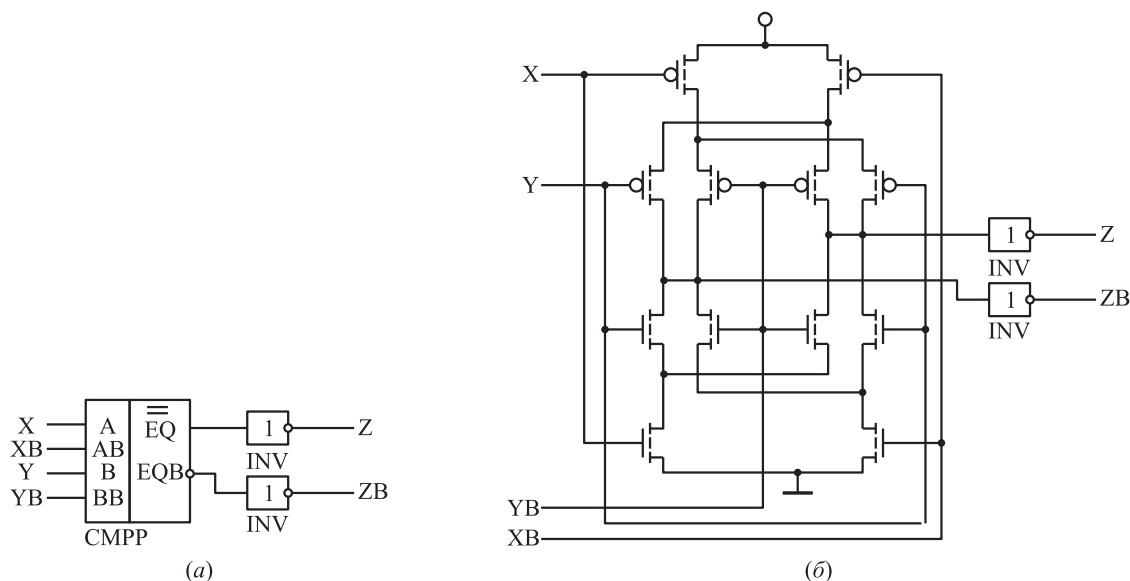


Рис. 11 Функциональная (а) и принципиальная (б) НЗ-схемы «неравнозначность» без индикации входов и выходов

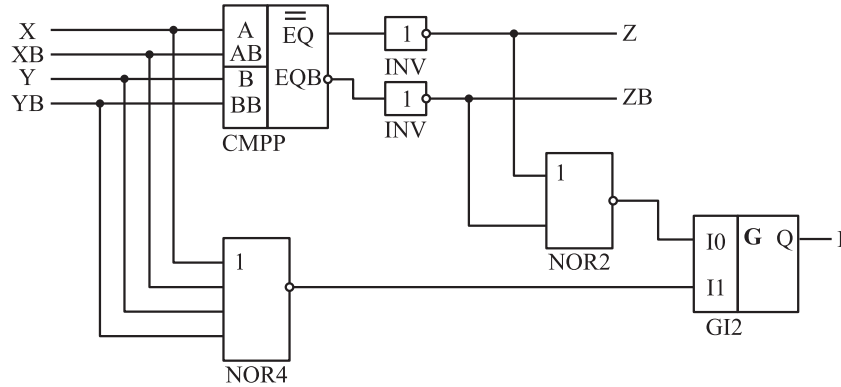


Рис. 12 Схема НЗ «неравнозначность» с индикацией входов и выходов

Сложность ее реализации равна 40 КМОП-транзисторам. Но по сравнению со схемой рис. 10, б она формирует дополнительный выход I, индицирующий все ее входы и выходы. Если схему на рис. 10, б дополнить аналогичной индикацией (элемент TH12), то ее сложность возрастет до 82 транзисторов.

Схемы на рис. 11 и 12 имеют парафазные входы и выходы. Спейсеры входов и выходов совпадают. Спейсер входов и выходов схемы на рис. 11 может быть любым: единичным или нулевым. Спейсер сигналов в схеме на рис. 12 может быть только нулевым. Это определяется элементами NOR4 и NOR2, индицирующими входы и выходы схемы. Если эти элементы заменить элементами NAND4 и NAND2 соответственно, то тип спейсера станет единичным.

Таким образом, НЗ-реализация элемента «неравнозначность» оказывается проще NCL-реализации в 2,05–4,25 раза в зависимости от степени индицируемости входов и выходов.

На рис. 13 представлена оптимизированная функциональная NCL-схема одноразрядного сумматора [65]. Она реализуется схемой из 80 транзисторов, в то время как НЗ-схема однораз-

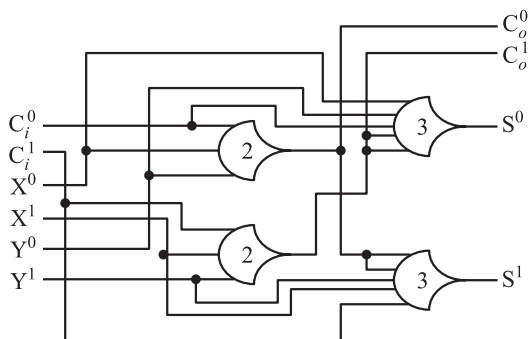


Рис. 13 Функциональная NCL-схема одноразрядного сумматора

рядного полного сумматора (рис. 14) реализуется на 40 транзисторах, что в 2 раза меньше, чем в NCL-схеме сумматора.

Следует отметить, что НЗ-реализация сумматора на рис. 14 индицирует на своих выходах только рабочие состояния входных сигналов. Практика проектирования показала, что этого в ряде случаев достаточно для обеспечения нечувствительности к задержкам схемы с сумматором, так как зачастую входы сумматора в полном объеме или в фазе спейсера индицируются в другом месте.

На рис. 15 показаны соответственно NCL- и НЗ-реализации полного сумматора, имеющие выход I, индицирующий все входы и выходы схемы в полном объеме. Их сравнение показывает, что NCL-реализация содержит 100 транзисторов против 84 у НЗ-реализации.

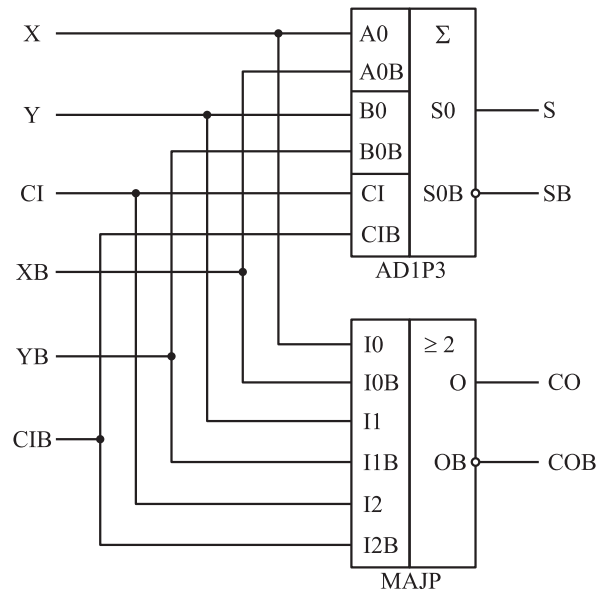


Рис. 14 Функциональная НЗ-схема одноразрядного сумматора

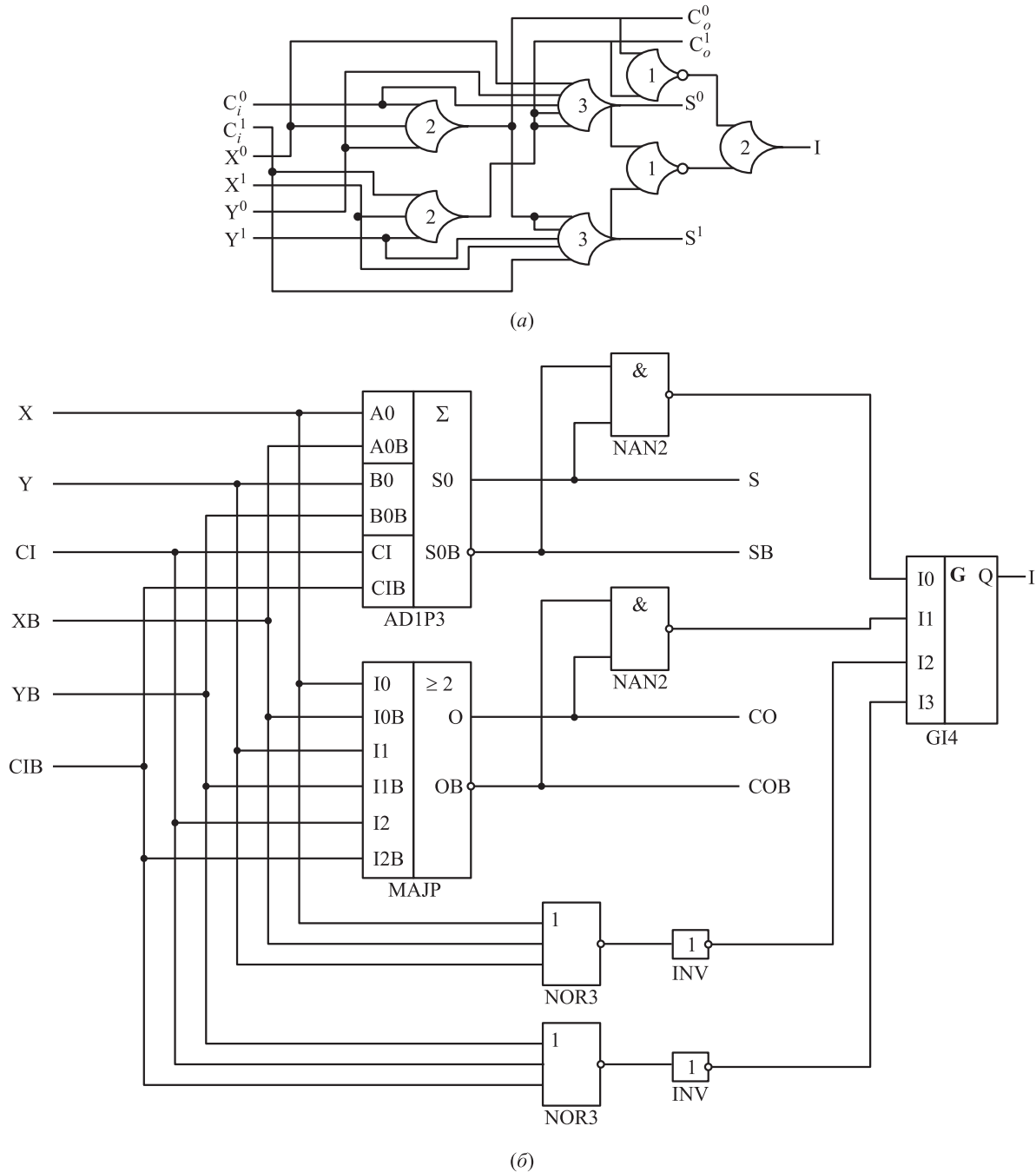


Рис. 15 Схемы сумматора с полной индикацией: (а) NCL; (б) НЗ

Таким образом, реализация полного однорядного сумматора в виде НЗ-схемы оказывается проще NCL-аналога в 1,19–2 раза в зависимости от степени индицируемости входов и выходов в самой схеме.

Комбинационные схемы в NCL-базисе наиболее избыточны в случае, если не требуется индицировать входы на выходах элемента. На практике в комбинационных схемах все или часть входных сигналов служат входами сразу нескольких элемен-

тов (разветвляются). Поэтому гораздо эффективнее индицировать их именно как парафазные входы схемы, а не как входы отдельных элементов. Это дает неоспоримое преимущество НЗ-схемам, поскольку их элементный базис не избыточен в этом отношении.

Рассмотрим NCL- и НЗ-реализации последовательных схем. Однотактный триггер в NCL-схемах реализуется на двух 2-входовых С-элементах со сбросом и элементе 2ИЛИ-НЕ в качестве индикато-

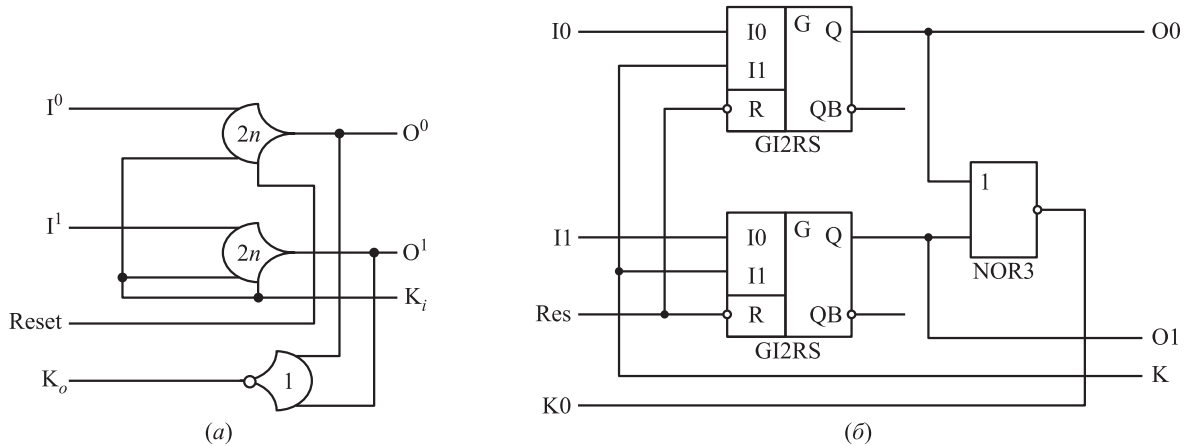


Рис. 16 Функциональная схема однотактного NCL-триггера (а) и H3-триггера с парафазными входами и выходами (б)

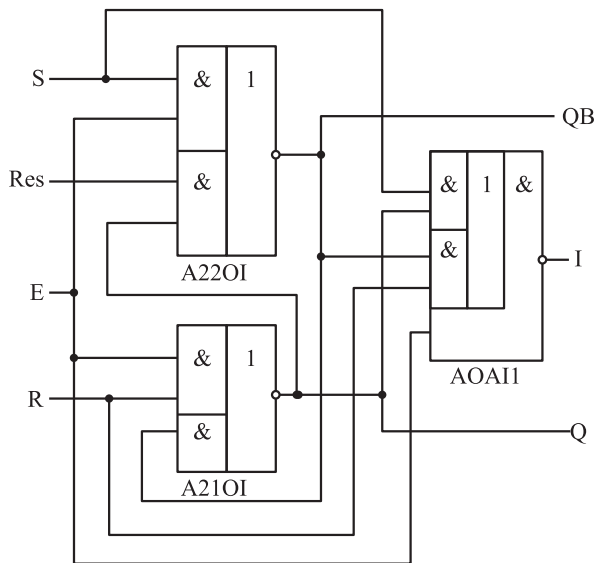


Рис. 17 Функциональная схема однотактного H3-триггера с бифазными входами и выходами

ра, всего 32 транзистора в статическом исполнении (рис. 16, а). Однотактный триггер H3 с аналогичными свойствами показан на рис. 16, б. Его реализация содержит 32 транзистора, как и NCL-аналог.

Однако в H3-схемах обычно используется другой принцип хранения и передачи информации между соседними устройствами: бифазные или унарные информационные сигналы с сопровождающим их сигналом управления. Поэтому однотактный триггер имеет другую схемотехническую реализацию, представленную на рис. 17. У него бифазные информационные входы (R, S), вход асинхронного сброса (Res) и вход управления (E), бифазный информационный выход (Q, QB) и индикаторный выход (I). Такая реализация однотакт-

ного триггера требует 24 транзистора — в 1,33 раза меньше, чем NCL-реализация.

Двухтактный NCL-триггер реализуется на двух однотактных триггерах. И в этом случае H3-реализация оказывается в 1,33 раза проще по числу транзисторов. Следовательно, регистры хранения и сдвига, реализуемые на однотактных и двухтактных триггерах, в H3-исполнении будут примерно на треть проще, чем в NCL-исполнении.

Рисунок 18 демонстрирует NCL-схему двоичного счетчика [75, рис. 36]. Она вынужденно включает в себя комбинационную схему увеличения текущего состояния счетчика на «1» и три регистра на однотактных триггерах с асинхронным сбросом.

На рис. 19 показана оптимизированная NCL-реализация комбинационной части счетчика. Отсутствие счетных триггеров в составе библиотеки NCL-элементов приводит к существенным аппаратным затратам при реализации счетчика. Аналогичный четырехразрядный двоичный H3-счетчик показан на рис. 20. В нем используется счетный триггер C0R [69], функциональная схема которого показана на рис. 21. Сравнительный анализ схем NCL- и H3-счетчиков показывает, что по числу транзисторов, требующихся для реализации счетчика, H3-вариант проще NCL-варианта в 4,49 раза (134 транзистора против 602), так как использование триггера C0R в составе счетчика исключило необходимость применения регистров для накопления и хранения результата. Следовательно, и по энергопотреблению он будет намного эффективнее.

Сравнение реализаций аппаратного однотактного умножителя 4×4 без знака в NCL [75, рис. 59] и H3 [55] базисах также подтверждает преимущество H3-варианта, сложность которого составляет

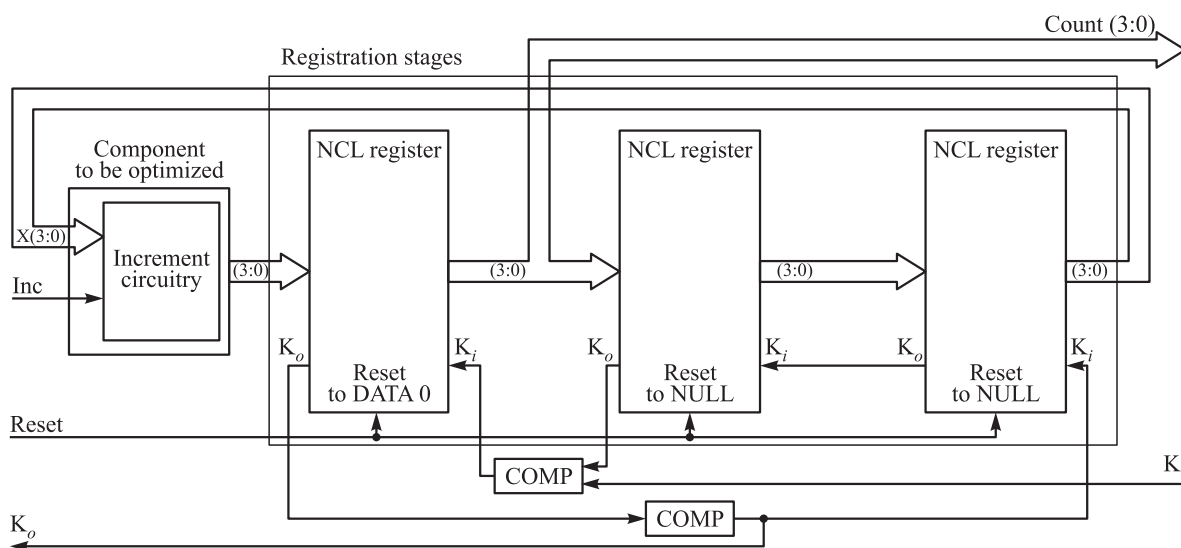


Рис. 18 Функциональная NCL-схема четырехразрядного счетчика

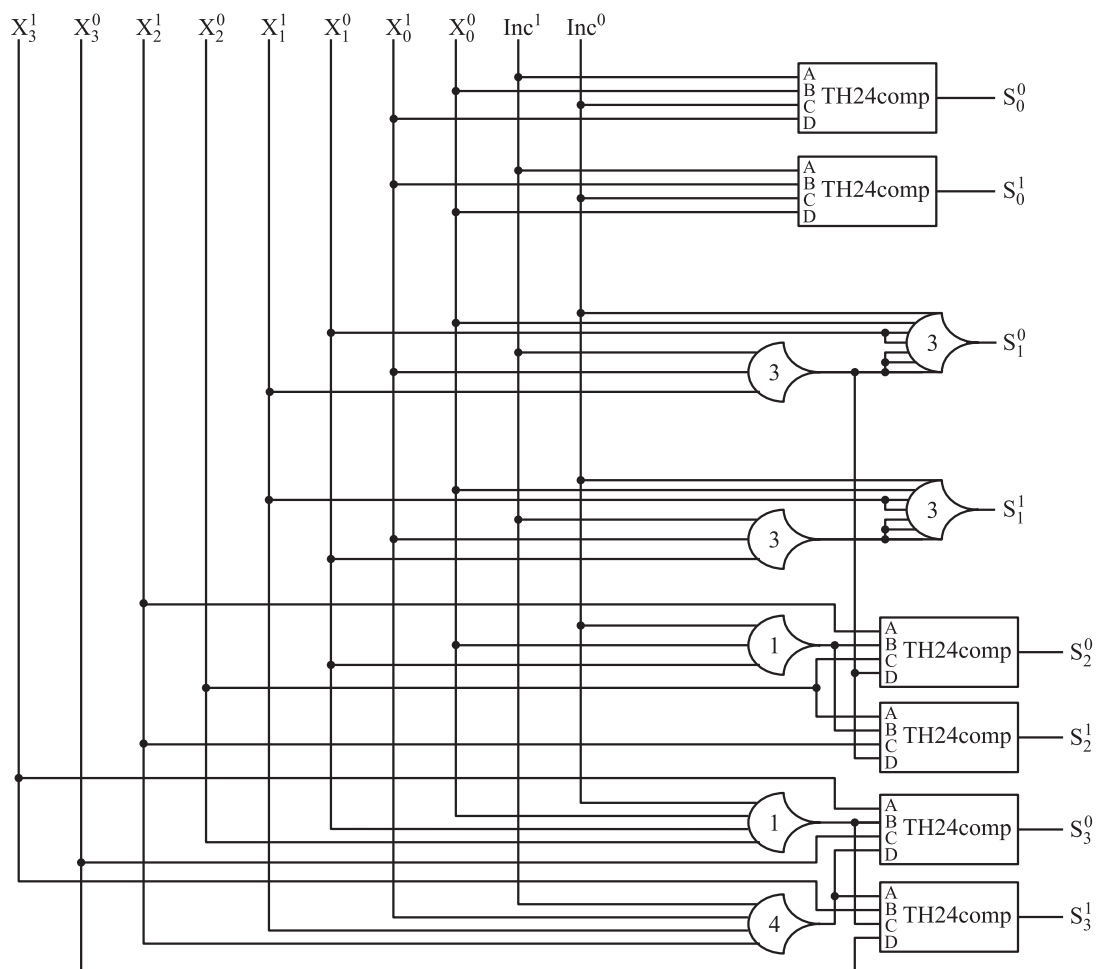


Рис. 19 Комбинационная часть NCL-счетчика (блок Increment circuitry)

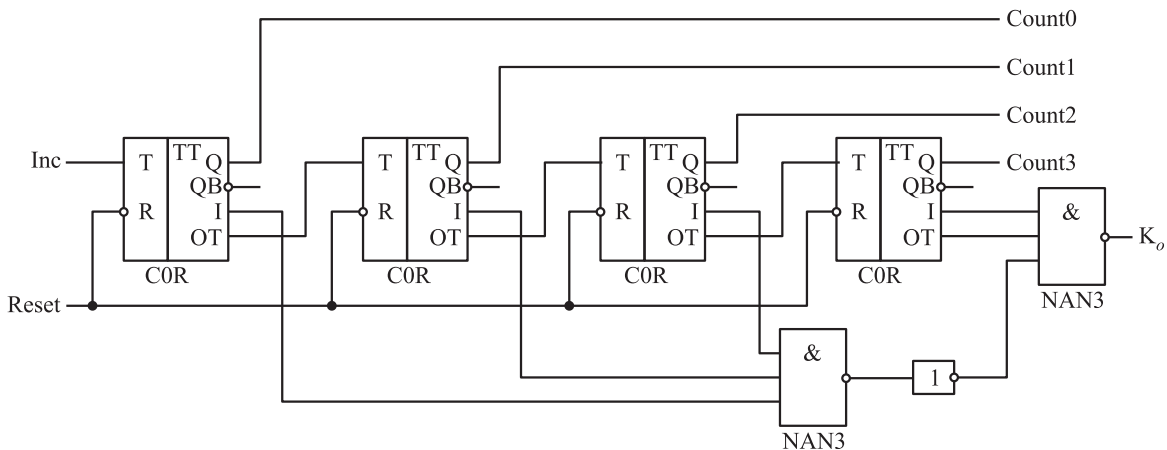


Рис. 20 Функциональная схема НЗ-счетчика

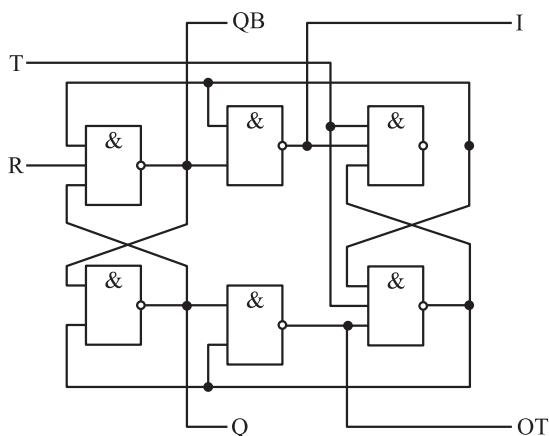


Рис. 21 Функциональная схема НЗ-элемента C0R

1558 транзисторов, в то время как сложность NCL-варианта равна 1766 транзисторам.

Таким образом, проектирование арифметических устройств в НЗ-базисе оказывается намного эффективнее, чем в NCL-базисе. Из-за ограниченности функционального элементного базиса и типов кодирования информационных сигналов NCL-схемы получаются более сложными (четырёхразрядный счетчик — в 4,49 раза, умножитель 4×4 без знака — в 1,13 раза), а следовательно, и более энергопотребляющими.

Схемы NCL имеют неоспоримые преимущества в сравнении с НЗ-схемами:

1. При реализации комбинационных схем они не требуют индикации каждого элемента схемы. Достаточно проиндексировать только ее последние ярусы, если каждый элемент полностью индицирует все свои входы на своих выходах.
2. Строгое соблюдение парафазной дисциплины с нулевым спейсером (NULL) существенно упрощает построение сложных NCL-схем.

3. Благодаря использованию единственного способа кодирования информационных сигналов и единственного спейсера процесс проектирования NCL-схем легче поддается формализации и автоматизации. В настоящее время уже существует как минимум два программных средства синтеза NCL-схем по формальному описанию на специальном языке — BALSА [76] и UNCLЕ [77].

Однако NCL-схемы обладают и существенными недостатками по сравнению с НЗ-схемами:

1. Индикация входов на выходах в каждом элементе приводит к большой избыточности аппаратных затрат.
2. Ограниченность элементного базиса, использование единственного способа кодирования информационных сигналов и единственного спейсера не позволяют получать более компактные реализации последовательных схем.
3. Вследствие аппаратной избыточности и наличия инвертора на выходе каждого элемента ухудшается быстродействие и увеличивается энергопотребление.

4 Заключение

Несмотря на изначально более сложную аппаратную реализацию НЗ-схем по сравнению с синхронными аналогами (до 2,1 раза для регистровых структур и до 2,5 раза для комбинационных структур), НЗ-схемы обеспечивают более высокое быстродействие аппаратуры в реальных условиях. В ряде случаев они обладают и существенно меньшим энергопотреблением. Поэтому применение НЗ-схемотехники может быть оправдано даже в

областях, где высокая надежность функционирования не является определяющей, но требуется высокое реальное быстродействие или низкое энергопотребление.

Типовые вычислительные устройства, реализованные в базисе НЗ-схем, оказываются в 1,5–2 раза лучше своих синхронных аналогов по энергетической эффективности (отношению энергии потребления к производительности) и в 1,7–2,6 раза лучше по производительности в реальных условиях. По добротности, учитывающей энергию потребления, производительность и допустимые диапазоны напряжения питания и температуры окружающей среды, НЗ-схемы оказываются лучше синхронных аналогов в 15–18 раз.

Наиболее предпочтительно применение НЗ-схемотехники в высоконадежных отказоустойчивых системах реального времени. Результаты испытаний отказоустойчивых вариантов исполнения ПП-порта показали, что НЗ-исполнение по сравнению с синхронной реализацией характеризуется лучшими показателями по всем параметрам: в 1,2 раза по быстродействию и по аппаратным затратам, в 1,3 раза по энергетической эффективности и в 18 раз по добротности.

Независимо от сложности реализации НЗ-схемы зона ее работоспособности определяется физическими характеристиками транзисторов. Она гораздо шире зоны работоспособности традиционных С-схем с фиксированной частотой синхронизации и превышает аналогичную зону С-схем с адаптивной частотой синхронизации.

Маршрут проектирования НЗ-схем поддерживается разработанными в ИПИ РАН программными средствами:

- синтеза относительно простых НЗ-схем (СИНТАБИБ, СИНКОМБ);
- анализа разрабатываемой схемы на возможное нарушение принципов построения НЗ-схем (АСИАН [78], АСПЕКТ [50], САМАН, ФАЗАН).

Эти программные средства обеспечивают безошибочное проектирование НЗ-устройств и гарантируют принадлежность разрабатываемой схемы к классу НЗ-схем. Программы анализа способны обработать достаточно сложные цифровые устройства, например 64-разрядное АЛУ.

Результаты практических исследований представителей различных подклассов СС-схем подтвердили декларированные теоретически преимущества НЗ-схем по зоне работоспособности, быстродействию и энергетической эффективности по сравнению с синхронными аналогами.

Схемы НЗ, разрабатываемые в соответствии с методологией, продвигаемой ИПИ РАН, обладают меньшими аппаратными затратами (в 4,49 раза при реализации двоичного счетчика, в 1,13 раза при реализации умножителя 4×4 , до 2 раз при реализации более простых логических схем), большей производительностью и меньшим энергопотреблением по сравнению с NCL-схемами. Поэтому именно их целесообразно использовать в качестве схемотехнического базиса для проектирования и изготовления супер-ЭВМ эксафлопсного класса: они обеспечат пониженное энергопотребление и высокую надежность проектируемых цифровых устройств любой сложности.

Литература

1. *Varshavsky V.* Time, timing and clock in massively parallel computing systems // Conference (International) on Massively Parallel Computing Systems Proceedings. — Colorado Springs, 1998. P. 100–106.
2. *Beerel P., Cortadella J., Kondratyev A.* Bridging the gap between asynchronous design and designers (Tutorial) // VLSI Design Conference Proceedings. — Mumbai, 2004. P. 18–20.
3. *Muller D., Bartky W.* A theory of asynchronous circuits // Annals of Computation Laboratory of Harvard University, 1959. Vol. 29. P. 204–243.
4. *Muller D. E.* Asynchronous logics and application to information processing // Switching theory in space technology. — Stanford, CA: Stanford University Press, 1963. P. 289–297.
5. *Seitz C. L.* System timing // Introduction to VLSI Systems. — Reading, MA: Addison-Wesley, 1980. P. 218–262.
6. *Singh N. P.* A design methodology for self-timed systems. Master's Thesis. MIT/LCS/TR-258. — MIT, Laboratory for Computer Science, 1981. 98 p.
7. *Martin A. J.* Compiling communicating processes into delay-insensitive VLSI circuits // Distrib. Comput., 1986. Vol. 1. No. 4. P. 226–234.
8. *Anantharaman T. S.* A delay insensitive regular expression recognizer // IEEE VLSI Techn. Bull., 1986. Vol. 1. No. 2. P. 4.
9. *Martin A. J.* Programming in VLSI // Development in concurrency and communication. — Reading, MA: Addison-Wesley, 1990. P. 1–64.
10. *Van Berkel K.* Beware the isochronic fork // Integration, VLSI J., 1992. Vol. 13. No. 2. P. 103–128.
11. *David I., Ginosar R., Yoeli M.* An efficient implementation of Boolean functions as self-timed circuits // IEEE Trans. Comput., 1992. Vol. 41. No. 1. P. 2–10.
12. *Sparso J., Staunstrup J., Dantzer-Sorensen M.* Design of delay insensitive circuits using multi-ring structures // European Design Automation Conference Proceedings, 1992. P. 15–20.

13. *Hauck S.* Asynchronous design methodologies: An overview // Proc. IEEE, 1995. Vol. 83. No. 1. P. 69–93.
14. *Fant K. M., Brandt S. A.* NULL convention logic: A complete and consistent logic for asynchronous digital circuit synthesis // Conference (International) on Application Specific Systems, Architectures, and Processors Proceedings, 1996. P. 261–273.
15. *Paver N. C., Day P., Farnsworth C., Jackson D. L., Lien W. A., Liu J.* A low-power, low-noise, configurable self-timed DSP // ASYNC'98: 4th Symposium (International) on Advanced Research in Asynchronous Circuits and Systems Proceedings, 1998. P. 32–42.
16. *Laiho M., Vianio O.* A full-custom self-timed DSP processor implementation // European Solid-State Circuits Conference Proceedings, 1997. <http://www.imec.be/esscirc/papers-97/172.pdf>.
17. *Matsubara G., Ide N., Tago H., Suzuki S., Goto N.* 30-m 55-b shared Radix 2 Division and square root using a self-timed circuit // ARITH'95: 12th Symposium on Computer Arithmetic Proceedings, 1995. P. 98–105.
18. *Garside J. D., Bainbridge W. J., Bardsley A., et al.* AMULET3i — an asynchronous system-on-chip // ASYNC-2000 Proceedings. — Eilat, Israel, 2000. P. 162–175.
19. *Bink A., York R.* ARM996HS: The first licensable, clockless 32-bit processor core // IEEE Micro, 2007. Vol. 27. No. 2. P. 58–68.
20. *Martin A. J., Nyström M., Wong C. G.* Three generations of asynchronous microprocessors // IEEE Des. Test Comput., 2003. Vol. 20. No. 6. P. 9–17.
21. Handshake Solutions HT80C51 User Manual. http://www.keil.com/dd/docs/datashts/handshake/ht80c51_um.pdf.
22. TIMA Laboratory Annual Report 2006. 2007. http://tima.imag.fr/publications/files_reports/ann-rep-06.pdf.
23. *Gang J., Lei W., Zhiying W.* The design of asynchronous microprocessor based on optimized NCLX design-flow // IEEE Conference (International) on Networking, Architecture and Storage Proceedings, 2009. P. 357–364.
24. *Ramaswamy S., Rockett L., Patel D., Danziger S., Manohar R., Kelly C. W., Holt J. L., Ekanayake V., Elftmann D.* A radiation hardened reconfigurable FPGA // IEEE Aerospace Conference Proceedings, 2009. P. 1–10.
25. Аperiodические автоматы / Под ред. В. И. Варшавского. — М.: Наука, 1976. 424 с.
26. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В. И. Варшавского. — М.: Наука, 1986. 400 с.
27. *Varshavsky V., Kishinevsky M., Marakhovskiy V., et al.* Self-timed control of concurrent processes. — Dordrecht, The Netherlands: Kluwer Acad. Publs., 1990. 245 p.
28. *Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V.* Concurrent hardware: The theory and practice of self-timed design. — N.Y.: John Wiley & Sons, 1994. 368 p.
29. *Филин А. В., Степченков Ю. А.* Компьютеры без синхронизации // Системы и средства информатики, 1999. Вып. 9. С. 247–261.
30. *Степченков Ю. А., Дьяченко Ю. Г., Петрухин В. С., Филин А. В.* Цена реализации уникальных свойств самосинхронных схем // Системы и средства информатики, 1999. Вып. 9. С. 261–292.
31. *Степченков Ю. А., Дьяченко Ю. Г., Петрухин В. С., Филин А. В.* Самосинхронная схемотехника — альтернатива синхронной // Электронный сборник научных трудов сотрудников ОИВТА РАН. Разд. Элементная база, 1999. 10 с. http://samosinhron.ru/files/articles/native/sss_alternative_1999.DOC.
32. *Плеханов Л. П., Степченков Ю. А.* Экспериментальная проверка некоторых свойств строго самосинхронных электронных схем // Системы и средства информатики, 2006. Вып. 16. С. 476–485.
33. *Степченков Ю. А., Петрухин В. С., Дьяченко Ю. Г.* Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле // Нано- и микросистемная техника, 2006. № 5. С. 29–36.
34. *Степченков Ю. А., Дьяченко Ю. Г., Петрухин В. С.* Самосинхронные последовательностные схемы: опыт разработки и рекомендации по проектированию // Системы и средства информатики, 2007. Вып. 17. С. 503–529.
35. *Соколов И. А., Степченков Ю. А., Петрухин В. С., Дьяченко Ю. Г., Захаров В. Н.* Самосинхронная схемотехника — перспективный путь реализации аппаратуры // Системы высокой доступности, 2007. Т. 3. № 1-2. С. 61–72.
36. *Степченков Ю. А., Дьяченко Ю. Г., Петрухин В. С., Плеханов Л. П.* Самосинхронные схемы — ключ к построению эффективной и надежной аппаратуры долговременного действия // Системы высокой доступности, 2007. Т. 3. № 1-2. С. 73–88.
37. *Дьяченко Ю. Г., Степченков Ю. А., Бобков С. Г.* Квазисамосинхронный вычислитель: методологические и алгоритмические аспекты // Проблемы разработки перспективных микро- и наноэлектронных систем: Мат-лы конф. — М.: ИППМ РАН, 2008. С. 441–446.
38. *Stepchenkov Y., Diachenko Y., Zakharov V., Rogdestvenski Y., Morozov N., Stepchenkov D.* Quasi-delay-insensitive computing device: Methodological aspects and practical implementation // PATMOS'2009: Workshop (International) on Power and Timing Modeling, Optimization and Simulation Proceedings. — Delft, The Netherlands, 2009. P. 276–285.
39. *Степченков Ю. А., Дьяченко Ю. Г., Плеханов Л. П., Грифельд Ф. И., Степченков Д. Ю.* Самосинхронный двухтактный D-триггер с высоким активным уровнем сигнала управления: Патент РФ № 2365031 // Офиц. бюлл. «Изобретения (заявки и патенты)». — М.: ВНИИПИ, 2009. № 23. 9 с.
40. *Степченков Ю. А., Дьяченко Ю. Г., Рождественские А. В., Морозов Н. В., Петрухин В. С.* Самосинхронный двухтактный D-триггер с низким активным уровнем сигнала управления: Патент на изобретение № 2366080 // Офиц. бюлл. «Изобретения (заявки и патенты)». — М.: ВНИИПИ, 2009. № 24. 9 с.

41. Дьяченко Ю. Г., Степченков Ю. А., Гринфельд Ф. И. Г-триггер с парафазными входами с нулевым спейсером: Патент на изобретение № 2366081 // Официальный бюллетень «Изобретения (заявки и патенты)». — М.: ВНИИПИ, 2009. № 24. 7 с.
42. Степченков Ю. А., Дьяченко Ю. Г., Плеханов Л. П., Денисов А. Н., Филимоненко О. П. Самосинхронный триггер для связи с удаленным приемником: Патент РФ № 2382487 // Официальный бюллетень «Изобретения (заявки и патенты)». — М.: ВНИИПИ, 2010. № 5. 7 с.
43. Степченков Ю. А., Дьяченко Ю. Г., Рождественский Ю. Г., Петрухин В. С. Однотактный самосинхронный RS-триггер с предустановкой: Патент РФ № 2390092 // Официальный бюллетень «Изобретения (заявки и патенты)». — М.: ВНИИПИ, 2010. № 14. 18 с.
44. Степченков Ю. А., Дьяченко Ю. Г., Захаров В. Н., Гринфельд Ф. И. Двухтактный самосинхронный RS-триггер с предустановкой и входом управления: Патент РФ № 2390093 // Официальный бюллетень «Изобретения (заявки и патенты)». — М.: ВНИИПИ, 2010. № 14. 20 с.
45. Степченков Ю. А., Дьяченко Ю. Г., Степченков Д. Ю., Плеханов Л. П. Двухтактный самосинхронный RS-триггер с предустановкой: Патент РФ № 2390923 // Официальный бюллетень «Изобретения (заявки и патенты)». — М.: ВНИИПИ, 2010. № 15. 20 с.
46. Степченков Ю. А., Дьяченко Ю. Г., Морозов Н. В., Филин А. В. Однотактный самосинхронный RS-триггер с предустановкой и входом управления: Патент РФ № 2391772 // Официальный бюллетень «Изобретения (заявки и патенты)». — М.: ВНИИПИ, 2010. № 16. 18 с.
47. Степченков Ю. А., Дьяченко Ю. Г., Плеханов Л. П. Двоичный самосинхронный счетчик с предустановкой: Патент РФ № 2392735 // Официальный бюллетень «Изобретения (заявки и патенты)». — М.: ВНИИПИ, 2010. № 17. 11 с.
48. Соколов И. А., Степченков Ю. А., Дьяченко Ю. Г. Самосинхронный триггер с однофазным информационным входом: Патент № 2405246 // Официальный бюллетень «Изобретения (заявки и патенты)». — М.: ВНИИПИ, 2010. № 33. 32 с.
49. Степченков Ю. А., Дьяченко Ю. Г., Рождественский Ю. В., Морозов Н. В., Степченков Д. Ю. Разработка вычислителя, не зависящего от задержек элементов // Системы и средства информатики, 2010. Вып. 20. № 1. С. 5–23.
50. Рождественский Ю. В., Морозов Н. В., Рождественская А. В. АСПЕКТ: Подсистема событийного анализа самосинхронных схем // Проблемы разработки перспективных микро- и нанoeлектронных систем: IV Всероссийский науч.-технич. конф. (МЭС-2010): Сб. науч. тр. — М.: ИППМ РАН, 2010. С. 26–31.
51. Степченков Ю. А., Дьяченко Ю. Г., Рождественский Ю. В., Морозов Н. В., Степченков Д. Ю. Самосинхронный вычислитель для высоконадежных применений // Проблемы разработки перспективных микро- и нанoeлектронных систем: IV Всероссийский науч.-технич. конф. (МЭС-2010): Сб. науч. тр. — М.: ИППМ РАН, 2010. С. 418–423.
52. Плеханов Л. П. Разработка самосинхронных схем: функциональный подход // Проблемы разработки перспективных микро- и нанoeлектронных систем: IV Всероссийский науч.-технич. конф. (МЭС-2010): Сб. науч. тр. — М.: ИППМ РАН, 2010. С. 424–429.
53. Соколов И. А., Степченков Ю. А., Дьяченко Ю. Г. Самосинхронный RS-триггер с повышенной помехоустойчивостью (варианты): Патент РФ № 2427955 // Официальный бюллетень «Изобретения (заявки и патенты)». — М.: ВНИИПИ, 2011. № 24. 42 с.
54. Степченков Ю. А., Дьяченко Ю. Г., Плеханов Л. П., Петрухин В. С., Степченков Д. Ю. Комбинированный Г-триггер с единичным спейсером: Патент РФ № 2434318 // Официальный бюллетень «Изобретения (заявки и патенты)». — М.: ВНИИПИ, 2011. № 32. 10 с.
55. Степченков Ю. А., Дьяченко Ю. Г., Горелкин Г. А. Самосинхронные схемы — будущее микроэлектроники // Вопросы радиоэлектроники, 2011. Вып. 2. С. 153–184.
56. Степченков Ю. А., Дьяченко Ю. Г., Рождественский Ю. В., Морозов Н. В. Анализ на самосинхронность некоторых типов цифровых устройств // Системы и средства информатики, 2011. Вып. 21. № 1. С. 74–83.
57. Плеханов Л. П. Основы самосинхронных электронных схем. — М.: Бином, 2013. 208 с.
58. IEEE Computer Society. IEEE Standard for Floating-Point Arithmetic IEEE Std 754-2008. doi:10.1109/IEEESTD.2008.4610935.
59. Karthik S., de Souza I., Rahmeh J., Abraham J. Interlock schemes for micropipelines: Application to a self-timed rebound sorter // Conference (International) on Computer Design Proceedings. — Cambridge, 1991. P. 393–396.
60. Liebchen A., Gopalakrishnan G. Dynamic reordering of high latency transactions using a modified micropipeline // Conference (International) on Computer Design Proceedings. — Cambridge, 1992. P. 336–340.
61. Payne R. Self-timed FPGA systems // 5th Workshop (International) on Field Programmable Logic and Applications Proceedings. — Berlin/Heidelberg: Springer, 1995. P. 21–35.
62. Sobelman G. E., Fant K. CMOS circuit design of threshold gates with hysteresis // Symposium (International) on Circuits and Systems Proceedings, 1998. P. 61–64.
63. Weng N., Yuan J. S., DeMara R. F., Ferguson D., Hagedorn M. Glitch power reduction for low power IC design // 9th Annual NASA Symposium on VLSI Design Proceedings. — Albuquerque, 2000. P. 7.5.1–7.5.7.
64. Smith S. C. Completion-completeness for NULL convention digital circuits utilizing the bit-wise completion strategy // Conference (International) on VLSI Proceedings. — Las Vegas, 2003. P. 143–149.
65. Smith S. C., DeMara R. F., Yuan J. S., Ferguson D., Lamb D. Optimization of NULL convention self-timed circuits // Integration, VLSI J., 2004. Vol. 37. No. 3. P. 135–165.

66. *Fant K. M.* Logically determined design: Clockless system design with NULL convention logic. — N.Y.: John Wiley & Sons, 2005. 292 p.
67. *Smith S. C.* Development of a large word-width high-speed asynchronous multiply and accumulate unit // *Integration, VLSI J.*, 2005. Vol. 39. No. 1. P. 12–28.
68. *Smith S. C., Jia Di.* Designing asynchronous circuits using NULL Convention Logic (NCL) // *Synthesis Lectures Digital Circuits Syst.*, 2009. Vol. 4. No. 1. P. 61–73.
69. *Степченко Ю. А., Денисов А. Н., Дьяченко Ю. Г., Гриinfeld Ф. И., Филимонок О. П., Фомин Ю. П.* Библиотека элементов БМК для критических областей применения // *Системы и средства информатики*, 2004. Вып. 14. С. 318–361.
70. *Степченко Ю. А., Денисов А. Н., Дьяченко Ю. Г. и др.* Библиотека самосинхронных элементов для технологии БМК // *Проблемы разработки перспективных микроэлектронных систем* — 2006. — М.: ИППМ РАН, 2006. С. 259–264.
71. *Морозов Н. В., Степченко Ю. А., Дьяченко Ю. Г., Степченко Д. Ю.* Функциональная полузаказная библиотека самосинхронных элементов ML03: Свид. № 2010611908 от 12.03.10.
72. *Sokolov I. A., Stepchenkov Y. A., Dyachenko Y. G.* Self-timed RS-trigger with the enhanced noise immunity: U.S. Patent No. 8232825. 31 p.
73. Artisan Components. Chartered Semiconductor 0.18 μm IB Process 1.8-Volt SAGE-XTM Standard Cell Library Databook. Release 1.0. 2003. 313 p.
74. *Дьяченко Ю. Г., Морозов Н. В., Степченко Д. Ю.* Характеризация псевдодинамических элементов // *Проблемы разработки перспективных микро- и наноэлектронных систем: IV Всеросс. науч.-технич. конф. (МЭС-2010): Сб. науч. тр.* — М.: ИППМ РАН, 2010. С. 32–35.
75. Gate and throughput optimizations for null convention self timed digital circuits. <http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.118.7825&rep=rep1&type=pdf>.
76. *Edwards D., Bardsley A., Jani L., Plana L., Toms W.* Balsa: A tutorial guide. Version V3.5 — Manchester, 19/5/06. 157 p. <ftp://ftp.cs.man.ac.uk/pub/apt/balsa/3.5/BalsaManual3.5.pdf>.
77. *Reese R. B.* UNCLE (Unified NCL Environment): Technical Report MSU-ECE-10-001. <http://www.ece.msstate.edu/~reese/uncle/UNCLE.pdf>.
78. *Рождественский Ю. В., Морозов Н. В., Степченко Ю. А., Рождественскене А. В.* Универсальная подсистема анализа самосинхронных схем // *Системы и средства информатики*. — М.: Наука, 2006. Вып. 16. С. 463–475.

Поступила в редакцию 29.08.13

IMPLEMENTATION BASIS OF EXAFLOPS CLASS SUPERCOMPUTER

I. Sokolov¹, Y. Stepchenkov¹, S. Bobkov², V. Zakharov¹, Y. Diachenko¹, Y. Rogdestvenski¹, and A. Surkov²

¹Institute of Informatics Problems, Russian Academy of Sciences, Moscow 119333, 44-2 Vavilov Str., Russian Federation

²Scientific Research Institute for System Studies, Russian Academy of Sciences, 36 bld. 1, Nakhimovsky Prosp., Moscow 117218, Russian Federation

Abstract: The paper deals with choice of a circuitry basis for implementation of microprocessors and communication environment of exaflops supercomputers. A comparative analysis of the characteristics of the digital circuits with different complexity which are implemented in the synchronous basis as well as in the self-timed (ST) one was performed. It has proved the fundamental advantages of ST circuits comparing to synchronous analogues: absence of hazards, a maximum reachable operability range, high performance, and relatively low power consumption. Transforming any synchronous circuit into its quasi-ST or ST implementation leads to extension of its operability range independently of its complexity. The advantages of ST circuits show up to the maximum extent when they are used for designing reliable equipment. Various methodologies of ST circuits development are discussed. A comparative analysis of ST circuit implementation in the generic basis of the delay-insensitive circuits that is suggested by the authors and in the NULL Convention Logic circuit basis is performed. It is demonstrated that the suggested basis makes it possible to synthesize the circuits with the best parameters of performance, complexity, and power consumption while developing standard digital circuits serving as the basis for designing high end computing systems and hardware.

Keywords: synchronous circuits; self-timed circuits; delay-insensitivity; NULL Convention Logic; performance; power consumption; fault tolerance

DOI: 10.14357/19922264140106

Acknowledgments

This project was financially supported by the Russian Foundation for Basic Research (projects 13-07-12062 ofi_m and 13-07-12068 ofi_m) and partially supported by the Program of Basic Research of the RAS Department for Nanotechnologies and Information Technologies in 2013 (project 1.5).

References

- Varshavsky, V. 1998. Time, timing and clock in massively parallel computing systems. *Conference (International) on Massively Parallel Computing Systems Proceedings*. Colorado Springs. 100–106.
- Beerel, P., J. Cortadella, and A. Kondratyev. 2004. Bridging the gap between asynchronous design and designers (Tutorial). *VLSI Design Conference Proceedings*. Mumbai. 18–20.
- Muller, D., and W. Bartky. 1959. A theory of asynchronous circuits. *Annals of Computation Laboratory of Harvard University*. 29:204–243.
- Muller, D. E. 1963. Asynchronous logics and application to information processing. *Switching theory in space technology*. Stanford, CA: Stanford University Press. 289–297.
- Seitz, C. L. 1980. System timing. *Introduction to VLSI Systems*. Addison-Wesley. 218–262.
- Singh, N. P. 1981. A design methodology for self-timed systems. Cambridge: MIT Laboratory for Computer Science, MIT. M.Sc. Thesis. 98 p.
- Martin, A. J. 1986. Compiling communicating processes into delay-insensitive VLSI circuits. *Distrib. Comput.* 1(4):226–234.
- Anantharaman, T. S. 1986. A delay insensitive regular expression recognizer. *IEEE VLSI Technical Bulletin* 1(2):4.
- Martin, A. J. 1990. Programming in VLSI. *Development in concurrency and communication*. Reading, MA: Addison-Wesley. 1–64.
- Van Berkel, K. 1992. Beware the isochronic fork. *Integration, VLSI J.* 13(2):103–128.
- David, I., R. Ginosar, and M. Yoeli. 1992. An efficient implementation of Boolean functions as self-timed circuits. *IEEE Trans. Comput.* 41(1):2–11.
- Sparso, J., J. Staunstrup, and M. Dantzer-Sorensen. 1992. Design of delay insensitive circuits using multi-ring structures. *European Design Automation Conference Proceedings*. Hamburg. 15–20.
- Hauck, S. 1995. Asynchronous design methodologies: An overview. *Proc. IEEE* 83(1):69–93.
- Fant, K. M., and S. A. Brandt. 1996. NULL convention logic: A complete and consistent logic for asynchronous digital circuit synthesis. *Conference (International) on Application Specific Systems, Architectures, and Processors Proceedings*. Chicago. 261–273.
- Paver, N. C., P. Day, C. Farnsworth, D. L. Jackson, W. A. Lien, and J. Liu. 1998. A low-power, low-noise, configurable self-timed DSP. *4th Symposium (International) on Advanced Research in Asynchronous Circuits and Systems Proceedings*. San-Diego. 32–42.
- Laiho, M., and O. Vianio. 1997. A full-custom self-timed DSP processor implementation. *European Solid-State Circuits Conference Proceedings*. Available at: <http://www.imec.be/esscirc/papers-97/172.pdf> (accessed August 18, 2013).
- Matsubara, G., N. Ide, H. Tago, S. Suzuki, and N. Goto. 1995. 30-ns 55-b shared Radix 2 Division and square root using a self-timed circuit. *12th Symposium on Computer Arithmetic Proceedings*. 98–105.
- Garside, J. D., W. J. Bainbridge, A. Bardsley, et al. 2000. AMULET3i — an asynchronous system-on-chip. *6th IEEE Symposium (International) on Asynchronous Circuits and Systems Proceedings*. Eilat. 162–175.
- Bink, A., and R. York. 2007. ARM996HS: The first licensable, clockless 32-bit processor core. *IEEE Micro* 27(2):58–68.
- Martin, A. J., M. Nystrom, and C. G. Wong. 2003. Three generations of asynchronous microprocessors. *IEEE Des. Test Comput.* 20(6):9–17.
- Handshake solutions. HT80C51 User Manual. Available at: http://www.keil.com/dd/docs/datashts/handshake/ht80c51_um.pdf (accessed August 27, 2013).
- TIMA Laboratory Annual Report 2006. 2007. Available at: http://tima.imag.fr/publications/files_reports/ann-rep-06.pdf (accessed August 18, 2013).
- Jin, G., L. Wang, and Z. Wang. 2009. The design of asynchronous microprocessor based on optimized NCL_X design-flow. *IEEE Conference (International) on Networking, Architecture and Storage Proceedings*. 357–364.
- Ramaswamy, S., L. Rockett, D. Patel, S. Danziger, R. Manohar, C. W. Kelly, J. L. Holt, V. Ekanayake, and D. Elftmann. 2009. A radiation hardened reconfigurable FPGA. *IEEE Aerospace Conference Proceedings*. 1–10.
- Varshavsky, V. I., ed. 1976. *Aperiodicheskie avtomaty [Aperiodic machines]*. Moscow: Nauka Publ. 424 p.
- Varshavsky, V. I., ed. 1986. *Avtomatnoe upravlenie asinkhronnymi processami v EVM i diskretnykh sistemakh [Automata control of concurrent processes in computers and discrete systems]*. Moscow: Nauka Publ. 400 p.
- Varshavsky, V., M. Kishinevsky, V. Marakhovsky, et al. 1990. *Self-timed control of concurrent processes*. Kluwer Acad. Publ. 245 p.
- Kishinevsky, M., A. Kondratyev, A. Taubin, and V. Varshavsky. 1994. Concurrent hardware: The theory and practice of self-timed design. New York: John Wiley & Sons. 368 p.
- Filin, A. V., and Y. A. Stepchenkov. 1999. Komp'yutery bez sinkhronizatsii [Clockless computers]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 9:247–261.
- Stepchenkov, Y. A., Y. G. Diachenko, V. S. Petruhin, and A. V. Filin. 1999. Tsena realizatsii unikal'nykh svoystv

- samosinkhronnykh skhem [The penalty of self-timed circuit's unique features implementation]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 9:261–292.
31. Stepchenkov, Y. A., Y. G. Diachenko, V. S. Petruhin, and A. V. Filin. 1999. Samosinkhronnaya skhemotekhnika — al'ternativa sinkhronnoy [Self-timed circuitry as an alternative of synchronous one]. Available at: http://samosinhron.ru/files/articles/native/sss_alternative_1999.DOC (accessed August 18, 2013).
 32. Plehanov, L. P., and Y. A. Stepchenkov. 2006. Eksperimental'naya proverka nekotorykh svoystv strogo samosinkhronnykh elektronnykh skhem [Experimental test of some features of strictly self-timed electronic circuits]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 16:476–485.
 33. Stepchenkov, Y. A., V. S. Petruhin, and Y. G. Diachenko. 2006. Opyt razrabotki samosinkhronnogo yadra mikrokontrollera na bazovom matrichnom kristalle [The experience in microcontroller's self-timed core design on FPGA]. *Nano- i Mikrosistemnaya Tekhnika [Nano- and Microsystem Technology]* 5:29–36.
 34. Stepchenkov, Y. A., Y. G. Diachenko, and V. S. Petruhin. 2007. Samosinkhronnye posledovatel'nostnye skhemy: Opyt razrabotki i rekomendatsii po proektirovaniyu [Self-timed sequential logic: An experience and design guidelines]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 17:503–529.
 35. Sokolov, I. A., Y. A. Stepchenkov, V. S. Petruhin, Y. G. Diachenko, and V. N. Zakharov. 2007. Samosinkhronnaya skhemotekhnika — perspektivnyy put' realizatsii apparatury [Timed circuitry — perspective method of hardware development]. *Sistemy Vysokoy Dostupnosti [High Availability Systems]* 3(1-2):61–72.
 36. Stepchenkov, Y. A., Y. G. Diachenko, V. S. Petruhin, and L. P. Plehanov. 2007. Samosinkhronnye skhemy — klyuch k postroeniyu effektivnoy i nadezhnoy apparatury dolgovremennogo deystviya [Self-timed circuits are a key for designing the efficient and reliable hardware with permanent operation]. *Sistemy Vysokoy Dostupnosti [High Availability Systems]* 3(1-2):73–88.
 37. Diachenko, Y. G., Y. A. Stepchenkov, and S. G. Bobkov. 2008. Kvazisamosinkhronnyy vychislitel': Metodologicheskie i algoritmicheskie aspekty [Quasi-self-timed coprocessor: The methodological aspects]. *Trudy Mezhdunarodnoy Konferentsii "Problemy Razrabotki Perspektivnykh Mikro- i Nanoelektronnykh Sistem" [Problems of the Perspective Micro- and Nanoelectronic Systems Development — 2008] Proceedings*. Moscow. 441–446.
 38. Stepchenkov, Y., Y. Diachenko, V. Zakharov, Y. Rogdestvenski, N. Morozov, and D. Stepchenkov. 2009. Quasi-delay-insensitive computing device: Methodological aspects and practical implementation. *The Workshop (International) on Power and Timing Modeling, Optimization and Simulation Proceedings*. Delft. 276–285.
 39. Stepchenkov, Y. A., Y. G. Diachenko, L. P. Plehanov, F. I. Grinfel'd, and D. Y. Stepchenkov. 2009. Samosinkhronnyy dvukhtaktnyy D-trigger s vysokim aktivnym urovnem signala upravleniya [Self-timed D flip-flop with high level control signal]. Patent RF No. 2365031. *Byulleten' Izobreteniy [Bulletin of Inventions]* 23. 9 p.
 40. Stepchenkov, Y. A., Y. G. Diachenko, A. V. Rozhdestvenskene, N. V. Morozov, and V. S. Petruhin. 2009. Samosinkhronnyy dvukhtaktnyy D-trigger s nizkim aktivnym urovnem signala upravleniya [Self-timed D flip-flop with low level control signal]. Patent RF No. 2366080. *Byulleten' Izobreteniy [Bulletin of Inventions]* 24. 9 p.
 41. Diachenko, Y. G., Y. A. Stepchenkov, and F. I. Grinfel'd. 2009. G-trigger s parafaznymi vkhodami s nulevym speyserom [G-trigger with null spacer dual-rail inputs]. Patent RF No. 2366081. *Byulleten' Izobreteniy [Bulletin of Inventions]* 24. 7 p.
 42. Stepchenkov, Y. A., Y. G. Diachenko, L. P. Plehanov, A. N. Denisov, and O. P. Filimonenko. 2010. Samosinkhronnyy trigger dlya svyazi s udalennym priemnikom [Self-timed trigger for connection to remote receiver]. Patent RF No. 2382487. *Byulleten' Izobreteniy [Bulletin of Inventions]* 5. 7 p.
 43. Stepchenkov, Y. A., Y. G. Diachenko, Y. G. Rogdestvenski, and V. S. Petruhin. 2010. Odnotaktnyy samosinkhronnyy RS-trigger s predustanovkoy [Self-timed RS-latch with preset]. Patent RF No. 2390092. *Byulleten' Izobreteniy [Bulletin of Inventions]* 14. 18 p.
 44. Stepchenkov, Y. A., Y. G. Diachenko, V. N. Zakharov, and F. I. Grinfel'd. 2010. Dvukhtaktnyy samosinkhronnyy RS-trigger s predustanovkoy i vkhodom upravleniya [Self-timed RS flip-flop with preset and control input]. Patent RF No. 2390093. *Byulleten' Izobreteniy [Bulletin of Inventions]* 14. 20 p.
 45. Stepchenkov, Y. A., Y. G. Diachenko, D. Y. Stepchenkov, and L. P. Plehanov. 2010. Dvukhtaktnyy samosinkhronnyy RS-trigger s predustanovkoy [Self-timed RS flip-flop with preset]. Patent RF No. 2390923. *Byulleten' Izobreteniy [Bulletin of Inventions]* 15. 20 p.
 46. Stepchenkov, Y. A., Y. G. Diachenko, N. V. Morozov, and A. V. Filin. 2010. Odnotaktnyy samosinkhronnyy RS-trigger s predustanovkoy i vkhodom upravleniya [Self-timed RS-latch with preset and control input]. Patent RF No. 2391772. *Byulleten' Izobreteniy [Bulletin of inventions]* 16. 18 p.
 47. Stepchenkov, Y. A., Y. G. Diachenko, and L. P. Plehanov. 2010. Dvoichnyy samosinkhronnyy schetchik s predustanovkoy [Self-timed binary counter with preset]. Patent RF No. 2392735. *Byulleten' Izobreteniy [Bulletin of Inventions]* 17. 11 p.
 48. Sokolov, I. A., Y. A. Stepchenkov, and Y. G. Diachenko. 2010. Samosinkhronnyy trigger s odnofaznym informatsionnym vkhodom [Self-timed trigger with single-phase data input]. Patent RF No. 2405246. *Byulleten' Izobreteniy [Bulletin of Inventions]* 33. 32 p.
 49. Stepchenkov, Y. A., Y. G. Diachenko, Y. V. Rogdestvenski, N. V. Morozov, and D. Y. Stepchenkov. 2010. Razrabotka vychislitelya, nezavisyashchego ot zaderzhek elementov [The design of a cell delay-insensitive coprocessor]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 20:5–23.

50. Rogdestvenski, Y. V., N. V. Morozov, and A. V. Rozhdestvenskene. 2010. ASPEKT: Podsystema sobytijnogo analiza samosinkhronnykh skhem [ASPECT: A suite of self-timed event-driven analysis]. *Trudy Mezhdunarodnoj Konferentsii "Problemy Razrabotki Perspektivnykh Mikro- i Nanoelektronnykh Sistem" ["Problems of the Perspective Micro- and Nanoelectronic Systems Development — 2010"] Proceedings*. Moscow. 26–31.
51. Stepchenkov, Y. A., Y. G. Diachenko, Y. V. Rogdestvenski, N. V. Morozov, and D. Y. Stepchenkov. 2010. Samosinkhronnyy vychislitel' dlya vysokonadezhnykh primeneniy [Self-timed coprocessor for high-reliable applications]. *Trudy Mezhdunarodnoj Konferentsii "Problemy Razrabotki Perspektivnykh Mikro- i Nanoelektronnykh Sistem" ["Problems of the Perspective Micro- and Nanoelectronic Systems Development — 2010"] Proceedings*. Moscow. 418–423.
52. Plehanov, L. P. 2010. Razrabotka samosinkhronnykh skhem: Funktsional'nyy podkhod [Self-timed circuits design: A functional approach]. *Trudy Mezhdunarodnoj Konferentsii "Problemy Razrabotki Perspektivnykh Mikro- i Nanoelektronnykh Sistem" ["Problems of the Perspective Micro- and Nanoelectronic Systems Development — 2010"] Proceedings*. Moscow. 424–429.
53. Sokolov, I. A., Y. A. Stepchenkov, and Y. G. Diachenko. 2011. Samosinkhronnyy RS-trigger s povyshennoy pomekhoustoychivost'yu (varianty) [Self-timed RS-trigger with the enhanced noise immunity]. Patent RF No. 2427955. *Byulleten' Izobreteniy [Bulletin of Inventions]* 24. 42 p.
54. Stepchenkov, Y. A., Y. G. Diachenko, L. P. Plehanov, V. S. Petruhin, and D. Y. Stepchenkov. 2011. Kombinirovanny G-trigger s edinichnym speyserom [Composite G-trigger with the unit spacer]. Patent RF No. 2434318. *Byulleten' Izobreteniy [Bulletin of Inventions]* 32. 10 p.
55. Stepchenkov, Y. A., Y. G. Diachenko, and G. A. Gorelkin. 2011. Samosinkhronnye skhemy — budushchee mikroelektroniki [Self-timed circuits are the future of microelectronics]. *Voprosy Radioelektroniki [The Problems of Radio Electronics]* 2:153–184.
56. Stepchenkov, Y. A., Y. G. Diachenko, Y. V. Rogdestvenski, and N. V. Morozov. 2011. Analiz na samosinkhronnost' nekotorykh tipov tsifrovyykh ustroystv [Self-timed analysis of the few types of the digital units]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 21(1):74–83.
57. Plehanov, L. P. 2013. *Osnovy samosinkhronnykh elektronnykh skhem [The base of the self-timed electronic circuits]*. Moscow: Binom Publ. 208 p.
58. IEEE Computer Society. 2008. IEEE Standard for Floating-Point Arithmetic IEEE Std 754-2008. doi:10.1109/IEEESTD.2008.4610935.
59. Karthik, S., I. de Souza, J. Rahmeh, and J. Abraham. 1991. Interlock schemes for micropipelines: Application to a self-timed rebound sorter. *Conference (International) on Computer Design Proceedings*. Cambridge. 393–396.
60. Liebchen, A., and G. Gopalakrishnan. 1992. Dynamic reordering of high latency transactions using a modified micropipeline. *Conference (International) on Computer Design Proceedings*. Cambridge. 336–340.
61. Payne, R. 1995. Self-timed FPGA systems. *5th Workshop (International) on Field Programmable Logic and Applications Proceedings*. Berlin/Heidelberg. 21–35.
62. Sobelman, G. E., and K. Fant. 1998. CMOS circuit design of threshold gates with hysteresis. *Symposium (International) on Circuits and Systems Proceedings*. 61–64.
63. Weng, N., J. S. Yuan, R. F. DeMara, D. Ferguson, and M. Hagedorn. 2000. Glitch power reduction for low power IC design. *9th Annual NASA Symposium on VLSI Design Proceedings*. Albuquerque. 7.5.1–7.5.7.
64. Smith S. C. 2003. Completion-completeness for NULL convention digital circuits utilizing the bit-wise completion strategy. *Conference (International) on VLSI Proceedings*. Las Vegas. 143–149.
65. Smith, S. C., R. F. DeMara, J. S. Yuan, D. Ferguson, and D. Lamb. 2004. Optimization of NULL convention self-timed circuits. *Integration, VLSI J.* 37(3):135–165.
66. Fant, K. M. 2005. Logically determined design: Clockless system design with NULL convention logic. New York: John Wiley & Sons. 292 p.
67. Smith, S. C. 2005. Development of a large word-width high-speed asynchronous multiply and accumulate unit. *Integration, VLSI J.* 39(1):12–28.
68. Smith, S. C., and J. Di. 2009. Designing asynchronous circuits using NULL Convention Logic (NCL). *Synthesis Lectures Digital Circuits Syst.* 4(1):61–73.
69. Stepchenkov, Y. A., A. N. Denisov, Y. G. Diachenko, F. I. Grinfel'd, O. P. Filimonenko, and Y. P. Fomin. 2004. Biblioteka elementov BMK dlya kriticheskikh oblastey primeneniya [The gate array cell library for critical applications]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 14:318–361.
70. Stepchenkov, Y. A., A. N. Denisov, Y. G. Diachenko, et al. 2006. Biblioteka samosinkhronnykh elementov dlya tekhnologii BMK [Self-timed cell library for gate array technology]. *Trudy Mezhdunarodnoj Konferentsii "Problemy Razrabotki Perspektivnykh Mikro- i Nanoelektronnykh Sistem" ["Problems of the Perspective Micro- and Nanoelectronic Systems Development — 2006"] Proceedings*. Moscow. 259–264.
71. Morozov, N. V., Y. A. Stepchenkov, Y. G. Diachenko, and D. Y. Stepchenkov. 2010. Funktsional'naya poluzakaznaya biblioteka samosinkhronnykh elementov ML03 [The functional semicustom library of the self-timed cells]. Certificate on official registration of the computer program No. 2010611908. (In Russian, unpublished.)
72. Sokolov, I. A., Y. A. Stepchenkov, and Y. G. Dyachenko. 2010. Self-timed RS-trigger with the enhanced noise immunity. U.S. Patent No. 8232825. 31 p.
73. Artisan Components. Chartered Semiconductor 0.18 μm IB Process 1.8-Volt SAGE-XTM Standard Cell Library Databook. 2003. Release 1.0. 313 p.
74. Diachenko, Y. G., N. V. Morozov, and D. Y. Stepchenkov. 2010. Kharakterizatsiya psevdodinamicheskikh elementov

- [The characterization of the pseudodynamic cells]. *Trudy Mezhdunarodnoy Konferentsii "Problemy Razrabotki Perspektivnykh Mikro- i Nanoelektronnykh sistem"* ["Problems of the Perspective Micro- and Nanoelectronic Systems Development — 2010" Proceedings]. Moscow. 32–35.
75. Gate and throughput optimizations for null convention self timed digital circuits. Available at: <http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.118.7825&rep=rep1&type=pdf> (accessed August 18, 2013).
76. Edwards, D., A. Bardsley, L. Jani, L. Plana, and W. Toms. 2006. Balsa: A tutorial guide. Manchester. 157 p. Available at: <ftp://ftp.cs.man.ac.uk/pub/apt/balsa/3.5/BalsaManual3.5.pdf> (accessed August 18, 2013).
77. Reese, R. B. 2011. UNCLE (Unified NCL Environment). Technical Report MSU-ECE-10-001. Available at: <http://www.ece.msstate.edu/~reese/uncle/UNCLE.pdf> (accessed August 18, 2013).
78. Rogdestvenski, Y. V., N. V. Morozov, Y. A. Stepchenkov, and A. V. Rozhdestvenskene. 2006. Universal'naya pod-sistema analiza samosinkhronnykh skhem [The universal suite for self-timed circuit analysis]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 16:463–475.

Received August 29, 2013

Contributors

Sokolov Igor A. (b. 1954) — Academician of the Russian Academy of Sciences, Doctor of Science in technology, Director, Institute of Informatics Problems, Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation; ISokolov@ipiran.ru

Stepchenkov Yuri A. (b. 1951) — Candidate of Sciences (PhD) in technology, Head of Department, Institute of Informatics Problems, Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation; YStepchenkov@ipiran.ru

Bobkov Sergey G. (b. 1951) — Doctor of Science in technology, Head of Department, Scientific Research Institute for System Studies, Russian Academy of Sciences, 36 bld. 1, Nakhimovsky Prosp., Moscow 117218, Russian Federation; bobkov@cs.niisi.ras.ru

Zakharov Victor N. (b. 1948) — Doctor of Science (PhD) in technology, associate professor; Scientific Secretary, Institute of Informatics Problems, Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation; VZakharov@ipiran.ru

Diachenko Yuri G. (b. 1958) — Candidate of Sciences (PhD) in technology, senior scientist, Institute of Informatics Problems, Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation; diaura@mail.ru

Rogdestvenski Yuri V. (b. 1952) — Candidate of Sciences (PhD) in technology, Head of Laboratory, Institute of Informatics Problems, Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation; YRogdest@ipiran.ru

Surkov Alexei V. (b. 1978) — senior scientist, Scientific Research Institute for System Studies, Russian Academy of Sciences, 36 bld. 1, Nakhimovsky Prosp., Moscow 117218, Russian Federation; surkov@cs.niisi.ras.ru