

# Современные микропроцессоры и потоковые архитектуры

Волчек В.Н.

*В статье рассматривается текущее состояние архитектур микропроцессоров, обозначены их некоторые недостатки. В качестве перспективных архитектур микропроцессоров, способных справиться с обозначенными недостатками, рассматриваются потоковые архитектуры, на примере исследований и разработок, ведущихся в России и за рубежом.*

## 1. Введение

Многие аналитики утверждают, что за последние 60 лет в мире произошло то, чего человечество за всю историю своего существования не испытывало. За этот ничтожно короткий период времени, относительно времени существования всей цивилизации, человеческая жизнь изменилась до неузнаваемости.

Так, например, в [1] формулируется следующая интересная мысль:

«По насыщенности политическими событиями и социальными преобразованиями, экономическими переменами и технологическими нововведениями, по интенсивности международного обмена деятельностью в сфере науки и культуры каждый год на исходе XX века смело может быть приравнен к десятилетию в XIX веке, к столетию в средневековье и в античности, к тысячелетию в глубокой древности».

Очевидно, всё это было бы невозможным не будь такой привычной и обычной для нас вещи, как вычислительная, или компьютерная, техника. Вычислительная техника появилась во всех областях деятельности человека. Помимо привычных для нас компьютеров, ноутбуков, нетбуков, КПК, сотовых телефонов вычислительные устройства используются повсеместно: в бытовой технике, измерительных и медицинских приборах, управлении агрегатами транспортных средств, телекоммуникациях, чип-картах и т.п.

## 2. Современные микропроцессоры и закон Мура

Проникновение компьютерной техники в быт человека многими

связывается с созданием первого микропроцессора фирмы Intel 4004. Это первый бытовой вычислитель, который стал повсеместно общедоступен для миллионов людей. Именно с этого цифрового устройства началась эпоха микропроцессоров, а чуть позднее и эпоха персональных компьютеров. На протяжении почти 40 лет фирма Intel, а также ряд конкурентов, шагающих иногда нога в ногу, с убедительной периодичностью обновляли модельный ряд микропроцессоров, меняя одно поколение за другим, постоянно наращивая на порядок свои производительные мощности. Колоссальные изменения произошли за этот период времени: разрядность микропроцессора с 4 разрядов (Intel 4004, 1971 г.) увеличилась до 64; число транзисторов с 2300 приблизилась к 1 млрд.; тактовая частота с 108 кГц перешла за 4 ГГц; появилась быстродействующая кэш-память.

Со стороны непосвященного обывателя вряд ли могут возникнуть сомнения в стабильности развития вычислительной техники. Подобный удивительный рост студентам компьютерных специальностей зачастую сопоставляли с законом Мура, в соответствии с которым число транзисторов на кристалле будет удваиваться каждые 24 месяца.

Леонид Черняк в [2] пишет: «поначалу закон Мура воспринимался как некий казус. Он в большей степени удивлял, чем служил руководством к действию, но со временем корректность закона перестала вызывать сомнение, и сейчас есть уверенность в его действенности на долгие годы вперед, с ним связывают надежды на будущее... Долгое время его ... интерпретировали как закон периодического удвоения производительности... Закон Мура воспринимался исключительно как гарант прогресса».

Однако из определения очевидно, что закон Мура не гарантирует удвоение производительности и подобная трактовка является ошибочной. Рано или поздно эта ошибка должна была дать о себе знать. Это и произошло: возможности дальнейшего повышения производительности микропроцессоров за счет уменьшения технологических норм и наращивания числа транзисторов оказались исчерпанными [3].

Леонид Черняк далее отмечает: «В общем эволюционном

процессе закон Мура играет двойственную роль, являясь и тормозом, и стимулом одновременно.

Тормозом - или, скорее, консервирующим фактором— закон Мура можно считать потому, что он на протяжении добрых десяти лет позволял сохранять динамику развития, обходясь без радикальных инновационных шагов. Работала своеобразная положительная обратная связь; увеличением количества транзисторов разработчики процессоров компенсировали снижение качества архитектуры. Как результат производительность продолжала расти, но медленнее, чем число транзисторов. Однако какой ценой это достигалось?

За последнее десятилетие удельная производительность процессоров в пересчете на число транзисторов упала на один-два порядка (см. рис.1). Дальнейшее развитие полупроводниковых технологий по закону Мура не может компенсировать чудовищную неэффективность современных процессоров. Диспропорцию между числом транзисторов на кристалле и удельной производительностью, выраженной в скорости выполнения, отнесенной к площади, иногда называют «дефицитом Мура» (Moore Gap) [2].

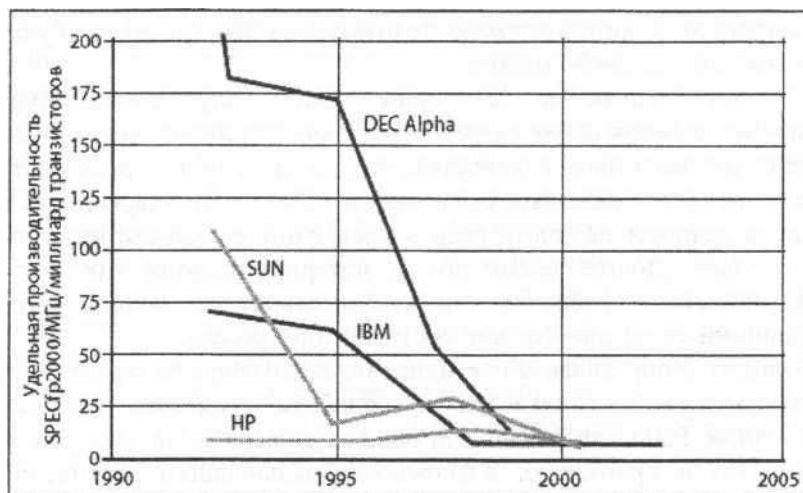


Рисунок 1. Удельная производительность процессоров с 1995 по 2005 год.

Увлечение погоней за технологическими нормами и количеством транзисторов на кристалле, очевидно, стало перегибом, который привел к застою развития архитектуры микропроцессоров. Тот же Леонид Черняк, в другой своей статье [4] пишет: «Нынешнее

состояние компьютерной науки и компьютерных технологий можно сравнить с пирамидой, стоящей основанием вверх; небольшую опорную площадку образуют несколько базисных положений, возраст которых превышает пенсионный порог. Согласно законам механики, такая конструкция чрезвычайно неустойчива».

Эти базисные положения тесно связаны с именем Джона фон Неймана, который в 1946 году опубликовал статью «(Предварительное рассмотрение логического конструирования электронного вычислительного устройства». В этой статье он, вместе с соавторами, сформулировал основные принципы построения ЭВМ, которые в дальнейшем были использованы в большинстве компьютерных систем[5].

С годами, постулаты Джона фон Неймана, стали восприниматься как фундаментальные в построении микропроцессоров, хотя сам Джон фон Нейман, равно как и Гордон Мур, явно не предполагали такую канонизацию своих принципов.

Сегодня многие исследователи, в числе которых и легендарные Дональд Кнут и Дейв Паттерсон, сходятся во мнении - назрел определенный идейный кризис, когда фундаментальные архитектурные решения исчерпывают свой ресурс, а новых архитектур все еще нет. Они отмечают, что у ставшей сегодня классической архитектуры фон Неймана присутствуют явные технологические недостатки: излишняя сложность, неспособность к распараллеливанию, низкий коэффициент полезного использования транзисторов и т.д. [2]. Все эти недостатки в той или иной степени проявляются в большинстве современных процессоров. Таким образом, актуальность создания новых парадигм построения вычислительных систем, способных справиться с обозначенными проблемами, очевидна.

### **3. Современные нетрадиционные потоковые архитектуры**

Как известно, всё новое - это хорошо забытое старое. Джек Деннис (Jack Dennis) из Массачусетского технологического института (МТИ) в 70-х, начале 80-х годах исследовал архитектуру компьютера, которую можно полностью противопоставить традиционной архитектуре фон Неймана. Такая архитектура получила название dataflow, или потоковая архитектура.

Архитектуры dataflow не обладают счетчиком команд, а

возможность исполнения определяется исключительно на основе доступности входных аргументов, что полностью противопоставляется архитектуре фон Неймана. Алгоритмы для потоковых архитектур представляются в виде dataflow-графа, что, по своей природе, наделяет эту архитектуру свойством естественного параллелизма. Каждая вершина такого графа, содержит в себе команду, связанную дугами с другими вершинами- командами, по которым, от вершине к вершине передаются указатели на данные - токены.

Несмотря на то, что на сегодняшний момент времени на рынке не существует ни одного коммерчески успешного вычислительного устройства, построенного полностью на основе данного подхода (по причине в первую очередь дороговизны получаемых изделий), работы во многих зарубежных и исследовательских центрах не прекращаются.

Так, например, в аналитической работе [6], упоминаются следующие примеры крупных зарубежных проектов последнего десятилетия: Scheduled Dataflow (SDF), Explicit Data Graph Execution (EDGE), Wavescalar и Data-Driven Network of Workstations (D2NOW). Кратко рассмотрим их особенности.

В SDF синхронизация потоков (тредов) происходит по принципам dataflow, а вот выполняются команды внутри потока также как и в классических архитектурах, управляемых потоком команд. С целью улучшения производительности в SDF также присутствует предсказывание (спекулятивные вычисления) потоков. Подобные архитектуры, сочетающие принципы dataflow с традиционными подходами иногда называются гибридными.

Другой проект D2NOW по своей идее похож на SDF, с той лишь разницей, что в нем используются стандартные микропроцессоры Пентиум, соединенные в единую сеть, также поддерживающую синхронизацию на уровне потока по принципам dataflow. Чтобы снизить коммуникационные задержки D2NOW использует три механизма коммуникации - мелкозернистый (fine-grained), среднезернистый (medium-grained) и крупнозернистый (coarsegrained). Мелкозернистая коммуникация используется для идентификации потребителя и передачи токена. Среднезернистая - для сообщений среднего размера, указывающих блок кода программы. Крупнозернистая коммуникация для передачи посредством Ethernet

больших блоков данных.

В архитектуре Wavescalar процессорные элементы соединяются в единую иерархическую структуру — пары процессоров объединяются в пакеты (pods), распределяющие результаты из АЛУ в общей пропускной сети. Четыре пакета группируются в домены (domains), которые взаимодействуют через ряд конвейерных шин. Четыре домена формируют кластер, поддерживающий обычную иерархию памяти. Также следует отметить, что в Wavescalar инструкция единожды попадая в процессорный элемент может сохраняться там для нескольких динамических исполнений. Каждый процессорный элемент содержит приемник и хранилище токенов данных, в котором токены данных ожидают прихода пары операнда. Макет Wavescalar был получен в январе 2006 года в Вашингтонском университете.

Разработчики другого проекта - проекта EDGE, ставят своей целью создать до 2012 года вычислитель, позволяющий исполнять до 1 трлн. операций в секунду[7]. EDGE - это программная модель, разработанная в Университете Техаса в городе Остин, США. Разрабатываемый прототип EDGE разработчики назвали TRIPS (The Tera-op, Reliable, Intelligently adaptive Processing System).

Еще одной интересной разработкой в области dataflow является идея создания реконфигурируемого потокового процессора [8]. В этом проекте предлагается реконфигурировать аппаратную часть в базе программируемой логической интегральной микросхемы (ПЛИС) в соответствии с требованиями конкретного алгоритма. Фактически предлагается разбивать dataflow граф на несколько подграфов, и перенастраивать ПЛИС для выполнения полученного алгоритма. Данный подход, возможно приобретет свое признание в будущем, но сейчас временные затраты и ряд других издержек при перенастраивании ПЛИС не позволяют получить широкое распространение данному подходу.

Что касается отечественных разработок в области архитектур потока данных, то здесь необходимо отметить работы, которые велись под управлением академика В.С.Бурцева. Это проект потоковой вычислительной машины с использованием оптической элементной базы (проект ОСВМ) и вычислительная система с автоматическим распределением ресурсов (ВСАРР)[9]. ВСАРР разрабатывался в Институте Проблем Информатики Российской Академии Наук (ИЛИ

РАН) в начале 2000х годов.

Другой проект, разрабатываемый в настоящее время также в стенах ИПИ РАН коллективом отдела перспективных компьютерных систем, представляет собой рекуррентную потоковую архитектуру, с практической реализацией в форме четырехядерного цифрового сигнального процессора. Данную архитектуру, также как и SDF, можно отнести к гибридным архитектурам. На управляющем уровне используются принципы фон Неймановского подхода, на операционном уровне подход dataflow. Ключевая особенность данного проекта, заключается в том, что потоки команд и данных не разделены, как в остальных существующих архитектурах, а, наоборот, объединены в единый поток самодостаточных данных. За счет этого сокращается суммарное время обращения к памяти. В ближайшее время планируется создание демонстрационного макета процессора в базе ПЛИС Stratix III фирмы Altera [10].

#### **4. Выводы**

Сегодня очевидно, что будущие микропроцессоры будут содержать в себе сотни, если не тысячи, вычислительных ядер. Доминирующие на настоящий момент классические архитектурные подходы не способны эффективно обеспечить поддержку такой высокой степени параллельности.

Способен ли подход потока данных, или dataflow, справиться с обозначенной проблемой? На настоящий момент утвердительного ответа не может дать никто, несмотря на то, что только dataflow архитектуры обладают свойством естественного параллелизма. Но сам факт того, что интерес, проявляемый многими исследователями во всем мире, к dataflow архитектурам спустя годы не падает, позволяет утверждать о возможном богатом будущем данного подхода.

#### **Список использованных источников**

- i. *Видятин В.И.* Бакалавр экономики: Хрестоматия: В 3 тт: Т. 1.- М.,: Триада, 1999.-696 С.

2. *Черняк Л.* Архитектура фон Неймана, реконфигурируемые компьютерные системы и антимашин/Открытые Системы, №6 2008
3. *Черняк Л.* Микропроцессоры: все только начинается // Открытые системы №5,2006.
4. *Черняк Л.* Архитектура фон Неймана как историческая случайность// Открытые Системы, №6, 2008
5. *Burks A. W., Goldstine Я Я, Neumann J.* Preliminary Discussion of the Logical Design of an Electronic Computing Instrument. Institute for Advanced Study, Princeton, N.J., July 1946.
6. *Hurson A.R., Kavi K.M.* Dataflow Computers: Their History and Future. Wiley Encyclopedia of Computer Science and Engineering 2008.
7. <http://www.cs.utexas.edu/users/cart/trips/index.html>
8. *Naji H.R.* Reconfigurable Parallel Data Flow Architecture. International Journal of Computer Science and Information Security, Vol. 7, No. 2, February 2010.
9. *Бурцев В.С.* Новые принципы организации вычислительных процессов высокого параллелизма // Материалы Международной научно- технической конференции «Интеллектуальные и многопроцессорные системы-2003». Т.1. Таганрог: Изд-во ТРТУ, 2003.
10. *Волчек В.Н., Степченко Ю.А., Петрухин В.С., Прокофьев А.А., Зеленое Р.А.* Цифровой сигнальный процессор с нетрадиционной рекуррентной потоковой архитектурой // Проблемы разработки перспективных микро- и нанoeлектронных систем - 2010. Сборник трудов. - М.: ИППМ РАН,2010.