

Сбоеустойчивость самосинхронных схем

Ю.А. Степченков, А.В. Каменских, Ю.Г. Дьяченко, Ю.В. Рождественский, Д.Ю. Дьяченко
Институт проблем информатики Федерального исследовательского центра «Информатика
и управление» Российской академии наук (ФИЦ ИУ РАН)

{YRogdest, YDiachenko, YStepchenkov}@ipiran.ru

Аннотация

Статья посвящена проблеме надежности цифровых интегральных микросхем. Благодаря своим свойствам, самосинхронные схемы, в отличие от синхронных аналогов, иммунны по отношению к большей части кратковременных логических сбоев. Реализация индикации запрещенного состояния парафазного сигнала как второго спейсера повышает сбоеустойчивость комбинационных самосинхронных схем до 82%. Самосинхронные триггеры, благодаря своей индикации, невосприимчивы к 44% логических сбоев. Использование специальных методов дублирования транзисторов и RS-триггеров, составляющих основу самосинхронных триггеров, обеспечивает повышение их сбоеустойчивости до уровня 80%.

1 Введение

Вследствие ряда дестабилизирующих причин (помехи по шинам питания и сигнальным цепям, радиация, тяжелые заряженные частицы (ТЗЧ), протоны, нейтроны и т.д.) КМОП интегральные микросхемы подвержены логическим сбоям. Наиболее часто встречаются следующие эффекты [1]:

- 1) кратковременное переключение выхода логического элемента (Single Event Transient, SET), приводящее к "ложным" импульсам в цепях логических элементов;
- 2) изменение состояния запоминающего элемента (Single Event Upset, SEU).

Для защиты от сбоев используются архитектурные и схемотехнические методы.

На архитектурном уровне в синхронных схемах сбоеустойчивость комбинационной логики и вычислительных устройств обеспечивается резервированием (мажорированием) функциональных блоков или всей системы [2], использованием помехоустойчивого (избыточного) кодирования [3 – 5] и некоторыми другими методами.

К схемотехническим методам относится построение принципиальных схем ячеек, имеющих повышенную устойчивость к одиночным воздействиям (Single Event Effects, SEE) на транзисторном уровне. Например, использование ячеек с дуальными потоками данных (Dual Data Stream Logic, DDSL) [6], двухфазных логических элементов [7], ячеек памяти типа DICE (Dual Interlocked Storage Cell) [8], дублирования каждого транзистора в принципиальной схеме элемента [9], применение дополнительных вентилях [10] для защиты от SET. Все эти решения основаны на дублировании или избыточной реализации логических функций схемы. Но ни одно из них не обеспечивает полной защиты от одиночных сбоев. Можно говорить лишь о степени защищенности схемы от сбоев.

Самосинхронные (СС) схемы [11 – 18] изначально аппаратно избыточны и используют избыточное кодирование, как и сбоеустойчивые синхронные схемы. Но кроме этого, они индицируют выходы своих элементов, что обеспечивает их повышенную сбоеустойчивость в сравнении с синхронными аналогами.

2 Особенности СС схем

СС схемы идеологически противостоят большей части кратковременных одиночных сбоев благодаря своим фундаментальным свойствам:

- избыточному парафазному кодированию сигналов;
- двухфазной дисциплине работы;

- индикации окончания всех переключений в схеме.

Парафазное кодирование заключается в преобразовании каждого информационного сигнала в парафазный сигнал (ПФС), имеющий два рабочих состояния ("01" и "10") и одно спейсерное состояние (нулевое "00" или единичное "11"). Состояние "антиспейсер" (АС), противоположное спейсеру, в традиционных СС схемах считается запрещенным. Классическая индикация СС схем воспринимает АС как рабочее состояние и способствует его распространению по схеме. При нормальной работе СС схемы АС никогда не должно появиться.

Двухфазная дисциплина работы не позволяет последующим в тракте обработки данных СС схемам начинать обработку информации с выходов СС устройства-источника, пока все информационные выходы устройства-источника не перейдут в новое рабочее состояние после фазы спейсера [15]. Поэтому, если длительность кратковременного переключения выхода какого-либо элемента в состояние, не соответствующее входам данного элемента, окажется меньше времени формирования нового рабочего состояния на выходах СС устройства, этот сбой будет "замаскирован" дисциплиной работы СС схемы.

Эксперименты и расчеты [19-21] показывают, что одиночный логический сбой в комбинационной схеме может длиться от единиц пикосекунд до нескольких наносекунд и зависит от нескольких факторов:

- количества электрон-дырочных пар (ЭДП), возникших в результате ионизации тела полупроводника, вызванной причиной появления сбоя (ТЗЧ, протоном, нейтроном и т.д.),

- напряжения питания микросхемы,

- потенциалов областей, прилегающих к области ионизации,

- физических свойств легированных областей полупроводника.

В субмикронных технологиях (65 нм и ниже) длительность логического сбоя многократно перекрывает задержки переключения элементов схемы и сравнима с периодом тактовой частоты в синхронных схемах и с длительностью цикла работы (рабочая фаза плюс спейсерная фаза) в СС схемах. Степень опасности логического сбоя для функционирования СС схемы также зависит и от времени появления сбоя внутри цикла работы СС схемы.

3 Критические сбои в комбинационных СС схемах

Потенциально критическими для функционирования СС схемы являются следующие сбои:

- 1) сбой в рабочей фазе, приведший к переключению ПФС в АС;

- 2) сбой в спейсерной фазе до появления на индикаторном выходе подтверждения окончания перехода схемы в спейсер, приведший к переключению ПФС в рабочее состояние, инверсное по отношению к его состоянию в предшествующей рабочей фазе;

- 3) сбой в спейсерной фазе после появления на индикаторном выходе подтверждения окончания перехода схемы в спейсер, приведший к переключению ПФС в произвольное рабочее состояние.

Случай 2 эквивалентен преждевременному переключению ПФС в рабочую фазу во время переключения всей СС схемы в спейсерное состояние. Это влечет за собой одно или несколько последствий:

- а) индикаторный выход СС схемы не успевает переключиться в спейсер и ожидает окончания сбоя и переключения сбойного ПФС в спейсер. Это означает задержку переключения в спейсер для данной СС схемы и возможное формирование некорректного рабочего состояния на выходах схемы,

- б) индикаторный выход СС схемы переключается в спейсер, но в результате сбоя некоторые из внешних выходов схемы могут после этого перейти в рабочее состояние, не соответствующее ожидаемому.

Случай 3 аналогичен случаю 2(б).

Сбой в рабочей фазе, приведший к переключению ПФС в рабочее состояние, противоположное задаваемому, также является критическим. Он не нарушает последовательности фаз работы СС схемы, но приводит к формированию неправильного рабочего состояния информационных выходов. Такой сбой не выявляется индикаторной подсхемой, так как состояние ПФС оказывается соответствующим текущей фазе работы СС схемы. Однако вероятность такого сбоя чрезвычайно мала: для этого необходимо, чтобы оба элемента, формирующие ПФС, переключились в значение, противоположное ожидаемому в рабочей фазе.

Физическая причина возникновения сбоя заключается в генерации ЭДП в теле полупроводника при пролете ТЗЧ, протона, нейтрона с достаточно высокой энергией. В сильном электрическом поле происходит разделение электронов и дырок, они двигаются в разных направлениях, создавая импульс тока. Ионизационный ток способен изменить заряд выходной паразитной емкости сбойного элемента до уровня, достаточного для переключения подсоединенного к нему другого логического элемента.

Эффективный диаметр трека ТЗЧ не превышает одного микрометра [19]. В технологии с проектными нормами 65 нм ему соответствует топологическая область, в которой располагаются стоки и истоки транзисторов одного или разного типа, принадлежащих двум и более логическим элементам. На рисунке 1 показан фрагмент 65-нм топологии, включающий 4 элемента 2ИЛИ-НЕ. Топология симметричная, в центре располагаются КМОП транзисторы n-типа, слева и справа – транзисторы p-типа. Пунктирные окружности A1 – A4 показывают возможные положения эффективного диаметра трека ТЗЧ. Очевидно, что одна ТЗЧ не может избирательно поразить, например, только транзистор n-типа в одном элементе и только транзистор p-типа в другом. Она всегда задевает либо стоки транзисторов одного типа в нескольких соседних элементах (A1, A3, A4), либо стоки транзисторов разного типа, но тоже в нескольких соседних элементах одновременно (A2). Следовательно, воздействие ТЗЧ на структуры соседних элементов оказывается симметричным. В случае более сложных логических элементов воздействие ТЗЧ может ограничиться только одним элементом.

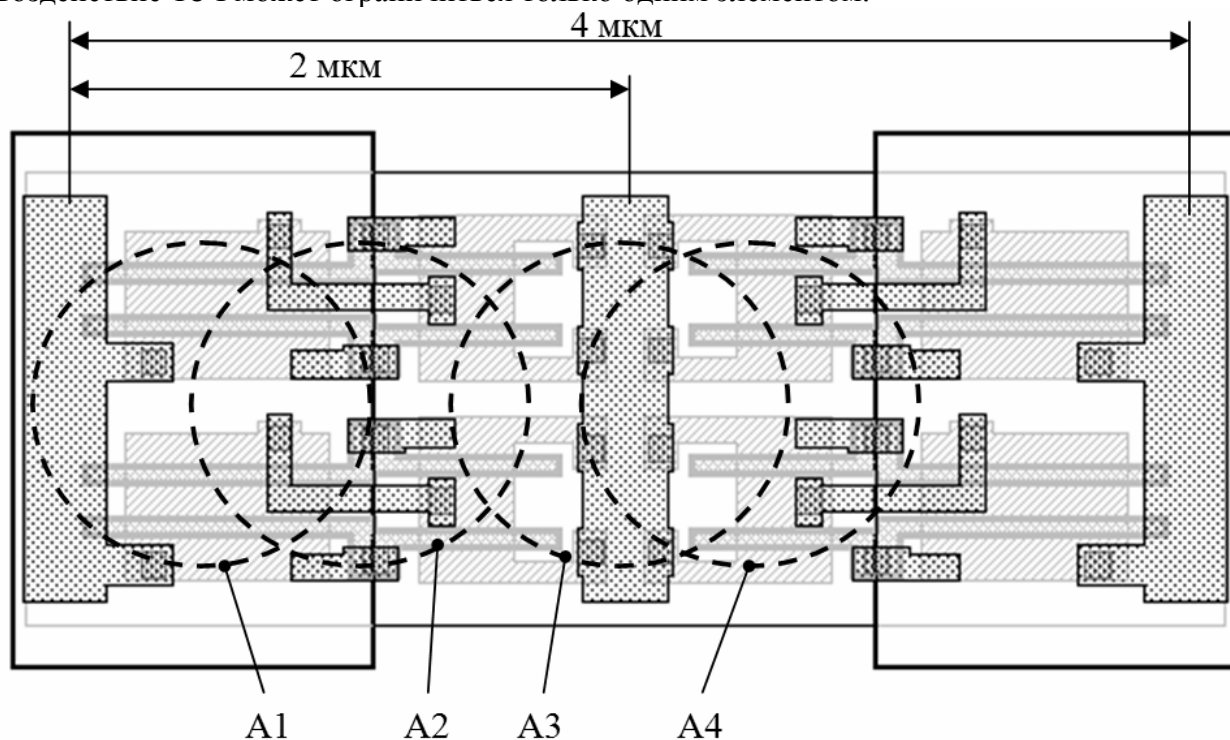


Рисунок 1 – Эффективные диаметры трека ТЗЧ в 65-нм топологии

Таким образом, одна ТЗЧ может привести к появлению ионизационного тока сразу в нескольких соседних элементах, но этот ток будет иметь одинаковый знак во всех этих

элементах, и изменение потенциала на выходах соседних сбойных элементов будет одной полярности. При уменьшении проектных норм площадь топологии элементов пропорционально сокращается, и эффективный диаметр трека ТЗЧ будет также охватывать стоки транзисторов обоих типов в нескольких соседних элементах.

При топологическом расположении элементов, формирующих ПФС, в достаточной близости друг к другу воздействие ТЗЧ окажется симметричным и не приведет к принудительному появлению на выходах этих элементов противоположных логических уровней. Следовательно, сбой в рабочей фазе, приводящий к переключению ПФС в рабочее состояние, противоположное задаваемому, в технологиях с проектными нормами 65 нм и ниже практически не реализуется.

Для повышения сбоеустойчивости СС схемы используется маскирование АС. Оно основывается на сбоеустойчивой дисциплине ПФС. В ней АС также считается спейсером. Для индикации двух спейсеров ПФС ("00" и "11") используется элемент "равнозначности" или "неравнозначности". Проблема монотонности логической функции этих элементов, обязательной в СС схемах, решается с помощью реализации на проходных транзисторах изображенной на рис. 2. Использование и индцирование двойного спейсера позволяет парировать все сбои, вызывающие появление АС в комбинационных СС схемах.

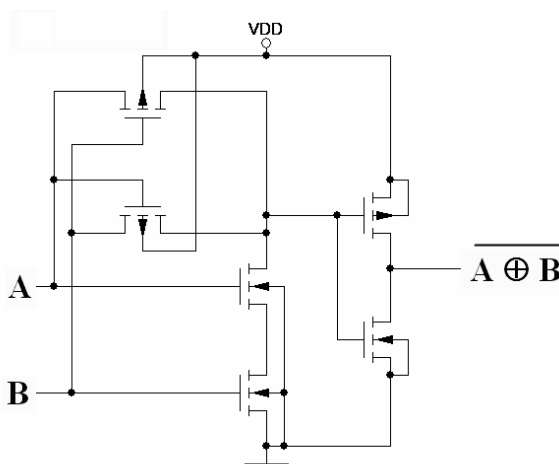


Рисунок 2 – КМОП реализация монотонной функции "равнозначность"

Таким образом, к сбоям комбинационных СС схем, которые не маскируются свойствами СС схем, относятся случаи 2 и 3 из приведенных выше. Анализ показывает, что при незначительном усложнении индикаторной подсхемы, обеспечивающем индикацию АС как спейсера, комбинационная СС схема маскирует 82% сбоев.

4 Критические сбои в триггерных СС схемах

Триггерные СС схемы строятся на основе бистабильных ячеек (БЯ), состоящих из пары логических элементов с перекрестными связями. Выходы БЯ формируют бифазный сигнал (БС), не имеющий спейсера. Но он имеет одно транзитное (динамическое, кратковременное) состояние, через которое происходит переключение БЯ из одного статического рабочего состояния в другое.

При формировании правильной последовательности входов БЯ ее выходы в любой момент времени находятся в одном из трех состояний: в рабочем ("10" или "01") или в транзитном ("00" для БЯ на элементах ИЛИ-НЕ или "11" для БЯ на элементах И-НЕ). Состояние, противоположное транзитному (антитранзитному, АТ), в отсутствие сбоев никогда не реализуется.

БЯ в рабочей фазе переключает свои выходы в соответствие с информационными входами, а в спейсерной фазе хранит свое состояние. Сбой может привести к

необратимым последствиям, если он вызовет переключение БЯ в противоположное рабочее состояние. БЯ характеризуется наличием перекрестной обратной связи, из-за которой сбой в одном элементе БЯ при отсутствии активных уровней на информационных и управляющих входах БЯ может привести к переключению и второго элемента этой БЯ.

Особенность триггерных СС схем в сравнении с комбинационными схемами проявляется и в их индикации. Она анализирует не только выходы БЯ, но и ее входы и основывается на проверке соответствия выходов БЯ ее входам в рабочей фазе. Поэтому не все сбои являются критичными.

Критическими сбоями являются следующие сбои:

1) изменение состояния выходной БЯ двухтактного триггера на противоположное до переключения индикаторного выхода триггера в рабочее значение;

2) переключение индикаторного выхода в значение, не соответствующее текущей фазе триггера;

3) появление АТ состояния на выходах БЯ в ее рабочей фазе до переключения индикаторного выхода триггера в соответствующее значение;

4) появление АТ состояния на выходах БЯ в ее рабочей фазе после переключения индикаторного выхода триггера в соответствующее значение;

5) появление АТ состояния на выходах БЯ в ее спейсере до переключения индикаторного выхода триггера в соответствующее значение;

6) появление АТ состояния на выходах БЯ в ее спейсере после переключения индикаторного выхода триггера в соответствующее значение.

В случае 1 информационные выходы триггера уже не поддерживаются выходами первой БЯ триггера и не контролируются индикатором триггера. Поэтому некорректное рабочее состояние триггера будет воспринято устройствами-приемниками как корректное.

В случае 2 сбой в рабочей фазе одноктактных СС триггеров и в спейсере двухтактных триггеров раньше времени запретит устройствам-приемникам использовать информационные выходы триггера. В противоположных фазах этих триггеров он разрешит использовать информационные выходы триггера до их обновления.

В случае 3 сбой инициирует преждевременное переключение индикатора триггера в значение, якобы подтверждающее переход БЯ в ее рабочее состояние. Если после этого активные уровни с входов БЯ будут сняты (при переключении в спейсерную фазу БЯ), БЯ может превратиться в мультивибратор.

В случае 4 достаточно долгий сбой может привести к превращению БЯ в мультивибратор при ее переключении в спейсерную фазу. К аналогичному результату может привести сбой в случаях 5 и 6.

При определенных условиях следующие сбои также могут стать критическими:

7) изменение состояния входной БЯ на противоположное в ее спейсерной фазе до переключения индикаторного выхода триггера в спейсер;

8) изменение состояния входной БЯ на противоположное в ее спейсерной фазе после переключения индикаторного выхода триггера в спейсер;

9) преждевременное переключение индикаторного выхода в значение, соответствующее текущей фазе триггера;

10) появление транзитного состояния на выходах БЯ в ее рабочей фазе после переключения индикаторного выхода триггера в значение, соответствующее текущей фазе триггера.

Сбой, произошедший в спейсерной фазе входной БЯ (случаи 7 и 8) окажется критическим в одноктактных СС триггерах, независимо от значения индикаторного выхода триггера, если устройствам-приемникам разрешено использовать значение выходов триггера в его спейсерной фазе. Аналогичный сбой в двухтактных СС триггерах будет всегда критическим, так как он не будет исправлен во входной БЯ (соответствие ее входов и выходов индикаторный выход триггера в этой фазе не контролирует) и приведет к

записи ошибочной информации во вторую БЯ, формирующую информационный выход триггера.

Случай 9 является критичным только тогда, когда сбой привел к преждевременному переключению индикаторного элемента в рабочую фазу в одноктактных триггерах или в спейсер в двухтактных триггерах в то время, когда информационные выходы триггера находятся в процессе обновления своего состояния. Тем самым триггер ошибочно декларирует достоверность информации на своих выходах и разрешает устройствам-приемникам ее использовать. В практических схемах задержка переключения элементов устройств-приемников может замаскировать этот сбой, так как он не мешает информационным выходам триггера переключиться в правильное состояние, пусть и с опозданием по отношению к индикаторному выходу.

Случай 10 при определенных условиях является критическим, так как он инициирует преждевременное переключение индикатора триггера в значение, соответствующее уже следующей фазе работы триггера.

Подытоживая, можно заметить: если сбой произойдет в рабочей фазе БЯ, когда состояние выходов БЯ активно поддерживается ее входами, и не вызовет перехода триггера в следующую фазу или помешает такому переходу, то с исчезновением причины, породившей сбой, правильное состояние БЯ восстановится за счет ее входов. Но если сбой произойдет в спейсерной фазе БЯ, когда она хранит свое состояние, то исчезновение причины, породившей сбой, не приведет к восстановлению правильного состояния БЯ.

Анализ показывает, что триггерные СС схемы маскируют 44% сбоев за счет свойств СС схем. Уровень сбоеустойчивости триггерных СС схем, аналогичный комбинационным СС схемам, может быть достигнут за счет схемотехнических и топологических методов повышения сбоеустойчивости триггерных схем (например, LTMR [22], DICE [23, 24]) и использования СС триггеров с ПФС информационными выходами.

5 Выводы

Повышение надежности аппаратуры, работающей в неблагоприятных условиях и под воздействием спецфакторов, неразрывно связано с обеспечением сбоеустойчивости цифровых схем, из которых она состоит. Особенности организации и функционирования СС схем позволяют им противостоять многим причинам появления одиночных сбоев и маскировать кратковременные логические сбои даже без использования специальных схемотехнических приемов: до 82% в комбинационных СС схемах и до 44% в триггерных СС схемах.

Использование DICE-подобного подхода для реализации триггерных СС схем на схемотехническом и топологическом уровне обеспечит дополнительное повышение сбоеустойчивости СС триггеров.

Благодаря иммунности СС схем к некоторым причинам появления сбоев и их способности к бессбойной работе в широком диапазоне условий эксплуатации, применение СС схем обеспечивает улучшение сбоеустойчивости цифровой аппаратуры.

Литература

1 *Чумаков А.И.* Прогнозирование локальных радиационных эффектов в ИС при воздействии факторов космического пространства // Микроэлектроника. – 2010. – Т.39. – №2. – С.85-90.

2 *Согомонян Е. С., Слабаков Е. В.* Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь. 1989. - 208 с.

3 *Золотарев В.В.* Помехоустойчивое кодирование. Методы и алгоритмы. Справочник / В.В.Золотарев, Г.В. Овечкин. – М.: Горячая линия - Телеком, 2004, – 126с.

- 4 Блейхут Р. Теория и практика кодов, контролирующих ошибки // М.: Книга по требованию, 2013. – 566 с.
- 5 Гаврилов С.В., Гуров С.И., Жукова Т.Д., Рухлов С.В., Рыжова Д.И., Тельпухов Д.В. Методы повышения сбоеустойчивости комбинационных ИМС методами избыточного кодирования // Прикладная математика и информатика. Труды факультета Вычислительной математики и кибернетики МГУ имени М.В. Ломоносова, №53, 2016.- с.93-102.
- 6 Wiseman B. Design and testing of SEU/SEL Immune Memory and Logic Circuits in a Commercial CMOS Process / B. Wiseman // IEEE Radiation Effects Data Workshop – 1994. – Pp. 51-55.
- 7 Ольчев С.И., Стенин В.Я. Двухфазные КМОП логические элементы с повышенной сбоеустойчивостью к воздействию отдельных ядерных частиц // Микроэлектроника, Т. 40, №3, 2011. – с. 170-183.
- 8 Knudsen J. E. An Area and Power Efficient Radiation Hardened by Design Flip-Flop / J. E. Knudsen, L. T. Clark // IEEE Trans. on Nucl. Sci. – 2006. – vol. 53, no. 6. – Pp. 3392-3399.
- 9 Тюрин С.Ф., Каменских А.Н. О резервировании логических функций на уровне транзисторов // В мире научных открытий. – 2014. – №. 10. – С. 232-247.
- 10 Balasubramanian A. RHBD Techniques for Mitigating Effects of Single-Event Hits Using Guard-Gates / A. Balasubramanian, B.L. Bhuvu, J.D. Black, L.W. Massengill // IEEE TNS. – 2005. – vol. 52, no. 6. – Pp 2531-2535.
- 11 Muller D., Bartky W. A theory of asynchronous circuits. // Annals of computation laboratory of Harvard University, V.29, 1959. — P. 204-243.
- 12 Singh N.P. A design methodology for self-timed systems, Master's Thesis, MIT/LCS/TR-258, Laboratory for Computer Science, MIT, 1981.
- 13 Fant K.M., Brandt S.A. NULL convention logic: a complete and consistent logic for asynchronous digital circuit synthesis / In Proceedings of the International Conference on Application Specific Systems, Architectures, and Processors, 1996, pp. 261–273.
- 14 Аперiodические автоматы / Под ред. В.И. Варшавского.- М.: Наука, 1976, 424 с.
- 15 Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. / Под. ред. В.И. Варшавского. - М.: Наука, 1986. - 400 с.
- 16 Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V. Concurrent Hardware: The Theory and Practice of Self-timed Design, J.Wiley, 1994.
- 17 Степченко Ю.А., Дьяченко Ю.Г., Петрухин В.С., Филин А.В. Цена реализации уникальных свойств самосинхронных схем // Системы и средства информатики: Вып. 9, Под ред. И.А. Мизина. — М.: Наука. Физматлит, 1999. — С. 261-292.
- 18 Плеханов Л.П. Основы самосинхронных электронных схем – М. : БИНОМ. Лаборатория знаний, 2013. – 208 с.
- 19 Шунков В.Е. Физика радиационных эффектов, влияющих на электронику в космосе. URL: <https://habr.com/post/189066> (дата последнего обращения 24.11.2018).
- 20 Шунков В.Е. Оптимизация элементов интегральных микросхем для защиты от одиночных сбоев // Программные продукты и системы, 2011, №4.- С. 24-26.
- 21 Вологдин Э.Н., Лысенко А.П. Радиационные эффекты в интегральных микросхемах и методы испытаний изделий полупроводниковой электроники на радиационную стойкость. Учебное пособие. М.: МГИЭМ. 2002.- 46 с.
- 22 Berg M. Revisiting Dual Interlocked Storage Cell (DICE) Single Event Upset (SEU) Sensitivity // Microelectronics Reliability & Qualification Working Meeting (MRQW) 2013 and HiREV Industry Day, El Segundo, CA, December 10-12, 2013 https://nepp.nasa.gov/files/25702/2013MRQW_Berg_n272.pdf (дата последнего обращения 25.11.2018).
- 23 Lakshminavaraprasad T., Sivakumar M., Prasad B.K.V. and Inthiyaz S. A Nanoscale CMOS Technology for Hardened Latch with Efficient Design // International Journal of Electronics and Communication Engineering. ISSN 0974-2166 Volume 5, Number 3 (2012), pp. 343-349.

24 Катунин Ю.В., Стенин В.Я., Степанов П.В. Моделирование характеристик триггерных элементов КМОП двухфазной логики с учетом разделения заряда при воздействии отдельных ядерных частиц // Микроэлектроника, 2014, Т.43, №2. – С. 104-117.