

Улучшение устойчивости к шумам квази-нечувствительного к задержкам конвейера

Yuri Stephenkov¹, Anton Kamenskih², Yuri Diachenko¹, Yuri Rogdestvenski¹, and Denis Y. Diachenko¹

¹Department of architectural an schematic basis of the innovative computational systems, Institute of Informatics Problems, Federal Research Center "Computer Science and Control" of the Russian Academy of Sciences (IPI FRC CSC RAS), Moscow, Russian Federation, YStepchenkov@ipiran.ru

²Department of Automation and remote control, Perm National Research Polytechnic University, Perm, Russian Federation

Аннотация—Статья исследует устойчивость квази-нечувствительных к задержкам (Quasi Delay-Insensitive, QDI) схем к логическим сбоям, вызванным шумами. Источником рассматриваемых шумов являются внутренние и внешние события: перекрестные наводки трасс в топологии, наводки по шинам питания и земли, электромагнитный импульс. Статья предлагает использовать сбоеустойчивую дисциплину QDI схем и топологические методы, снижающие чувствительность парафазных сигналов к шумам. Индикация запрещенного состояния парафазного сигнала как спейсера обеспечивает повышение устойчивости QDI схем к логическим сбоям. Использование модифицированного С-элемента для реализации разряда регистра ступени конвейера снижает опасность критического останова конвейера и улучшает устойчивость QDI конвейера к шумовым логическим сбоям на 11% (до 97.8%).

Keywords—квази-нечувствительные к задержкам схемы; парафазный; шумовые сбои; устойчивость; наводки; С-элемент; конвейер.

I. ВВЕДЕНИЕ

Помехоустойчивость цифровых схем является одной из сторон отказоустойчивости. Современный уровень развития технологии производства интегральных микросхем усугубляет проблемы их защиты от воздействия факторов, нарушающих правильное функционирование схемы. Из-за более плотного расположения активных элементов (транзисторов) и wires увеличиваются зона поражения кристалла микросхемы пролетающими ядерными частицами и влияние соседних трасс друг на друга. В результате опасность привнесения ошибок в обрабатываемые данные возрастает.

Источниками логических сбоев [1] являются следующие физические причины:

- ядерные частицы и космические лучи,
- шум по сигнальным линиям (crosstalk),
- шум по шинам питания и земли,
- шум по подложке (substrate noise),

- внешнее электромагнитное излучение.

Современные исследования проблемы сбоеустойчивости цифровых схем обычно не разделяют источники логических сбоев при анализе цифровой схемы на устойчивость к ним. Однако характеристики логических сбоев существенно зависят от типа источника сбоя. В частности, логический сбой, вызванный ядерной частицей или космическим лучом, может длиться до нескольких наносекунд [2], в то время как длительность логического сбоя из-за помех на линиях связи сравнима с временем нарастания или спада сигнала и, как правило, не превышает десятков пикосекунд.

Асинхронные схемы вообще и квази-нечувствительные (Quasi Delay Insensitive, QDI) схемы в частности обладают лучшей устойчивостью к логическим сбоям, чем синхронные аналоги [3]. Парафазная дисциплина сигналов и двухфазная работа, используемые в QDI схемах, предотвращают или маскируют многие логические сбои. Исследование [4] показало, что QDI схемы естественно устойчивы к большей части логических сбоев, вызванных ядерными частицами и космическими лучами.

Этот тип сбоев имеет особенность в QDI схемах с парафазной дисциплиной сигналов. Физическая причина таких логических сбоев не может привести к одновременному изменению потенциалов компонентов парафазного сигнала в противоположных направлениях из-за топологической реализации КМОП схем в базе стандартных элементов [4] и при грамотной реализации заказной топологии. Поэтому сбой типа "некорректное рабочее состояние" не может случиться по вине ядерных частиц и космических лучей.

Однако шумовые наводки способны вызвать изменение потенциала обеих частей парафазного сигнала в разных направлениях. Кроме того, частота появления шумовых наводок как источника логического сбоя сравнима с частотой переключения QDI и многократно превышает интенсивность

воздействия ядерных частиц или космических лучей. Поэтому сильные шумовые наводки являются наиболее важным источником логических сбоев, особенно в коммерческих микросхемах.

Известен ряд алгоритмических [5], структурных [6] и схемотехнических [7-10] способов повышения защищенности асинхронных и QDI схем от шумовых воздействий. Они эксплуатируют свойство индицируемости QDI схем и используют С-элементы в качестве цифрового компаратора дублированных сигналов. Однако в них не делается попыток анализа естественного уровня стойкости QDI схем к логическим сбоям.

Данная статья анализирует особенности воздействия шумовых наводок на QDI конвейерные схемы и предлагает способы и средства повышения стойкости QDI конвейера к шумовым наводкам.

II. СБОЕУСТОЙЧИВАЯ ДИСЦИПЛИНА QDI СХЕМ

Двухфазная дисциплина работы QDI схем обеспечивает детектирование окончания переключения схемы в каждую из фаз: спейсерную или рабочую. Парафазный сигнал в каждый момент времени пребывает в спейсере (нулевом, "00", или единичном, "11") или в одном из рабочих состояний (data token), "01" or "10". Особенностью реализации обычных QDI схем является строгое чередование спейсера и рабочих состояний.

Традиционно любой парафазный сигнал использует только один спейсер. Состояние, противоположное спейсеру данного парафазного сигнала, считается анти-спейсером (AS) [4] или некорректным состоянием (invalid data token, IDT) [9]. В некоторых статьях, например, [5, 11], авторы используют двухфазную дисциплину для улучшения энергопотребления и детектирования сбоев в работе схемы (нарушение чередования нулевого и единичного спейсеров индицирует сбой).

Несмотря на то, что AS запрещен в обычных QDI схемах и не ожидается при нормальной работе QDI, он может появиться в результате логического сбоя. Раньше [4] мы предложили рассматривать AS как второй спейсер и индицировать его соответствующим образом. Таблица I иллюстрирует сбоеустойчивое индицирование парафазного сигнала в QDI схемах. Отметим еще раз, что каждый парафазный сигнал во время бесспорной работы имеет только один спейсер. Второй спейсер может появиться исключительно из-за логического сбоя.

ТАБЛИЦА I. СБОЕУСТОЙЧИВОЕ ИНДИЦИРОВАНИЕ QDI СХЕМ

Парафазный сигнал		Состояние	Индикатор
X	XB		
0	0	нулевой спейсер	0
0	1	бит "0"	1
1	0	бит "1"	1
1	1	единичный	0

Индикатор парафазного сигнала подтверждает своим значением окончание переключения сигнала в рабочее состояние или спейсер. Для реализации такого индикатора необходимо использовать элемент "исключающее ИЛИ" (XOR). Но в QDI схемах любая функция, реализуемая схемотехнически, должна быть изотонной или антитонной [12]. Рис. 1 демонстрирует две реализации этой функции, подходящие для использования в QDI схемах. Схема на Рис. 1(a) удобна для реализации в базе библиотеки стандартных элементов. Схема на Рис. 1(b) имеет минимально возможное число транзисторов.

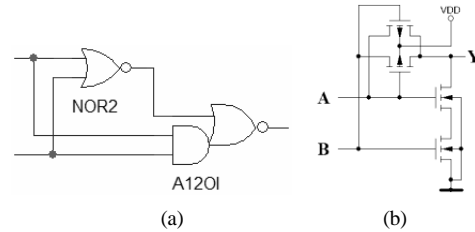


Рис. 1 Реализации XOR: а) на стандартных элементах; б) на КМДП транзисторах

Сбоеустойчивое индицирование, показанное в Таблице I, является общим для парафазных сигналов с нулевым и единичным спейсером. Анализ показывает [4], что такое индицирование маскирует логические сбои типа AS в комбинационных схемах и повышает их сбоеустойчивость.

III. МЕХАНИЗМ ШУМОВОГО СБОЯ

КМОП транзисторы управляются напряжением, подаваемым на их затвор. Поэтому работа КМОП схем базируется на заряде и разряде паразитных емкостей полупроводниковых структур и трасс межсоединений, формирующих потенциал затвора транзистора. В динамических КМОП схемах паразитные емкости используются для хранения потенциалов затворов транзисторов в промежутках между импульсами предзаряда.

Однако, не всегда паразитные емкости оказываются полезными. Сигнальные трассы в КМДП топологии также связаны друг с другом паразитными перекрестными емкостями. Это приводит к эффекту наводок, когда переключение одного сигнала вызывает импульс напряжения на соседнем сигнале, который может спровоцировать логический сбой.

Рис. 2(a) демонстрирует упрощенную модель эффекта наводок [1]. Если паразитные емкости, связывающие крайние трассы-"агрессоры" A1 и A2 и центральную трассу-"жертву" X (C_{AX}), больше паразитной емкости между трассой-"жертвой" и подложкой (C_X), то при одновременном переключении трасс-"агрессоров" в одном направлении на трассе-"жертве" индуцируется импульс напряжения,

сравнимый с перепадом напряжения на трассах-"агрессорах".

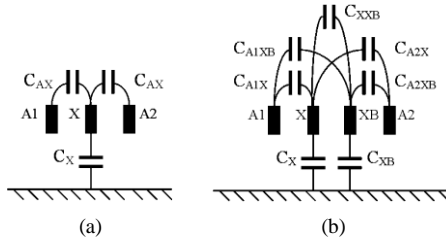


Рис. 2 Модель наводок для одиночного (а) и парафазного (b) сигнала

Если компоненты одного парафазного сигнала имеют разных соседей, то в наихудшем случае возможно одновременное появление на них импульсов напряжения разной полярности. Это может вызвать переключение атакованного парафазного сигнала из корректного рабочего состояния в инверсное.

Аналогичным образом действуют источники глобальных наводок: шумы по шинам питания и земли, шум по подложке, электромагнитный импульс от внешнего источника. Однако они, как правило, симметрично влияют на оба компонента парафазного сигнала. В результате парафазный сигнал из корректного рабочего состояния может переключиться только в AS или легальный спейсер, менее критичные для работы QDI схемы, но не в некорректное рабочее состояние.

Все возможные случаи шумовых логических сбоев QDI схемах показаны в Таблице II. Анализ показывает, что наиболее опасными из них являются последние два случая.

ТАБЛИЦА II. ВОЗМОЖНЫЕ ЛОГИЧЕСКИЕ СБОИ

№№	Парафазное состояние		Правильный спейсер
	до логического сбоя	после логического сбоя	
1.	00	01	нулевой
2.	00	10	нулевой
3.	00	11	нулевой
4.	01	00	нулевой или единичный
5.	01	11	нулевой или единичный
6.	10	00	нулевой или единичный
7.	10	11	нулевой или единичный
8.	11	00	единичный
9.	11	10	единичный
10.	11	01	единичный
11.	01	10	нулевой или единичный
12.	10	01	нулевой или единичный

К счастью, отмеченный тип логических сбоев (сбойное переключение парафазного сигнала

корректного рабочего состояния в инверсное) легко устраняется топологическим методом. Достаточно при разводке топологии расположить обе трассы частей парафазного сигнала рядом друг с другом, как показано на Рис. 2(b). Тогда одновременное переключение трасс-"агрессоров" в одном направлении индуцирует импульс напряжения одинаковой полярности в обеих частях парафазного сигнала. В результате наводка по типу воздействия станет аналогичен источникам глобальных шумов и менее опасной.

IV. ЗАЩИТА РЕГИСТРА ОТ ЗАЛИПАНИЯ В AS

Структурная реализация высокопроизводительных QDI схем аналогична реализации синхронных аналогов. Она обеспечивает максимальную производительность QDI схем благодаря конвейерной организации [10, 13, 14]. Рис. 3 демонстрирует типовую организацию QDI конвейера. Каждая ступень конвейера (затененная часть) включает комбинационную часть (Logic) и регистр (RG). С-элементы обеспечивают запрос-ответное взаимодействие соседних ступеней конвейера.

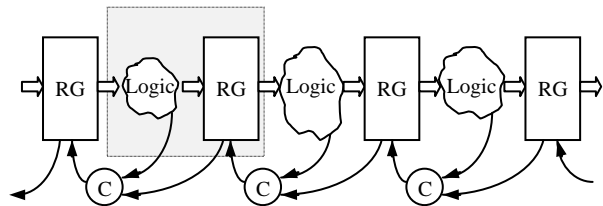


Рис. 3. Типовая структура QDI конвейера

Традиционно для реализации регистра QDI конвейера используются С-элементы [10]. Рис. 4 иллюстрирует схему одного разряда регистра конвейера. Парафазный вход (X, XB), формируемый комбинационной частью ступени конвейера, запоминается двумя С-элементами. Вход управления AckY, подтверждающий завершение переключения следующей ступени конвейера в текущую фазу работы, регулирует фазовые переходы регистра. Элемент NOR2 индицирует окончание переключения разряда регистра в текущую фазу работы, формируя сигнал AckX управления фазовыми переходами предыдущей ступени конвейера. Преимущества разряда регистра на Fig. 4:

- информационные выходы (Y, YB) разряда регистра также являются парафазными сигналами с нулевым спейсером и могут непосредственно использоваться комбинационной частью следующей ступени конвейера,

- минимальная сложность КМОП реализации.

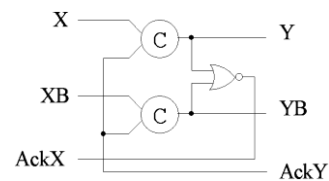


Рис. 4. Разряд обычного регистра QDI конвейера

Разряд регистра QDI конвейера, показанный на Рис. 4, не может индцировать состояние AS как спейсер. Схема разряда регистра на рис. 5 [4] исправляет этот недостаток. Элемент NXOR индцирует и нулевой спейсер, и AC как спейсерное состояние.

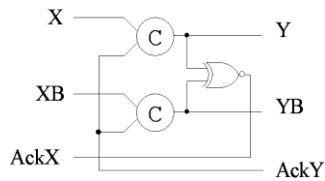


Рис. 5. Разряд регистра QDI конвейера, маскирующий AS

Однако, анализ устойчивости конвейера с регистром, реализованным схемой на рис. 5, к логическим сбоям выявил явный недостаток его функционирования. AS $X=XB=1$ на его информационном входе в рабочей фазе записывается в разряд регистра ($Y = YB = 1$) при $AckY = 1$ и препятствует его возврату в корректное рабочее состояние по окончании причины логического сбоя. Рис. 6 иллюстрирует результаты моделирования QDI схемы, использующей схему рис. 5 в качестве разряда регистра. Появление кратковременного AS $X = XB = 1$ вызывает переключение выхода разряда в AS $Y = YB = 1$ и остановку конвейера.

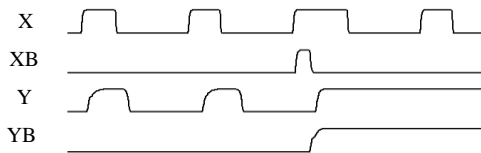


Рис 6. Зависание разряда регистра QDI конвейера из-за AS

Для количественной оценки устойчивости QDI конвейера к логическим сбоям мы использовали "дерево" событий. Корневым узлом дерева событий является выбранный логический сбой, случившийся в конкретных условиях и при конкретных значениях сигналов, от которых зависит эволюция рассматриваемой ситуации. Расчет вероятности повреждения данных, обрабатываемых конвейером, опирается на следующую методику:

1. Все типы логических сбоев перечисленные в Таблице II, за исключением случаев в последних двух строках, считаются равновероятными. Другими словами, если появился логический сбой, то вероятность наблюдения в этот момент времени выбранного типа ошибки из Таблицы II равна 0.1.

2. Вероятности появления AS в рабочей фазе и в спейсерной фазе считаются одинаковыми (0.5).

3. Вероятности появления одного или другого рабочего состояния в качестве преждевременного в спейсерной фазе считаются одинаковыми (0.5).

4. Вероятности наблюдения всех возможных продолжений эволюции текущей ситуации считаются одинаковыми ($1/\text{число_разветвлений}$).

5. Данные считаются не поврежденными, если по окончании логического сбоя они соответствуют ожидаемым (восстановились или не изменились во время логического сбоя) и ни одна порция данных в конвейере не потерялась.

Анализ с помощью данной методики QDI конвейера с регистрами, реализованными схемой на рис. 5, показывает, что вероятность повреждения данных в нем из-за шумового логических сбоев, возникших в комбинационной части ступени конвейера, равна 86.3%. Схема детектирует наличие сбоя, но не может "излечиться" от него, попадая в критический останов.

Мы предлагаем способ самолечения "залипания" в AS схемы, изображенной на рис. 5. Схема разряда регистра конвейера, защищенная от "зависания" в AS, изображена на рис. 7. Она использует модифицированный C-элемент и перекрестные связи между C-элементами.

Рис. 8 демонстрирует схему полустатического модифицированного C-элемента. Она содержит дополнительный p-МДП транзистор, который обеспечивает самолечение разряда регистра с нулевым спейсером, попавшего в состояние "залипания" в AS. За счет перекрестных связей, управляющих транзистором M0 в обоих C-элементах, разряд регистра переключается в корректное рабочее состояние по окончании логического сбоя, если на входе регистра (X, XB) рабочее состояние. Размеры транзистора M0 идентичны размерам транзисторов входной части C-элемента.

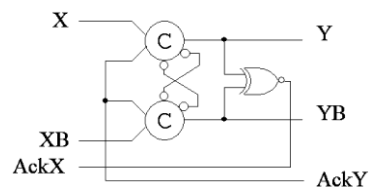


Рис. 7. Разряд регистр QDI конвейера, защищенный от "залипания" в AS

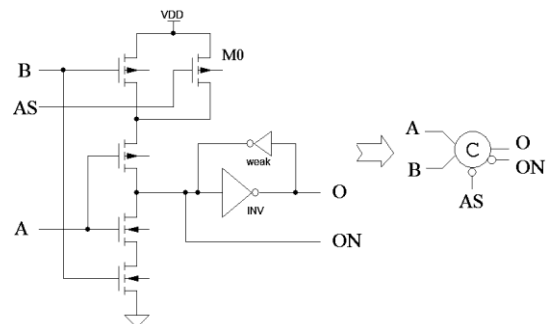


Рис. 8. Полустатический C-элемент, защищенный от "залипания" в AS

Рис. 9 показывает схему аналогичного статического С-элемента с самоочищением "залипания" в AS. В отличие от полустатического С-элемента, дополнительный по сравнению со стандартной схемой транзистор M0 и транзистор M1 должны быть достаточно большими. При $A = 0, B = 0, C = 1$ и $Q = 1$ они должны "пересилить" открытые n-MOS транзисторы M2 и M3 и зарядить узел QN до уровня, обеспечивающего переключение выходного инвертора из логической единицы в логический нуль.

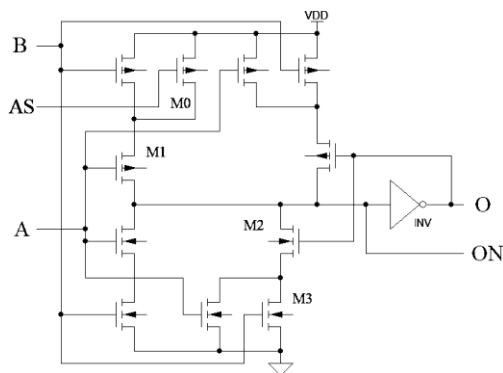


Рис. 9. Статический С-элемент, защищенный от "залипания" в AS

Рис. 10 иллюстрирует результаты моделирования QDI схемы, использующей схему рис. 9 в качестве разряда регистра. Появление кратковременного AS $X = XB = 1$ вызывает переключение выхода разряда в AS $Y = YB = 1$. Но по окончании логического сбоя и возврата парафазного сигнала (X, XB) из AS корректное рабочее состояние $X = 1, XB = 0$ выход (Y, YB) успешно переключается из состояния AS в корректное рабочее состояние $Y = 1, YB = 0$. Конвейер не останавливается.

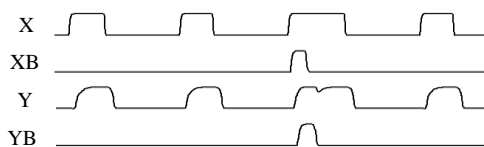


Рис. 10. Поведение защищенного разряда регистра QDI конвейера при AS

В результате QDI конвейер с регистрами, защищенными от "залипания" в AS с помощью схем, показанных на рис. 8 или 9, демонстрирует улучшенную до 97.8% устойчивость к логическим сбоям, возникшим в комбинационной части ступени конвейера и приведенным в Таблице II.

Таким образом, индикация состояния AS как спейсера и использование С-элементов, защищенных от "залипания" в AS, в разряде регистра ступени QDI конвейера обеспечивают повышение естественной устойчивости QDI конвейера на 11.5%.

V. ЗАКЛЮЧЕНИЕ И БУДУЩАЯ РАБОТА

Шумы являются серьезным источником логических сбоев. Интенсивность шумов от

внутренних источников из-за наводок многократно превышает частоту появления логических сбоев, вызванных ядерными частицами, пролетающими через объем полупроводника.

Наиболее опасным типом логических сбоев является рабочее состояние, инверсное по отношению к текущему или ожидаемому рабочему состоянию. Но строгое соседнее расположение трасс частей парафазных сигналов при топологическом синтезе делает этот тип логических сбоев не реализуемым.

Индикация AS как спейсера и использование С-элемента, защищенного от "залипания" в AS, в разряде регистра ступени QDI конвейера обеспечивают повышение естественной устойчивости QDI конвейера на 11.5%. Устойчивость QDI конвейера к логическим сбоям, возникшим в комбинационной части ступени конвейера, оказывается равной 97.8%.

Дальнейшая работа будет посвящена исследованиям устойчивости QDI конвейера к логическим сбоям, индуцированным шумами, для различных схемотехнических реализаций регистра ступени конвейера и управления запрос-ответным взаимодействием между ступенями конвейера.

VI. БЛАГОДАРНОСТИ

Исследование профинансировано грантом Российского научного фонда (Project № 19-11-00334).

Литература

- [1] A. Taubin, A. Kondratyev, J. Cortadella, and L. Lavagno, "Behavioral Transformations to Increase Noise Immunity in Asynchronous Specifications," in *International Symposium on Advanced Research in Asynchronous Circuits and Systems*, 1999. <https://doi.org/10.1109/ASYNC.1999.761521>.
- [2] P. Eaton, J. Benedetto, D. Mavis, K. Avery, M. Sibley, M. Gadlage, and T. Turflinger, "Single event transient pulsewidth measurements using a variable temporal latch technique" *IEEE Trans. Nucl. Sci.*, vol. 51, no. 6, pp. 3365–3368, 2004. <https://doi.org/10.1109/TNS.2004.840020>.
- [3] W. A. Lien, P. Day, C. Farnsworth, R. Glibbery, D. L. Jackson, et al., "Noise in self-timed and synchronous implementation of a DSP," in *IEEE Radio and Wireless Conference (RAWCON 98)*, 1998. <https://doi.org/10.1109/RAWCON.1998.709140>.
- [4] Y. A. Stepchenkov, A. N. Kamenskih, Y. G. Diachenko, Y. V. Rogdestvenski, and D. Y. Diachenko, "Fault-Tolerance of Self-Timed Circuits," in *2019 10th International Conference on Dependable Systems, Services, and Technologies (DESSERT)*, 2019. <https://doi.org/10.1109/DESSERT.2019.8770047>.
- [5] M. T. Moreira, G. Trojan, F. G. Moraes, and N. L. V. Calazans, "Spatially distributed dual-spacer null convention logic design" *Journal of Low Power Electronics*, vol. 10, no. 3, pp. 313–320, 2014. <https://doi.org/10.1166/jolpe.2014.1332>.
- [6] A. Yakovlev, "Structural technique for fault-masking in asynchronous interfaces," *IEE Proceedings-E (Computers and Digital Techniques)*, vol. 140, no. 2, pp. 81–91, 1993. <https://doi.org/10.1049/ip-e.1993.0011>.
- [7] C. LaFrieda, and R. Manohar, "Fault Detection and Isolation Techniques for Quasi Delay-Insensitive Circuits," in *International Conference on Dependable Systems and Networks*, 2004. <https://doi.org/10.1109/DSN.2004.1311875>.
- [8] T. Lakshmiraprasad, M. Sivakumar, B. K. V. Prasad, and S. A.

- Inthiyaz, "Nanoscale CMOS technology for hardened latch with efficient design" *International Journal of Electronics and Communication Engineering*, vol. 5, no. 3, pp. 343-349, 2012. ISSN 0974-2166.
- [9] K. J. Kulikowski, M. G. Karpovsky, A. Taubin, Z. Wang, and A. Kulikowski, "Concurrent Fault Detection for Secure QDI Asynchronous Circuits," in *38th Annual IEEE/IFIP International Conference on Dependable Systems and Networks (DSN 2008)*, 2008.
- [10] Y. Monnet, M. Renaudin, R. Leveugle, "Hardening techniques against transient faults for asynchronous circuits" in *11th IEEE International Conference: On-Line Testing Symposium*, 2005. <https://doi.org/10.1109/IOLTS.2005.30>.
- [11] D. Shang, A. Yakovlev, A. Koelmans, D. Sokolov, A. Bystrov, "Registers for Phase Difference Based Logic" *IEEE Trans. Very Large Scale Integration (VLSI) Systems*, vol. 15, no. 6, pp. 720-724, 2007. <https://doi.org/10.1109/TVLSI.2007.898772>.
- [12] V. Varshavsky, M. Kishinevsky, V. Marakhovsky, et al. *Self-timed Control of Concurrent Processes*. Kluwer Academic Publishers, 1990. 245 p.
- [13] S. Peng, and R. Manohar, "Efficient Failure Detection in Pipelined Asynchronous Circuits," in *20th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'05)*, 2005. <https://doi.org/10.1109/DFTVS.2005.33>.