

Ретроспектива самосинхронной схемотехники

В.Н. Захаров, Ю.А. Степченков, Ю.Г. Дьяченко, Ю.В. Рождественский
Institute of Informatics Problems Federal Research Center "Computer Science and Control"
of the Russian Academy of Sciences, Moscow, Russia
YStepchenkov@ipiran.ru

Аннотация—Статья посвящена сравнению синхронной и самосинхронной методологий проектирования цифровых микросхем. Самосинхронные схемы, предложенные Маллером Д. в середине двадцатого века, обладают рядом преимуществ по сравнению с синхронными аналогами. Они сохраняют функциональную работоспособность при любых задержках элементов, не требуют глобальной синхронизации, выявляют константные неисправности. Эти свойства самосинхронных схем обеспечиваются избыточным кодированием данных и связанной с ним аппаратной избыточностью. Практическая разработка самосинхронных устройств разной сложности доказала эффективность самосинхронных решений, особенно в высоконадежных и отказоустойчивых применениях. Статья приводит результаты сравнительных испытаний тестовых кристаллов синхронных и самосинхронных схем, оценки быстродействия и иммунности самосинхронных схем разного уровня сложности. Предложенный метод групповой индикации многоуровневых самосинхронных схем повышает их быстродействие на 40% за счет незначительного увеличения (менее 3%) аппаратных затрат.

Ключевые слова—самосинхронная схема, С-элемент, парафазный, "дерево" Уоллеса, индикация, умножитель, производительность, сложность

I. ВВЕДЕНИЕ

Одной из важнейших задач в цифровых системах, решающей проблему координации событий (сигналов, операций или процессов) в аппаратуре, является синхронизация, обеспечивающая интерфейс между физическим и логическим временем [1]. В середине прошлого века активно исследовались две альтернативные методологии синхронизации элементов в аппаратуре: синхронная и самосинхронная (СС). С момента появления теории Д. Маллера [2] СС-проектирование было областью активных исследований [3 - 7].

В последние годы интерес к СС-схемотехнике повышается по мере нарастания проблем в синхронной схемотехнике. Стремление к увеличению производительности вычислительных устройств идет рука об руку с постоянной борьбой за снижение энергопотребления, а также соблюдение жестких требований к надежности и помехозащищенности схем [8].

Поиск методов и решений этих проблем возродил интерес к СС-схемотехнике, лишенной части недостатков синхронных схем, например, избыточного потребления вследствие наличия глобальных цепей синхронизации. В печати приводятся результаты разработки функционально-законченных асинхронных

изделий вплоть до уровня DSP-процессоров [8], сопроцессоров [9], микропроцессоров с архитектурами ARM (AMULET [10], ARM996HS [11]), MiniMIPS [12], RISC-архитектур (ASPRO [13], TengYue-1 [14]).

В СССР методология СС-проектирования активно развивалась коллективом исследователей под руководством В.И. Варшавского [1, 6]. Он убедительно доказал возможность и целесообразность внедрения принципа самосинхронизации в схемотехническую практику. С 80-х годов прошлого века методологию проектирования СС-аппаратуры поддерживает и развивает ИПИ РАН [15-21].

В сравнении с синхронными аналогами СС-схемы обладают следующими основными преимуществами:

- устойчивая работа при любых условиях эксплуатации;
- безопасная работа, означающая прекращение всех переключений в момент появления константной неисправности, при которой выход элемента "залипает" в одном состоянии.

Практические следствия этих преимуществ СС-схем:

- естественная устойчивость к параметрическим отказам, вызываемым процессами старения и неблагоприятными воздействиями окружающей среды,
- естественная стопроцентная самопроверяемость по отношению к константным неисправностям,
- безопасность функционирования на основе бестестовой локализации неисправностей, т.е. прекращение работы в момент отказа элемента, исключающее выдачу недостоверной информации, с одновременной индикацией места события,
- максимально возможный диапазон работоспособности, определяемый только физическим сохранением переключаемых свойств активных элементов базиса реализации,
- отсутствие накладных аппаратных и энергетических расходов, связанных с реализацией глобального "клокового дерева".

Перечисленные свойства СС-схем предопределяют высокую эффективность создания надежных изделий, в том числе и отказоустойчивых. Однако в полной мере данными свойствами обладают только действительно СС-схемы, поведение которых основано на индикации окончания переключения схемы в очередное состояние.

Единственный недостаток СС-схем – большие аппаратные затраты. В зависимости от класса рассматриваемого цифрового устройства его СС

статическая КМОП-реализация в 1,3 – 2,5 раза сложнее синхронного аналога. В наибольшей степени это характерно для комбинационных схем из-за использования дуального представления каждой функции и добавления схемы контроля окончания всех переходных процессов при переключениях схемы.

Данная статья анализирует различные подходы к проектированию СС-схем, приводит сравнительные оценки потребительских свойств практических решений синхронной и СС-схемотехники, предлагает схемотехнические решения, повышающие быстродействие СС-схем, дает рекомендации по их использованию.

II. ПРАКТИЧЕСКИ ЗНАЧИМЫЕ СС-СХЕМЫ

Анализ технических публикаций показывает, что большинство предлагаемых схемотехнических решений, позиционируемых как самосинхронные, относится к классу квази-самосинхронных схем. Они используют запрос-ответное взаимодействие (handshake) между функциональными блоками вместо глобальной синхронизации. Но в них контроль окончания событий заменен встроенными элементами задержки исходя из гипотезы ограниченного времени протекания событий. Это позволяет уменьшить аппаратную сложность схем, сократить потребление энергии, расширить область работоспособности и использовать стандартные средства САПР СБИС для их проектирования. Однако в результате теряются основные преимущества СС-схем – независимость их поведения от задержек элементов и бестестовая самодиагностика.

Более практичным является подкласс схем, независимых от задержек в элементах (НЗЭ). В пределах эквихронной зоны [1] они обладают всеми свойствами действительно СС-схем. Только при передаче информации отдаленному приемнику вне пределов эквихронной зоны необходимо предпринимать дополнительные меры по обеспечению независимости от задержек в трассах. К устройствам такого типа относится, например, Fused Multiply-Add (FMA) unit [22].

Методология проектирования НЗЭ-схем, развиваемая в ИПИ РАН, базируется на следующих принципах:

- двухфазный режим работы,
- использование парафазных, бифазных и унарных сигналов, причем последние два обязательно сопровождаются управляющими сигналами,
- переключение всех элементов схемы контролируется индикаторной подсхемой,
- запрос-ответное взаимодействие соседних в тракте обработки информации устройств.

Практически целесообразными являются также квази-НЗЭ схемы (КНЗЭ). Основное их отличие от НЗЭ-схем состоит в том, что они контролируют с помощью индикаторной подсхемы окончание переключения только тех элементов, которые стоят в критических путях обработки информации, а не всех элементов схемы. За счет этого они оказываются более быстродействующими и менее сложными. Примером реализации КНЗЭ-схемы служит computing device [19], выполняющий операции

деления и извлечения квадратного корня в соответствии со стандартом IEEE 754 [23].

Но КНЗЭ-схемы не обеспечивают сохранения работоспособности схемы при изменении напряжения питания и температуры и при воздействии экстремальных факторов в таком же широком диапазоне условий эксплуатации, как НЗЭ-схемы.

При микронных нормах проектирования топологии микросхем эквихронная зона измерялась миллиметрами и практически покрывала всю площадь кристалла БИС. Поэтому НЗЭ-схема в рамках одного кристалла БИС являлась действительно СС-схемой.

Однако с переходом к субмикронным нормам проектирования БИС размер эквихронной зоны существенно сократился из-за того, что задержки элементов стали меньше задержек распространения сигналов в проводах. В современных цифровых СБИС эквихронная зона покрывает лишь малую часть площади кристалла. Поэтому НЗЭ-схемы могут считаться СС-схемами, если функциональные блоки, связанные друг с другом запрос-ответным взаимодействием, в топологии имеют соответствующие размеры.

К действительно СС-схемам относятся также схемы, реализованные в соответствии с методологией NULL Convention Logic (NCL) [7, 24]. Они обеспечивают независимость поведения от задержек не только в элементах схемы, но и в соединительных трассах.

NCL-схемы имеют неоспоримые достоинства:

- При реализации комбинационных схем они не требуют индикации каждого элемента схемы. Достаточно проиндицировать только выходы схемы,
- Строгое соблюдение парафазной дисциплины с нулевым спейсером существенно упрощает построение сложных функциональных схем,
- Процесс проектирования NCL-схем легче поддается формализации и автоматизации. В настоящее время уже существуют как минимум два программных средства синтеза NCL-схем по формальному описанию на специальном языке: BALSА [25] и UNCLE [26].

Однако NCL-схемы обладают и существенными недостатками по сравнению с НЗЭ-схемами [27]:

- Индикация входов на выходах в каждом элементе приводит к большой избыточности аппаратурных затрат,
- Ограниченность элементного базиса и кодирования информационных сигналов не позволяет получать более компактные реализации последовательных схем,
- Вследствие аппаратной избыточности ухудшается быстродействие и растет энергопотребление.

В результате сложность НЗЭ-схем оказывается меньше сложности NCL-схем в 4,5 раза при реализации двоичного счетчика, в 1,13 раза при реализации умножителя, до 2 раз при реализации простых логических схем.

III. ПРОГРАММНАЯ ПОДДЕРЖКА

Маршрут проектирования НЗЭ-схем поддерживается программными средствами анализа разрабатываемой схемы на самосинхронность [18, 21, 28]. Они обеспечивают проверку схемы на соответствие базовым принципам функционирования СС-схем и помогают пользователю найти и исправить ошибки в организации индикации и запрос-ответного взаимодействия схемы. Программы анализа способны работать с многоразрядными практическими схемами уровня 64-разрядного FMA.

Использование иерархического функционального подхода [29] к анализу цифровых схем на самосинхронность позволяет анализировать схемы практически любого объема. Суть его состоит в анализе схемы по частям и снизу вверх – от более простых элементов и функциональных блоков к более сложным.

В настоящее время ведется работа по созданию программных средств синтеза НЗЭ-схем [30] в базе заказной КМОП-технологии и на базовых матричных кристаллах (БМК) (gate arrays, GA). Их схемотехническим базисом являются промышленные библиотеки стандартных элементов, расширенные самосинхронными комбинационными и последовательностными элементами [31, 32].

Ряд триггеров СС-библиотеки имеет уникальные свойства, обеспечивающие эффективное решение двух проблем:

- Большой нагрузочной способности выходов триггеров [33],
- Упрощенной реализации входного интерфейса с синхронными формирователями входных данных [34].

Использование таких триггеров в составе НЗЭ-схем гарантирует сохранение их свойств в полном объеме при приемлемом быстродействии и аппаратной сложности.

Модели библиотечных элементов содержат предупреждения о возможном нарушении дисциплины формирования сигналов, поступающих на входы элемента. Это позволяет разработчику НЗЭ-схемы на этапе функционально-логического моделирования избежать ошибок, связанных с неправильной организацией запрос-ответного взаимодействия между блоками и элементами в схеме.

IV. ЭКСПЕРИМЕНТАЛЬНЫЕ РЕЗУЛЬТАТЫ

Сравнение представленных ниже синхронных, КНЗЭ и НЗЭ вариантов реализации цифровых устройств основана на оценке реального быстродействия при реальных условиях эксплуатации. Частота тактирования С-устройств устанавливалась для наихудшего случая из допустимой области эксплуатации. Быстродействие НЗЭ-схем определялось реальными условиями эксплуатации. Именно поэтому НЗЭ-устройства в нормальных условиях оказываются, как правило, быстрее синхронных аналогов. Это подтверждается результатами испытаний ряда вариантов цифровых устройств, описанных ниже.

A. Микроядро

Микроядро [35] является 4-разрядным аналогом вычислительного ядра микроконтроллера PIC18XX (Microchip). Оно выполняет набор из четырех команд: умножения двух 4-разрядных операндов (MUL), циклического сдвига 4-разрядного операнда (ROT), безусловного перехода (JUMP) и пустой команды (NOP), размещаемых в памяти команд в произвольном порядке. Структурная схема микроядра показана на рис. 1.

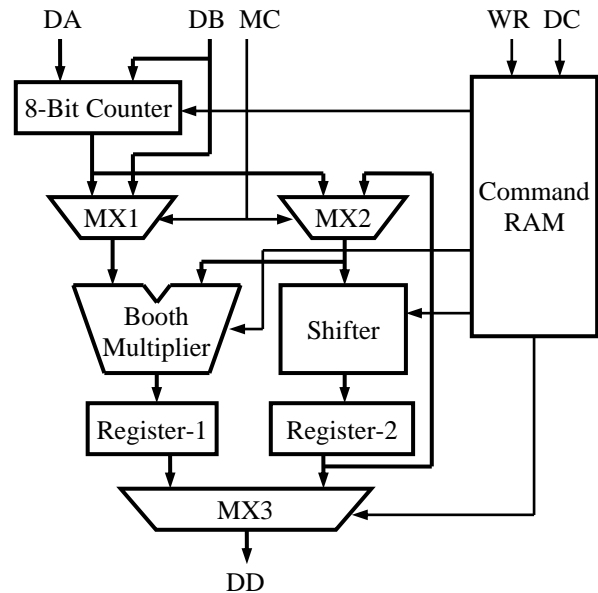


Fig. 1. Структурная схема микроядра

Схема микроядра была разработана в синхронном и НЗЭ-вариантах и изготовлена на БМК серии 5503 по 1,6 мкм КМОП-технологии (НПК “Технологический центр”, МИЭТ). Результаты измерений длительности выполнения наборов команд для обоих вариантов микроядра представлены в табл. 1. Они показывают, что НЗЭ-вариант микроядра лучше своего синхронного аналога в 3,25 раз по реальной производительности на типовом наборе команд.

ТАБЛИЦА I Сравнение быстродействия вариантов микроядра

	Набор операций	Синхронный вариант, нс	Независимый от задержек вариант, нс		
		$U=4.5V$ $T=125^{\circ}C$	$U=4.5V$ $T=125^{\circ}C$	$U=5.0V$ $T=27^{\circ}C$	$U=5.5V$ $T=-63^{\circ}C$
1	Cyclic MUL	250	166	144	118
2	Cyclic ROT	250	121	102	86
3	Cyclic NOP	250	111	93	75
4	Cyclic JUMP	500	90	78	66
5	MUL+JUMP+NOP+ROT	1248	516	440	364

Табл. II содержит аппаратные затраты для обоих вариантов микроядра в вентилях. Для синхронного варианта они оказались меньше в 1,43 раз.

Рис. 2 демонстрирует результаты проверки работоспособности синхронных (темная область) и НЗЭ-образцов Микроядра в диапазоне напряжения питания и температуры. Синхронные образцы работали на частоте не для наихудшего случая, а на той, которая обеспечивала их функциональную работоспособность

при заданном напряжении питания и температуре окружающей среды.

ТАБЛИЦА II СЛОЖНОСТЬ ВАРИАНТОВ МИКРОЯДРА

	Функциональный блок	Синхронный вариант, вентили	Независимый от задержек вариант, вентили
1	Умножитель	177	444
2	Сдвигатель	52	214
3	Счетчик	88	159
4	ОЗУ команд	230	192
5	Блок управления	423	380
	Всего	970	1389

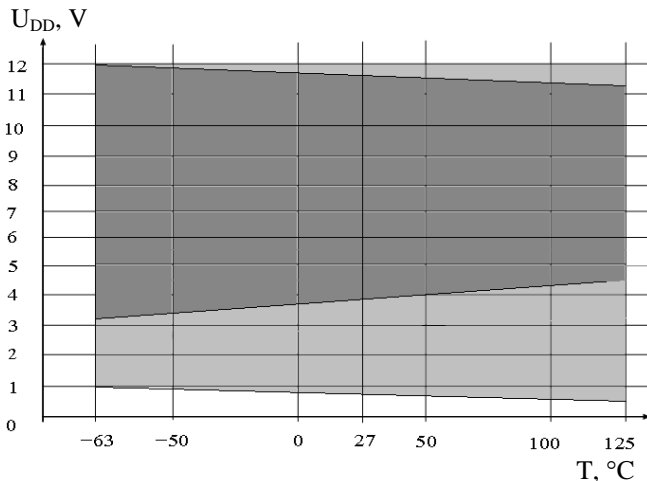


Fig. 2. Области работоспособности для синхронного и КНЗЭ вариантов микроядра

Таким образом, даже при адаптивной подстройке частоты работы синхронные образцы Микроядра смогли функционировать в более узком диапазоне напряжения питания и температуры окружающей среды.

В. Сопроцессор

Сопроцессор выполняет операции деления и извлечения квадратного корня в соответствии со стандартом IEEE 754 над числами одинарной и двойной точности.

Для сравнения использовались четыре варианта сопроцессора: синхронный C-N вариант, реализующий алгоритм Ньютона; синхронный C-SRT вариант, реализующий SRT Radix4 алгоритм; КНЗЭ- и НЗЭ-варианты, реализующие SRT Radix2 алгоритм. Первые три варианта сопроцессора были реализованы в составе тестовой микросхемы по стандартной 0,18-мкм КМОП технологии с шестью слоями металлизации.

Структурная схема сопроцессора, реализованного в виде вариантов КНЗЭ и НЗЭ, показана на рис. 3. Она содержит следующие блоки:

- входной регистр операндов и признаков операции (IR),
- схему обработки экспонент (СЕР),
- входной мультиплексор операндов (МО), организующий итерационное выполнение операции,

- четыре однотипные вычислительные стадии CS1–CS4, каждая из которых вычисляет один бит результата операции,
- индикаторную схему (IC) со схемой управления (CC), обеспечивающие CC-дисциплину обмена данными между блоками вычислителя,
- блок постобработки мантиссы (PP),
- выходной регистр результата (OR).

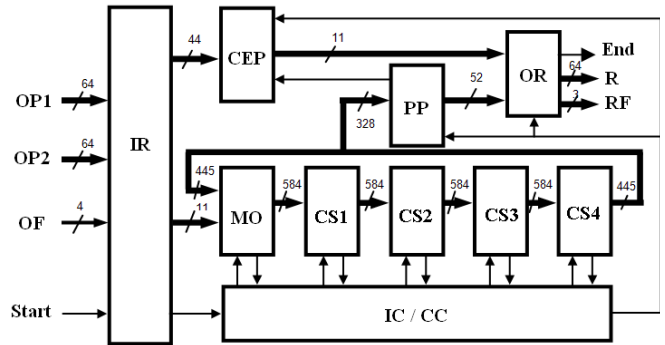


Fig. 3. Структурная схема КНЗЭ и НЗЭ сопроцессоров

Результаты измерений КНЗЭ-варианта и двух синхронных вариантов сопроцессора, реализующих алгоритмы Ньютона и стандартный алгоритм SRT Radix4, показаны на рис. 4. Производительность измерялась при напряжении питания $U_{DD}=1,8V$ и температуре $T=27^{\circ}C$.

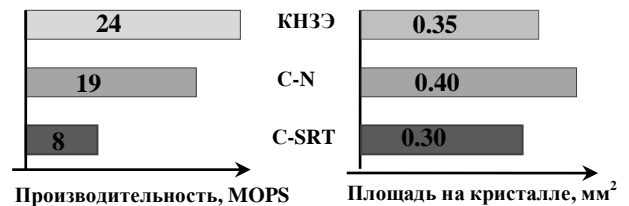


Fig. 4. Сравнение КНЗЭ и синхронного вариантов сопроцессора

Сравнение параметров трех вариантов сопроцессора показывает, что КНЗЭ-реализация обладает лучшей производительностью и средней площадью топологической реализации по сравнению с синхронными аналогами.

НЗЭ-вариант сопроцессора отличается от КНЗЭ-варианта тем, что в нем соблюдены все принципы проектирования, гарантирующие независимость от задержек элементов при любых условиях эксплуатации устройства. Индикаторная подсхема КНЗЭ-варианта обеспечивает контроль окончания переключения только критических цепей в схеме сопроцессора. За счет этого КНЗЭ-вариант характеризуется лучшим на 30-40% быстродействием и меньшими на 20% аппаратными затратами.

В табл. III приведено усредненное время выполнения деления (DIV) и извлечения квадратного корня (SQRT) с двойной точностью КНЗЭ- и НЗЭ-сoproцессором по результатам моделирования ограниченного набора операндов.

ТАБЛИЦА III БЫСТРОДЕЙСТВИЕ КНЗЭ И НЗЭ СОПРОЦЕССОРОВ

	Условия		КНЗЭ		НЗЭ	
	U _{DD} , V	T, °C	DIV, ns	SQRT, ns	DIV, ns	SQRT, ns
1	1.98	-63	34.7	36.9	47.3	50.2
2	1.80	25	46.7	49.1	63.5	67.0
3	1.62	125	63.9	70.3	86.9	90.1
4	0.32	125	25 688	25 301	34 940	34 410
5	0.20	125	-	-	340 800	336 920

Анализ табл. III показывает, что оба варианта сопроцессора продолжают устойчиво работать при понижении напряжения питания до 0.32 В. При этом быстродействие падает в 550 раз, но все операции выполняются корректно. Это свидетельствует о широкой зоне работоспособности КНЗЭ- и НЗЭ-сoproцессора. Но только НЗЭ-сoproцессор оказывается работоспособным при более низком напряжении питания 0,2 В, что является следствием использования индикации, соответствующей SI-схемам.

V. УСКОРЕНИЕ НЗЭ-СХЕМ

Основными факторами ограничения быстродействия НЗЭ-схем являются двухфазная дисциплина работы и наличие индикаторной подсхемы, обеспечивающей контроль окончания переключения НЗЭ-схемы в текущую фазу и запрос-ответное взаимодействие ее частей. Две фазы (рабочая фаза и спейсер) позволяет разделить два соседних рабочих состояния схемы. А для подтверждения окончания переключения НЗЭ-схемы и в рабочую фазу, и в спейсер требуется проиндицировать выходы всех ее элементов и собрать их в один индикаторный сигнал.

A. Задержка индикаторной подсхемы

В схемах с небольшой разрядностью обрабатываемых данных индикаторная подсхема работает в фоновом режиме и слабо влияет на быстродействие схемы. В многоразрядных НЗЭ-схемах большое число индицирующих сигналов приводит к увеличению каскадов индикаторной подсхемы, и она начинает вносить существенный вклад в задержку НЗЭ-схемы. Однако в специфичных случаях задержка индикаторной схемы может быть уменьшена за счет распараллеливания индикации и управления.

Сложные НЗЭ-схемы, как и их синхронные аналоги, строятся в виде конвейера. Базовый принцип взаимодействия ступеней НЗЭ-конвейера заключается в следующем: текущая ступень конвейера начинает переключаться в рабочую (спейсерную) фазу только после того, как предыдущая ступень конвейера переключилась в рабочую (спейсерную) фазу, а следующая ступень конвейера переключилась в спейсерную (рабочую) фазу.

На рис. 5 приведена схема классического НЗЭ-конвейера, реализующая этот базовый принцип. Здесь «Логика» – комбинационная часть ступени конвейера; «Регистр» – выходной регистр ступени; «С» – С-элемент Маллера [2], формирующий сигнал управления регистром. Входы С-элемента являются индикаторными выходами комбинационной части и регистра ступени конвейера.

Сборка частичных индикаторов в один общий сигнал реализуется пирамидой С-элементов, как показано на рис. 6. Задержка сборки общих индикаторных выходов многоразрядных Логика и Регистра равна

$$t_{IC} = t_{C3} \cdot \lceil \log_3 M \rceil + t_{C2},$$

где t_{C2} – задержка двухвходового С-элемента; t_{C3} – задержка трехвходового С-элемента; M – число разрядов или выходов Логика и Регистра; скобки "⌈" означают ближайшее целое, не меньшее значения выражения в скобках.

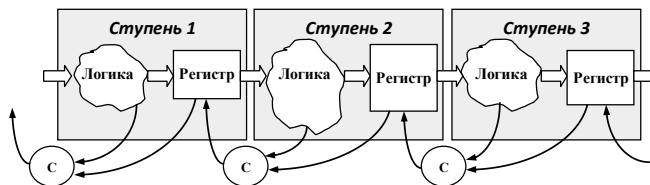


Fig. 5. Структурная схема классического НЗЭ конвейера

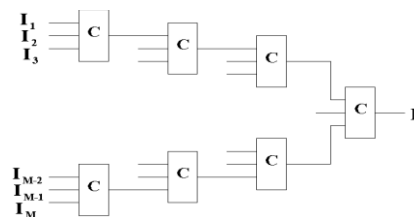


Fig. 6. Формирование общего индикаторного выхода

Фактически t_{IC} является дополнительной задержкой переключения ступени конвейера. Она добавляется к основной задержке формирования информационных сигналов на выходах Регистра. Готовность данных на выходе Регистра необходимо подтвердить индикаторным сигналом, чтобы предыдущая ступень конвейера начала переключение в свою следующую фазу.

Логарифмическая зависимость задержки t_{IC} от числа разрядов схемы смягчает влияние индикаторной подсхемы на быстродействие НЗЭ-схемы. Но в современных многоразрядных вычислительных устройствах задержка индикаторной подсхемы играет драматическую роль.

Например, число индикаторных сигналов первого слоя «дерева» Уоллеса умножителя двойной точности, соответствующего стандарту IEEE754 [23], реализующего модифицированный алгоритм Бута и использующего парафазное кодирование с единичным спейсером, равно 1430. Схема, объединяющая их в один индикаторный сигнал, будет иметь 716 трехвходовых и двухвходовых С-элементов, расположенных на 7 каскадах пирамидальной структуры. В 65-нм КМОП-технологии задержка одного трехвходового С-элемента при типовых условиях и типовой нагрузке равна 50 пс. Тогда суммарная задержка переключения в одну сторону такой индикаторной схемы составляет около 350 пс, а в обе стороны – 700 пс, что приводит к серьезному замедлению конвейера умножителя.

Для НЗЭ-схем с высокой параллельностью обработки многоразрядных данных существует решение проблемы задержки индикаторной подсхемы.

B. Оптимизация индикаторной подсхемы

Использование поразрядной или групповой индикации и управления обеспечивает сокращение вклада индикаторной схемы в задержку переключения многоразрядной СС-схемы [36]. Рис. 7 иллюстрирует структурную схему НЗЭ-конвейера с поразрядной индикацией.

Поразрядные индикаторные сигналы Логики интегрируются в Регистр для формирования суммарных поразрядных индикаторов ступени конвейера. Рис. 8 показывает два возможных способа интеграции индикатора Логики I_L в суммарный индикатор I_R в разряде Регистра. Здесь X, XB – парафазный информационный выход Логики с единичным спейсером; E – общий или поразрядный вход управления регистра; Y, YB – парафазный информационный выход Регистра с единичным спейсером. Использовать двухвходовые С-элементы целесообразно в том случае, если индикаторный сигнал I_L формируется с некоторой задержкой по отношению к парафазному сигналу X, XB .

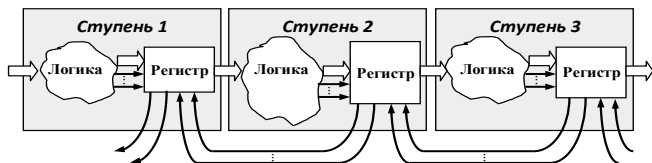


Fig. 7. Структурная схема НЗЭ конвейера с поразрядной индикацией

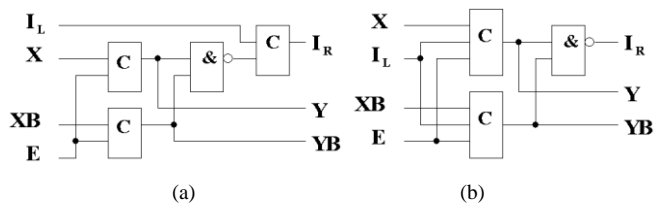


Fig.8. Варианты разряда регистра: на двухвходовых (a) и трехвходовых (b) С-элементах

Поразрядная индикация позволяет инициировать переключение отдельных входов ступени НЗЭ-схемы в противоположную фазу работы, не дожидаясь окончания переключения в текущую фазу всех разрядов Регистра ступени. Необходимым условием для этого является независимость выходов, индикация которых еще не завершилась, от входов, получивших разрешение на переключение в противоположную фазу работы.

Пусть НЗЭ-схема имеет M разрядов и каждые K соседние разряды связаны друг с другом: выходы элементов в младших разрядах подмножеств из K разрядов используются как входы в старших разрядах этих же подмножеств. Назовем показатель K коэффициентом связности. Тогда индикация окончания переключения K соседних разрядов в очередную фазу работы гарантирует готовность результата в этих K разрядах и разрешает переключение самого младшего из них в противоположную фазу. Для полной поразрядной индикации всех M разрядов ступени конвейера потребуется $(M - K + 1)$ таких индикаторных подсхем.

Максимальный эффект от использования поразрядной индикации достигается в НЗЭ-схемах с абсолютной независимостью соседних разрядов по входам-выходам. В этом случае $K = 1$ и индикаторный выход каждого разряда Регистра одной ступени управляет соответствующими разрядами Регистра предыдущей ступени конвейера. При увеличении коэффициента связности растут аппаратные затраты на поразрядную индикацию и уменьшается выигрыш по

быстродействию из-за индикаторных подсхем, формирующих групповые индикаторы.

Аппаратные затраты поразрядной индикации избыточны, поскольку один и тот же разряд схемы индицируется одновременно в K индикаторных подсхемах, и равны примерно

$$C_K = 16 \cdot (M - K + 1) \cdot \log_3 K$$

КМОП-транзисторов. Если выполняется соотношение

$$K < O = (\log_3 K)^3,$$

то для минимизации аппаратных затрат надо индицировать одним общим сигналом O соседних разрядов, а не K . Тогда завершение переключения элементов комбинационной части и регистра ступени конвейера в O соседних разрядах разрешает переключение в противоположную фазу $(O - K + 1)$ разрядов Регистра предыдущей ступени и аппаратные затраты снижаются до уровня

$$C_O = 16 \cdot \left(\frac{M - O + 1}{O - K + 1} \right) \cdot \log_3 O.$$

Например, при $M = 64$, $K = 5$ и $O = 9$ сложность минимизированной поразрядной индикаторной схемы снижается в 3.9 раза. В этом случае индикатор является групповым, а не поразрядным, так как он управляет фазовыми переключениями группы соседних разрядов.

Парафазное "дерево" Уоллеса в умножителе является хорошим примером устройства с параллельной обработкой данных. Оно состоит из многоразрядных сумматоров с сохранением переноса. В результате разряды сумматоров оказываются слабо связанными по входам и допускают применение групповой индикации в пределах одной-двух ступеней конвейера.

Коэффициент связности парафазного "дерева" Уоллеса определяется числом ступеней его конвейера. Дерево Уоллеса в умножителе, реализующем модифицированный алгоритм Бута, имеет семь каскадов. При реализации его в виде одной ступени конвейера его коэффициент связности будет равен $K = 7$. Разбиение дерева Уоллеса на две ступени конвейера, включающие три и четыре каскад сумматоров соответственно, уменьшает коэффициент связности для каждой ступени до величин $K_1 = 3$ и $K_2 = 4$.

Рис. 9 иллюстрирует структурную схему двухступенчатого конвейера дерева Уоллеса. Здесь A, B – сомножители; P – произведение; Ack_In, Ack_Out – входной и выходной сигналы уведомления об окончании текущей фазы работы. Индикаторная подсхема "C1" формирует сигнал управления фазой выходного регистра дерева Уоллеса. Подсхемы "C2" объединяют групповые индикаторы в один общий индикаторный выход. Подсхемы "C3" формируют групповые индикаторные сигналы. Число входов в "C3" равно коэффициенту зависимости соответствующей ступени плюс еще один, куда подается общий индикатор регистра, входами которого управляют выходы "C3", для обеспечения действительно самосинхронной работы.

Моделирование вариантов парафазного дерева Уоллеса с классической и групповой индикацией в базе библиотеки стандартных элементов для промышленной 65-нм объемной КМОП-технологии

подтверждает положительный эффект от использования предложенного метода индикации. Табл. IV иллюстрирует результаты моделирования.

ТАБЛИЦА IV. PARAMETERS OF MULTIPLIER CASES

	Варианты индикации "дерева" Уоллеса	Средняя длительность цикла, пс	Число КМДП транзисторов
1	Классическая индикация	970	220 000
2	Групповая индикация	710	225 500

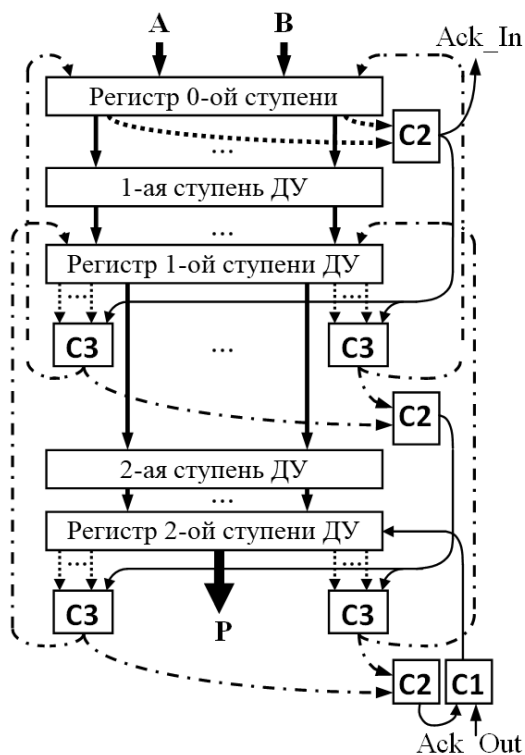


Fig. 9. Структурная схема НЗЭ конвейера с групповой индикацией

Средняя длительность рабочего цикла варианта с групповым управлением оказывается на 37% меньше длительность рабочего цикла варианта с классической индикацией. Это улучшение достигается за счет увеличения аппаратных затрат на 6 000 CMOS транзисторов, или на 2.5%.

Использование групповой индикации в качестве запрос-ответного взаимодействия соседних ступеней СС-конвейера ограничено только внутренней областью неразветвленного конвейера. Входная и выходная ступени такого конвейера обязаны формировать общий индикаторный сигнал для всех разрядов регистра

VI. ВЫВОДЫ

НЗЭ-схем характеризуются большей аппаратной сложностью по сравнению с синхронными аналогами: до 2,1 раза для регистровых структур и до 2,5 раз для комбинационных структур. Но они устойчиво работают в более широких условиях эксплуатации. Применение НЗЭ-схемотехники оправдано прежде всего в областях, где высокая надежность функционирования является определяющим фактором.

Типовые вычислительные НЗЭ-устройства с малой разрядностью обрабатываемых данных в 1.7 – 2.6 раза

лучше синхронных аналогов по производительности в реальных условиях.

Независимо от сложности реализации НЗЭ-схемы, зона ее работоспособности определяется физическими характеристиками транзисторов. Она гораздо шире зоны работоспособности традиционных синхронных схем с фиксированной частотой синхронизации и превышает аналогичную зону синхронных схем с адаптивной частотой синхронизации.

Результаты практических исследований представителей различных подклассов самосинхронных схем подтвердили декларированные теоретически преимущества самосинхронных схем по зоне работоспособности и быстродействию по сравнению с синхронными аналогами.

Применение поразрядной или групповой индикации и управления в многоразрядных схемах позволяет существенно ускорить их работу за счет относительно небольшого увеличения аппаратных затрат в том случае, если соседние разряды схемы слабо связаны друг с другом общими сигналами.

Применение групповой индикации в НЗЭ-конвейере дерева Уоллеса парафазного умножителя, реализующего модифицированный алгоритм Бута, обеспечивает повышение его быстродействия на 37% за счет увеличения его сложности на 2.5%.

БЛАГОДАРНОСТИ

В заключение мы хотим поблагодарить Морозова Н.В., Степченкова Д.Ю. и Плеханова Л.П. за неоценимый вклад в развитие самосинхронной схемотехники.

ЛИТЕРАТУРА

- [1] Varshavsky V., Kishinevsky M., Marakhovsky V. et al. Self-timed Control of Concurrent Processes, Ed. by V.Varshavsky - Kluwer Academic Publishers, 1990. – 245 p.
- [2] Muller D., Bartky W. A theory of asynchronous circuits. // Annals of computation laboratory of Harvard University, V.29, 1959. — P. 204-243.
- [3] Singh N.P. A design methodology for self-timed systems, Master's Thesis, MIT/LCS/TR-258, Laboratory for Computer Science, MIT, 1981.
- [4] Martin A.J. Compiling communicating processes into delay-insensitive VLSI circuits, Distributed Comput. 1/4 (1986) 226–234.
- [5] David I., Ginosar R., Yoeli M. An efficient implementation of Boolean functions as self-timed circuits, IEEE Trans. Comput. 41/1 (1992) 2–10.
- [6] M.Kishinevsky, A.Kondratyev, A.Taubin, and V.Varshavsky, "Concurrent hardware: the theory and practice of self-timed design," New York: J.Wiley & Sons, 1994, 368 p.
- [7] Fant K.M., Brandt S.A. NULL convention logic: a complete and consistent logic for asynchronous digital circuit synthesis / In Proceedings of the International Conference on Application Specific Systems, Architectures, and Processors, 1996, pp. 261–273.
- [8] Paver N. C., Day P., Farnsworth C., Jackson D. L., Lien W. A., Liu J. A Low-Power, Low-Noise, Configurable Self-Timed DSP // ASYNC '98: Proceedings of the Fourth International Symposium on Advanced Research in Asynchronous Circuits and Systems, 1998. P. 0032.
- [9] Matsubara G., Ide N., Tago H., Suzuki S., Goto N. 30-m 55-b Shared Radix 2 Division and Square Root Using a Self-Timed Circuit // ARITH '95: Proceedings of the 12th Symposium on Computer Arithmetic, 1995. P. 98–105.
- [10] Garside J. D., et al. AMULET3i – an asynchronous system-on-chip // Proceedings of the ASYNC-2000. – Eilat, Israel, 2000. P. 162–175.

- [11] Bink A., York R. ARM996HS: The First Licensable, Clockless 32-Bit Processor Core // IEEE Micro, 2007. Vol. 27. No. 2. P. 58–68.
- [12] Martin A. J., Nystrom M., Wong C. G. Three generations of asynchronous microprocessors // IEEE Design and Test of Computers, 2003. Vol. 20. No. 6. P. 9–17.
- [13] Gang Jin, Lei Wang, Zhiying Wang. The Design of Asynchronous Microprocessor Based on Optimized NCL_X Design-Flow // Proceedings of the IEEE International Conference on Networking, Architecture and Storage, 2009. P. 357–364.
- [14] Филин А.В., Степченков Ю.А. Компьютеры без синхронизации // Системы и средства информатики: Вып. 9, Под ред. И.А. Мизина. — М.: Наука. Физматлит, 1999. — С. 247-261.
- [15] Плеханов Л.П., Степченков Ю.А. Экспериментальная проверка некоторых свойств строго самосинхронных электронных схем // Системы и средства информатики: Вып. 16, 2006, М.: Наука. — С. 476-485.
- [16] Соколов И.А., Степченков Ю.А., Петрухин В.С., Дьяченко Ю.Г., Захаров В.Н. Самосинхронная схемотехника — перспективный путь реализации аппаратуры // Системы высокой доступности, т. 3, № 1-2, 2007, стр. 61-72.
- [17] Плеханов Л.П. Реализация функционального метода анализа самосинхронности электронных схем // Системы и средства информатики: Вып. 19, М.: Наука, 2009. — С. 142-148.
- [18] Stepchenkov Y., Diachenko Y., Zakharov V., Rogdestvenski Y., Morozov N., Stepchenkov D. Quasi-Delay-Insensitive Computing Device: Methodological Aspects and Practical Implementation. The International Workshop on power and timing modeling, optimization and simulation, PATMOS'2009, Delft, The Netherlands, September 09-11, 2009, 10 p.
- [19] Степченков Ю. А., Дьяченко Ю. Г., Рождественский Ю. В., Морозов В. Н., Степченков Д.Ю. Разработка вычислителя, независимого от задержек элементов // Системы и средства информатики, вып. 20 – М.: изд-во «Наука», 2010 – С. 237 – 254.
- [20] Рождественский Ю. В., Морозов В. Н., Рождественские А. АСПЕКТ: Подсистема событийного анализа самосинхронных схем // В сб. "Проблемы разработки перспективных микро- и наноэлектронных систем 2010", под общ. ред. А.Л. Степченковского – М.: ИПИМ РАН, 2010 – С. 26–31.
- [21] Y. Stepchenkov, Y. Rogdestvenski, Y. Diachenko, D. Stepchenkov, Y. Shikunov, "Energy Efficient Speed-Independent 64-bit Fused Multiply-Add Unit," in Proceedings of 2019 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus2019), Jan. 2019, pp. 1709-1714.
- [22] IEEE Computer Society. IEEE Standard for floating-point arithmetic IEEE Std. 754-2008. DOI:10.1109/IEEESTD.2008.4610935.
- [23] Fant K.M. Logically determined design: clockless system design with NULL convention logic, J. Wiley, 2005.
- [24] Edwards D., Bardsley A., Jani L., Plana L., Toms W. Balsa: A Tutorial Guide. Version V3.5 – Manchester, 19/5/06. 157 p. <ftp://ftp.cs.man.ac.uk/pub/apt/balsa/3.5/BalsaManual3.5.pdf>.
- [25] R.A. Taylor, R.B. Reese, "UNCLE – Unified NCL Environment – an NCL design tool," in Asynchronous Circuit Applications, Ch. 14, 2019, pp. 293–307.
- [26] Соколов И.А., Степченков Ю.А., Бобков С.Г., Захаров В.Н., Дьяченко Ю.Г., Рождественский Ю.В., Сурков А.В. 2014. Базис реализации супер-ЭВМ эксафлопсного класса. Информатика и ее применения. 8(1): 45–70.
- [27] Рождественский Ю.В., Морозов Н.В., Степченков Ю.А., Рождественские А.В. Универсальная подсистема анализа самосинхронных схем // Системы и средства информатики: Вып. 16. - М.: Наука, 2006. - С. 463-475.
- [28] Л. П. Плеханов. Программа иерархического анализа электронных схем на самосинхронность (ЛИМАН). Свидетельство о гос. регистрации программы для ЭВМ № 2016663353 от 05.12.16 г.
- [29] Л.П. Плеханов, А.Н. Денисов, Ю.Г. Дьяченко, Ю.А. Степченков, Д.И. Мамонов, Д.Ю. Степченков. Синтез самосинхронных схем в базисе БМК / Научная конференция «Микроэлектроника – ЭКБ и электронные модули». Алушта (Республика Крым), 30.09-05.10.2019 - М: Техносфера, 2019. С. 450-454.
- [30] Stepchenkov Y.A., Zakharov V.N., Diachenko Y.G., Morozov N.V., Stepchenkov D.Y. Cell Library for Speed-Independent VLSI / IEEE East-West Design and Test Symposium, Batumi, Georgia, September 26-29, 2015. P. 137- 140.
- [31] Ю.А. Степченков, Денисов А.Н., Дьяченко Ю.Г., Гринфельд Ф.И., Филимонов О.П., Морозов Н.В., Степченков Д.Ю., Плеханов Л.П. Библиотека функциональных ячеек для проектирования самосинхронных полужаказных БМК микросхем серий 5503/5507. М.: Техносфера. 2017. 367 с. — ISBN 978-5-94836-332-5. URL: <http://www.technosfera.ru/lib/book/497>.
- [32] I.A. Sokolov, Y.A. Stepchenkov, Y.G. Dyachenko. Self-timed RS-trigger with the enhanced noise immunity // US Patent №8232825, 2012.
- [33] I.A. Sokolov, Y.A. Stepchenkov, Y.G. Dyachenko. Self-Timed Trigger with Single-Rail Data Input // US Patent №8324938, 2012.
- [34] Степченков Ю.А., Петрухин В.С., Дьяченко Ю.Г. Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле. // Нано- и микросистемная техника, №5, 2006. – С. 29-36
- [35] Y. Stepchenkov, Y. Diachenko, Y. Rogdestvenski, Y. Shikunov, D. Diachenko, "Advanced indication of the self-timed circuits," Proc. of IEEE East-West Design & Test Symposium (EWDTS'2019), Batumi, Georgia, October 2019, P. 168-171.