

# Варианты самосинхронного устройства Умножения со сложением и вычитанием

Yury Stepchenkov, Yury Rogdestvenski, Yury Diachenko, Yury Shikunov, Denis Diachenko  
Institute of Informatics Problems  
Federal Research Center "Computer Science and Control" of the Russian Academy of Sciences  
Moscow, Russia  
YStepchenkov@ipiran.ru

**Аннотация**—Представлены результаты исследования вариантов самосинхронного устройства умножения с последующим сложением и вычитанием (УСВ). Все варианты УСВ соответствуют стандарту IEEE 754 и используют модифицированный алгоритм Бута для умножения двух входных 64-разрядных операндов с последующим сложением-вычитанием третьего операнда. Они отличаются друг от друга кодированием внутренних сигналов: парафазным, избыточным троичным или избыточным четверичным кодом. Статья анализирует и сравнивает их свойства, предлагает их оптимизированные конвейерные реализации и рекомендации по их применению. УСВ варианты имеют примерно одинаковую производительность, но различные аппаратные затраты и размеры топологии.

**Ключевые слова**—самосинхронный, умножитель, сумматор, вычитатель, парафазный, троичный, четверичный

## I. ВВЕДЕНИЕ

Операция умножения двух операндов с последующим сложением-вычитанием третьего операнда (УСВ) без промежуточного округления произведения обеспечивает максимальную точность вычислений. Она используется во многих алгоритмах обработки потоковых данных (например, в моделировании процесса горения) и является стандартной для современных процессоров и устройств цифровой обработки сигналов. Форматы операндов одинарной и двойной точности и принципы округления результата вычислений соответствуют стандарту IEEE 754 [1].

Известно множество синхронных проектов устройства УСВ, например, [2 – 4], отличающихся числом ступеней конвейера и особенностями реализации тех или иных структурных компонентов УСВ. В работах [5 – 7] предлагается разные варианты реализации самосинхронного (СС) устройства УСВ с избыточным троичным кодированием промежуточных данных. В то же время, возможности реализации устройства УСВ со стандартным для комбинационных СС-схем парафазным со спейсером (ПФС) кодированием остались не до конца изученными. Поэтому выявление закономерностей оптимальной реализации цифровых вычислительных СС-схем большой размерности и сложности, обеспечивающих повышение производительности проектируемых устройств и уменьшение их энергопотребления, является актуальной задачей.

В данной статье рассматриваются различные варианты реализации устройства УСВ: с троичным, четверичным и ПФС кодированием сигналов, – анализируются их свойства, проводится сравнение их

Исследование выполнено за счет гранта Российского научного фонда (Project №. 19-11-00334)

характеристик с учетом топологической реализации в 65-нм КМОП технологии и на этой основе даются рекомендации по их использованию.

## II. ОСОБЕННОСТИ РЕАЛИЗАЦИИ ВАРИАНТОВ УСВ

Все варианты УСВ реализуют одну и ту же структурную схему, представленную на рис. 1.

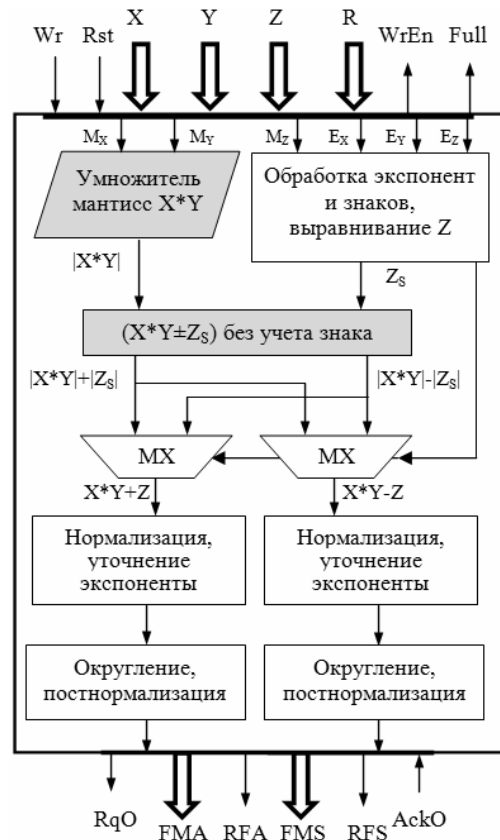


Fig. 1. Структурная схема УСВ

Здесь  $X$ ,  $Y$ ,  $Z$  – входные операнды, каждый из которых содержит одно число двойной точности или два числа одинарной точности;  $R$  – признаки операции (точность, тип округления);  $Wr$  – вход разрешения записи входных данных;  $Rst$  – вход начального сброса;  $WrEn$  – выход подтверждения готовности к приему данных;  $FMA$ ,  $FMS$  – результат суммы и разности произведения и третьего операнда;  $RFA$ ,  $RFS$  – флаги операций сложения и вычитания;  $RqO$  – выход сигнала готовности результата;  $AckO$  – вход сигнала подтверждения считывания результата.

Отличия заключаются только в реализации затененных блоков: умножителя мантисс первых двух операндов и сумматора-вычитателя произведения мантисс и третьего операнда. Именно они используют разное кодирование промежуточных данных. Остальные

блоки структурной схемы УСВ используют ПФС кодирование сигналов. Начальная часть умножителя, включающая кодер и декодер Бута, также идентична во всех вариантах, так как частичные произведения (ЧП)  $S_0, \dots, S_{26}$ , формируемые декодером Бута и складываемые затем "деревом" Уоллеса (ДУ), представляются ПФС-кодом.

#### А. Троичный и четверичный варианты УСВ

В троичном варианте ДУ дополняется преобразователем суммы пар ПФС ЧП в троичное ЧП в соответствии с формулой [8]:

$$S_A + S_B = S_A - \overline{S_B} - 1 = S_{A,B} - 1, \quad (1)$$

где  $S_A, S_B$  – исходные ПФС ЧП;  $S_{A,B}$  – троичное ЧП. В результате к 27 исходным ПФС ЧП добавляется корректирующее ЧП  $S_{27}$ , составленное из свободных членов "-1" формулы (1) для всех пар исходных ПФС ЧП. Оно также участвует в формировании троичного ЧП вместе с ЧП  $S_{26}$ , играя роль  $S_A$ . В итоге такого преобразования число исходных ЧП сокращается с 27 до 14.

Получившиеся ЧП суммируются ДУ, построенным из одноразрядных троичных сумматоров, в соответствии со структурной схемой ДУ, изображенной на рис. 2. Здесь  $S_0, \dots, S_{26}$  – ПФС ЧП, сформированные кодером Бута;  $P$  – произведение в троичном коде. ДУ на троичных сумматорах обеспечивает коэффициент сжатия 2 на каждом каскаде сложения и за счет этого имеет всего лишь 4 каскада. Точность выполняемой операции: одинарная или двойная, – учитывается при форматировании ПФС ЧП.

Число ЧП определяется размещением операндов двойной и одинарной точности в разрядах исходного операнда в соответствии со стандартом IEEE 754 [1]. Множители имеют формат "1,<мантисса>". Мантисса операнда двойной точности занимает разряды (51:0). Мантиссы операндов одинарной точности занимают разряды (54:32) и (22:0). В результате границы троек разрядов, используемых декодером Бута, для двойной и одинарной точности совпадают. На рис. 3 показано разбиение на тройки разрядов декодируемого операнда для двойной точности (верхний ряд номеров троек) и одинарной точности (нижний ряд номеров).

Для оптимизации аппаратных затрат кодировка Бута для старшей (левой) одинарной точности смещается на 4 разряда операнда вправо. В результате суммарное количество ЧП, формируемых кодером Бута, остается равным 27 для обоих вариантов точности операции: ЧП  $S_0$ - $S_{12}$  содержат информацию либо о ЧП двойной точности, либо о младшем ЧП одинарной точности; ЧП  $S_{14}$ - $S_{26}$  содержат информацию либо о ЧП двойной точности, либо о старшем ЧП одинарной точности; ЧП  $S_{13}$  для одинарной точности нулевое.

Структура ДУ на рис. 2 обеспечивает максимальное быстродействие ДУ за счет разделения на две ступени конвейера. Первая ступень содержит преобразователь сумм парафазных ЧП в троичные ЧП в соответствии с формулой (1) и первый каскад ДУ на троичных сумматорах. Вторая ступень включает три последних каскада ДУ.

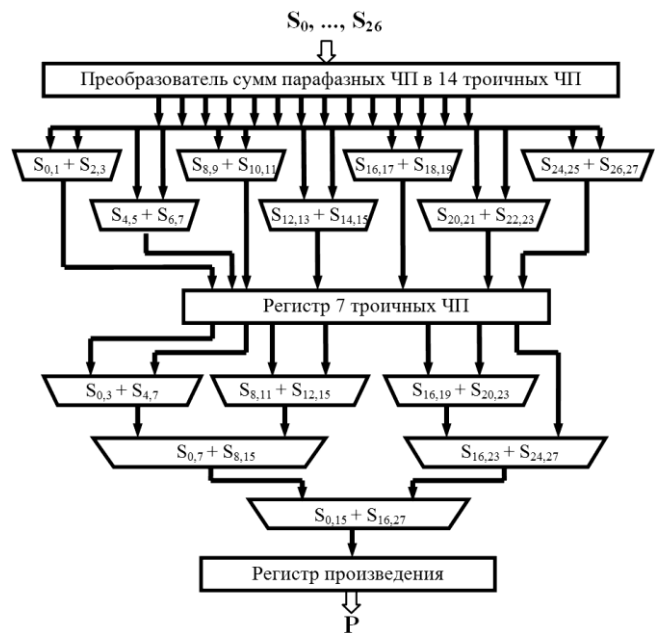


Fig. 2. Структурная схема троичного ДУ



Fig. 3. Выделение троек разрядов в кодере Бута для двойной и одинарной точности

Способ троичного и четверичного кодирования показан в таблице 1. Необходимость использования четверичного кодирования вместо троичного возникает в том случае, если по соображениям надежности число последовательно соединенных n- и p-канальных КМОП транзисторов в принципиальных схемах элементов схемы не должно превышать определенной величины. В современных библиотеках стандартных элементов для КМОП технологии с проектными нормами 65 нм и ниже число последовательно соединенных n-канальных транзисторов ограничено четырьмя, а число последовательно соединенных p-канальных транзисторов не превышает трех.

ТАБЛИЦА 1 Троичный и четверичный коды

Coded state	Ternary code			Quaternary code			
	$A_p$	$A_m$	$A_0$	$A_p$	$A_m$	$A_0$	$NA_0$
+1	1	0	0	1	0	0	1
0	0	0	1	0	0	1	0
-1	0	1	0	0	1	0	1
spacer	0	0	0	0	0	0	0

На рис. 4 показана схема одноразрядного троичного СС сумматора с нулевым спейсером информационных входов и выходов. Здесь  $\{A_p, A_m, A_0\}$  – троичные слагаемые;  $\{D_p, D_m, D_0\}$  – троичная сумма;  $V_i, ViB, Ni, NiB$  – межразрядные входные ПФС переносы;  $Vo, VoB, No, NoB$  – межразрядные выходные ПФС переносы;  $Ind$  – индикаторный выход. Она содержит элементы ОА018 и G14, в которых число последовательно соединенных p-канальных транзисторов равно четырем. Сложность схемы на рис.

4 равна 158 КМОП транзисторам. Индекс задержки, определяемый как суммарное число последовательно соединенных транзисторов в элементах на критическом пути от входов к выходам, равен 9 для информационных выходов и 17 для индикаторного выхода.

Снижение числа последовательно соединенных р-канальных транзисторов достигается двумя основными способами: функциональной декомпозицией указанных элементов и заменой троичного кодирования четверичным кодированием. Декомпозиция приводит к увеличению задержки сумматора и усложнению как функциональной части схемы, так и индикаторной подсхемы. Поэтому целесообразно вместо троичного одноразрядного сумматора использовать СС сумматор с четверичным кодированием входов и выходов с нулевым спейсером, показанный на рис. 5. Сложность этой схемы равна 168 КМОП транзисторам, а индекс задержки равен 7 для информационных выходов и 14 для индикаторного выхода.

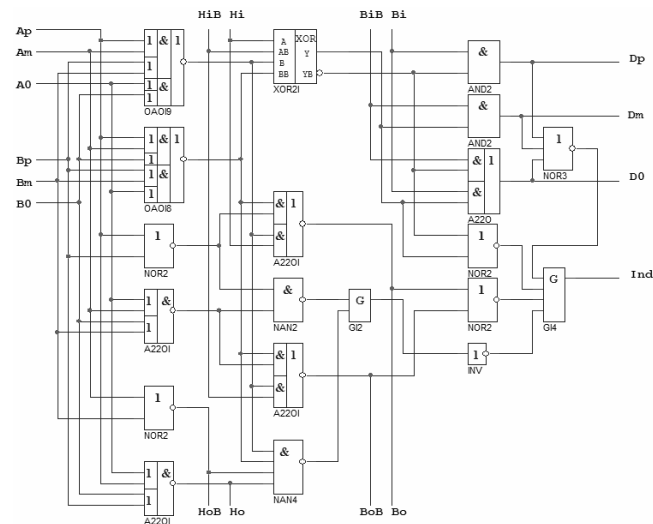


Fig. 4. Схема одноразрядного троичного СС сумматора

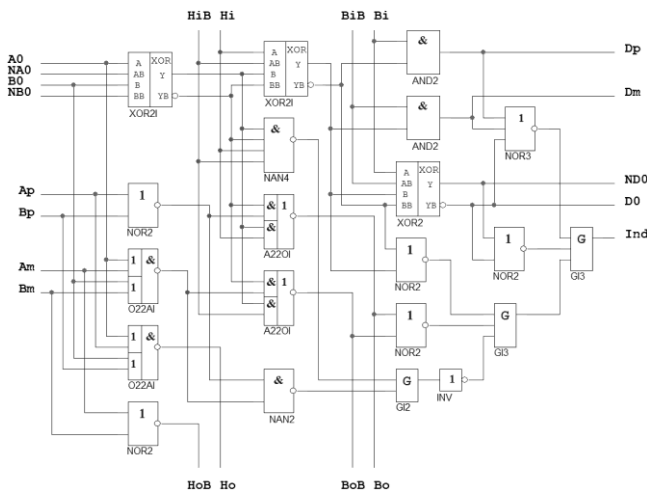


Схема одноразрядного четверичного СС сумматора

Таким образом, за счет усложнения на 6% схемы одноразрядного сумматора число последовательно соединенных р-канальных транзисторов в элементах схемы становится удовлетворяющим заданному ограничению (не более трех) и индекс задержки

сумматора уменьшается на 22% для информационных выходов и на 17% для индикаторного выхода.

Сумма и разность произведения и третьего операнда Z получаются на последующих этапах:

- сложения произведения и третьего операнда и вычитания третьего операнда из произведения в троичном коде,
- определения знака разности,
- преобразования троичных суммы и разности в ПФС суммы и разность.

Дальнейшая обработка результата операции, включающая нормализацию и округление, выполняется в ПФС коде.

### В. Парафазный вариант УСВ

Структурная схема ДУ на ПФС сумматорах с сохранением переноса (carry save adder, CSA) показана на рис. 6. Ее входы идентичны входам троичного ДУ – ПФС ЧП  $S_0, \dots, S_{26}$ . При этом корректирующее ЧП не требуется.

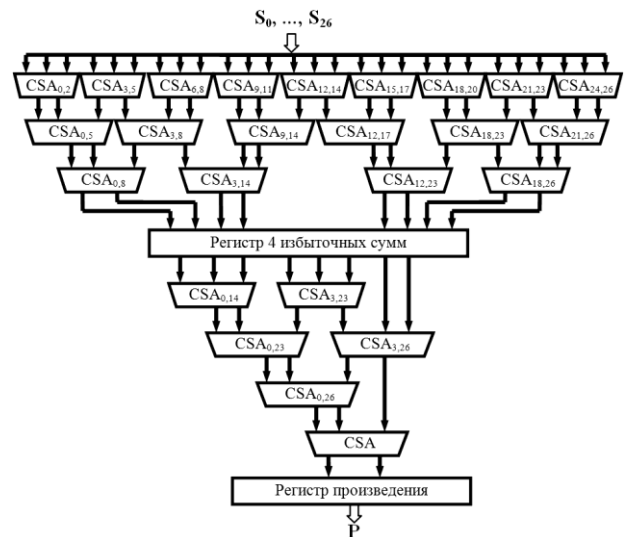


Fig. 5. Структурная схема парафазного ДУ

ДУ на парафазных сумматорах с сохранением переноса обеспечивает коэффициент сжатия 1,5 на каждом каскаде сложения и имеет 7 каскадов. Выходом каждого каскада и всего ДУ являются поразрядные сумма и перенос. Произведение преобразуется в ПФС формат на следующей ступени конвейера УСВ.

Структура ДУ на рис. 6 разбита на две ступени конвейера для получения максимального быстродействия ДУ. Первая ступень содержит три первых каскада ДУ. Вторая ступень включает четыре последних каскада ДУ.

Схема одноразрядного парафазного сумматора с сохранением переноса показана на рис. 7. Здесь  $\{A, AB\}$ ,  $\{B, BB\}$  и  $\{C, CB\}$  – ПФС слагаемые;  $\{S, SB\}$  – ПФС выход суммы;  $\{CO, COB\}$  – ПФС выходной перенос; Ind – индикаторный выход. Элемент NAND4 индицирует все выходы сумматора. Такое упрощение индикаторной подсхемы оказалось возможным благодаря тому, что выходы данного каскада ДУ являются входами элемента XOR3 в следующем каскаде

ДУ. Все элементы схемы на рис. 7 удовлетворяют заданным ограничениям на число последовательно соединенных транзисторов.

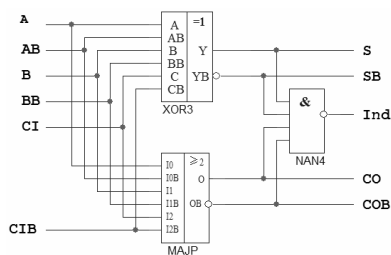


Fig. 6. Схема одноразрядного парафазного сумматора

Сложность одноразрядного ПФС сумматора равна 56 КМОП транзисторам. Индекс задержки равен 4 для информационных выходов и 8 для индикаторного выхода в наилучшем случае.

Сумма и разность произведения и третьего операнда Z получаются с помощью последующих этапов:

- преобразования произведения из избыточного формата в ПФС формат,
- сложения произведения и третьего операнда и вычитания третьего операнда из произведения и произведения из третьего операнда в ПФС коде,
- выбор окончательных суммы и разности произведения и третьего операнда из полученных трех результатов в зависимости от знаков операндов и соотношения их экспонент.

Дальнейшая обработка результата операции выполняется аналогично троичному варианту УСВ.

### III. СРАВНЕНИЕ ВАРИАНТОВ УМНОЖИТЕЛЯ УСВ

Поскольку четверичное ДУ имеет меньший индекс задержки и удовлетворяет заданному ограничению на число последовательно соединенных транзисторов, для сравнения с ПФС вариантом умножителя (ПФУ) был выбран именно четверичный (ЧУ) вариант.

Сложность реализации ЧУ и ПФУ в КМОП транзисторах представлена в таблице II.

ТАБЛИЦА II АППАРАТНЫЕ ЗАТРАТЫ ВАРИАНТОВ УМНОЖИТЕЛЯ

Функциональный блок	Четверичный	Парафазный
Кодер Бута	3 000	3 000
Декодер Бута	94 000	94 000
Формирователь четверичных частичных произведений	54 000	–
"Дерево" Уоллеса	133 000	89 000
Регистры	17 000	24 000
Индикаторная подсхема	7 000	12 000
Всего	308 000	222 000

Анализ таблицы II показывает, что кодер и декодер Бута реализуются идентично для всех вариантов умножителя. Наиболее сложными блоками в троичном и четверичном ДУ являются преобразователь сумм ПФС ЧП в четверичные ЧП (54 000 транзисторов) и само ДУ (133 000 транзисторов). Отсутствие первого из них и меньшая сложность второго (89 000 транзисторов) в ПФС ДУ является причиной такой большой разницы в

сложности реализации (308 000 против 222 000 транзисторов) ЧУ и ПФУ.

Разница в сложности регистров ЧУ и ПФУ объясняется большим числом промежуточных ЧП в ПФС ДУ и большей сложностью реализации одного разряда ПФС регистра.

Разряд выходного регистра первой и второй ступеней ЧУ реализуется схемой на гистерезисных триггерах (Г-триггерах, [9]), показанной на рис. 8. Здесь {Xp, Xm, X0} – троичный информационный вход (компонент NX0 хранить в регистре не надо, так как он однозначно определяется остальными компонентами четверичного сигнала); E – вход управления, общий для всех разрядов регистра; {Yp, Ym, Y0, NY0} – четверичный выход; I – индикаторный выход.

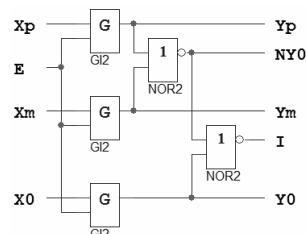


Fig. 7. Схема разряда четверичного регистра

Разряд выходного регистра первой и второй ступеней ПФУ также реализуется схемой на Г-триггерах, показанной на рис. 9. Он хранит поразрядные ПФС сумму {S, SB} и перенос {C, CB}, формируемые каскадом ПФС ДУ. Выход I индицирует все ПФС выходы: {Y, YB} и {Z, ZB}.

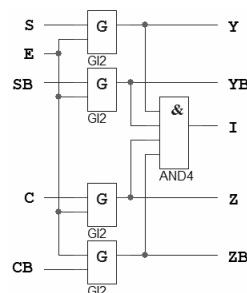


Fig. 8. Схема разряда ПФС регистра

Индикаторная подсхема ПФУ также существенно больше индикаторной подсхемы ЧУ, поскольку объединяет в полтора раза большее число индикаторных сигналов из-за большего числа одноразрядных сумматоров в каскадах ДУ. В таблице II сложность индикаторной подсхемы указана для варианта ее реализации на трех- и двухвходовых Г-триггерах. При использовании многовходовых Г-триггеров [10] сложность индикаторной подсхемы будет равна примерно 3900 и 2200 КМОП транзисторов для ПФУ и ЧУ соответственно.

Оценка быстродействия ЧУ и ПФУ проводилась путем электрического (на уровне КМОП транзисторов) моделирования реализаций ДУ на парафазных и троичных сумматорах в базе библиотеки стандартных элементов для 65-нм КМОП технологии. Анализируемые схемы эмулировали одно- и двухступенчатые умножители со схемой управления, обеспечивающей СС работу всей схемы. Индикаторная

подсхема в обоих вариантах умножителя была реализована на многоходовых Г-триггерах, размеры транзисторов которых были оптимизированы для достижения наилучшего быстродействия.

Результаты моделирования ЧУ и ПФУ показывают, что несмотря на меньшее число каскадов в четверичном ДУ по сравнению с ПФС ДУ, быстродействие ЧУ оказывается хуже, чем быстродействие ПФУ. Таблица III демонстрирует длительности двухфазного цикла СС работы (спейсерная фаза плюс рабочая фаза) ЧУ и ПФУ для одноступенчатого и двухступенчатого вариантов их реализации в пикосекундах. Результаты получены с помощью программы Spectre (Cadence) при типовых условиях для 65-нм технологии (напряжении питания 1.0В и температуре 25°C) без учета топологической реализации умножителей.

Таблица III Длительность цикла вариантов умножителя, пс

Число ступеней конвейера	Четверичный	Парафазный
1	1 620	1 390
2	1 170	1 030

Таким образом, двухступенчатые варианты ожидаемо быстрее одноступенчатых вариантов, а производительность ПФУ на 13% выше производительности ЧУ.

Оценка топологической реализации вариантов умножителя на парафазных и четверичных сумматорах в базе библиотеки стандартных элементов для 65-нм КМОП технологии показывает следующее:

- вариант ЧУ занимает 158 линеек, из них 65 линейки приходятся на кодер Бута,

- вариант ПФУ занимает 132 линейки, из них также 65 линейки приходятся на кодер Бута.

Следовательно, высота топологической реализации парафазного ДУ будет на 16% меньше, чем в троичном ДУ, несмотря на то, что число каскадов в парафазном ДУ в 1,75 раза больше. Это обеспечит меньшие длины сигнальных цепей и, соответственно, меньшие задержки.

Рис. 10 и 11 демонстрируют топологические реализации ЧУ и ПФУ соответственно в одном масштабе. Из-за меньшего размера одноразрядного ПФС сумматора шаг расположения вертикальных шин питания и земли (stripes) в топологии ПФУ меньше, чем в топологии ЧУ. Это обеспечивает лучшее энергоснабжение в варианте ПФУ.

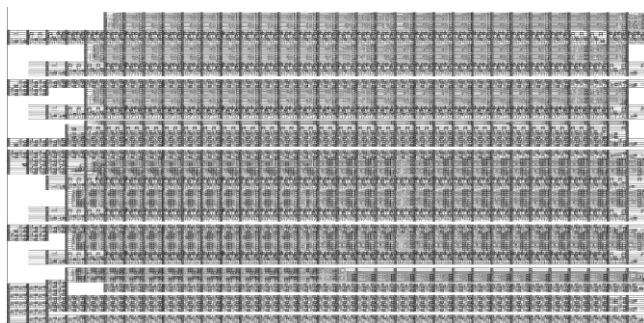


Fig. 9. Топология четверичного умножителя

Габариты топологической реализации ЧУ равны примерно (650 × 316) мкм<sup>2</sup>. Габариты топологической реализации ПФУ равны примерно (480 × 264) мкм<sup>2</sup>. Таким образом, топологическая реализация ПФУ почти в 1,62 раза более компактная по сравнению с ЧУ. Следовательно, длины вертикальных и горизонтальных цепей и связанные с ними паразитные емкости и сопротивления в ПФУ будут меньше, чем в ЧУ. В результате ЧУ еще более замедлится по сравнению с ПФУ.

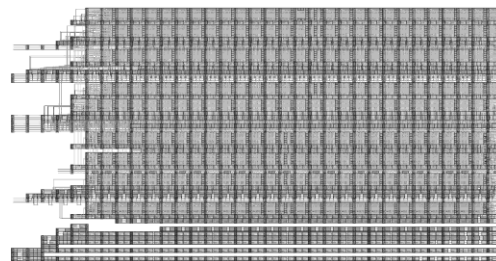


Fig. 10. Топология парафазного умножителя

Следует заметить, что конвейерная реализация всего устройства FMA нивелирует разницу между ЧУ и ПФУ. Таблица IV показывает результаты моделирования вариантов FMA, умножитель в которых выполнен в виде ЧУ или ПФУ, для одинарной и двойной точности операции. Число ступеней конвейера равно 9. Результаты получены для 65-нм технологии при типовых условиях (напряжении питания 1.0В и температуре 25°C) без учета топологической реализации.

Таблица IV Длительность цикла вариантов FMA, пс

Точность операции	Четверичный	Парафазный
Одинарная	1 350	1 350
Двойная	1 350	1 310

Поскольку производительность конвейера определяется самой медленной его ступенью, полученный результат говорит о том, что двухступенчатый умножитель не является "узким местом" всего конвейера и разбиение его на большее число ступеней не даст положительного эффекта.

#### IV. Выводы

После разделения умножителя, являющегося самым сложным функциональным блоком в FMA, на две ступени конвейера он перестал быть "узким местом" конвейера FMA. Его дальнейшая конвейеризация не даст эффекта.

Благодаря более простой реализации одноразрядного ПФС сумматора с сохранением переноса по сравнению с троичным СС сумматором, ДУ в ПФУ имеет в 1.4 раза меньшую сложность, на 13% более высокую производительность и в 1,62 раза меньшую площадь топологической реализации.

Без учета топологической реализации и связанных с ней паразитных емкостей и сопротивлений разница характеристик ЧУ и ПФУ нивелируется в общем конвейере FMA.

## ЛИТЕРАТУРА

- [1] IEEE Computer Society. IEEE Standard for floating-point arithmetic IEEE Std. 754-2008. doi:10.1109/IEEESTD.2008.4610935.
- [2] R.V.K. Pillai, S.Y.A. Shah, A.J. Al-Khalili, and D. Al-Khalili, "Low power floating point MAFs – A comparative study," Sixth International Symposium on Signal Processing and its Applications, Kuala Lumpur, 2001, V. 1, pp. 284-287.
- [3] P.-M. Seidel, "Multiple path IEEE floating-point fused multiply-add," 46th IEEE International Midwest Symposium on Circuits and Systems, Cairo, Egypt, 2003, pp. 1359–1362.
- [4] E. C. Quinnell, "Floating-point fused multiply-add architectures," PhD Thesis, The University of Texas at Austin, May 2007. – 150 P. URL: <https://repositories.lib.utexas.edu/bitstream/handle/2152/3082/quinnelle60861.pdf> (Retrieved 2018-12-11).
- [5] Y.A. Stepchenkov, V.N. Zakharov, Y.V. Rogdestvenski, Y.G. Diachenko, N.V. Morozov, D.Y. Stepchenkov, "Speed-independent floating point coprocessor," IEEE East-West Design and Test Symposium, Batumi, Georgia, September 2015, pp.111- 114.
- [6] Yu.A. Stepchenkov, V.N. Zakharov, Yu.V. Rogdestvenski, Yu.G. Diachenko, N.V. Morozov, and D.Y. Stepchenkov, "Speed-independent fused multiply add and subtract unit," IEEE East-West Design & Test Symposium (EWDTS'2016), Yerevan, October 2016, pp. 150-153.
- [7] Y. Stepchenkov, Y. Rogdestvenski, Y. Diachenko, D. Stepchenkov, Y. Shikunov, "Energy Efficient Speed-Independent 64-bit Fused Multiply-Add Unit," in Proceedings of 2019 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EConRus2019), January 2019, pp. 1709-1714. DOI: 10.1109/EConRus.2019.8657207.
- [8] H. Makino, Y. Nakase, H. Suzuki, H. Morinaka, H. Shinohara, and K. Mashiko, "An 8.8-ns 54x54-bit Multiplier With High Speed Redundant Binary Architecture," IEEE Journal of Solid-State Circuits, 1996, V.31, No.6, pp. 773-783.
- [9] M. Kishinevsky, A. Kondratyev, A. Taubin, and V. Varshavsky, Concurrent hardware: the theory and practice of self-timed design, New York: J.Wiley & Sons, 1994, 368 p.
- [10] Y. Stepchenkov, Y. Diachenko, Y. Rogdestvenski, Y. Shikunov, D. Diachenko, "Advanced indication of the self-timed circuits," IEEE East-West Design & Test Symposium (EWDTS'2019), Batumi, Georgia, October 2019, pp. 168-171.