

## РАЗВИТИЕ ГИБРИДНОЙ МНОГОЯДЕРНОЙ РЕКУРРЕНТНОЙ АРХИТЕКТУРЫ НА ПЛИС\*

*Ю. А. Степченко<sup>1</sup>, Н. В. Морозов<sup>2</sup>, Ю. Г. Дьяченко<sup>3</sup>, Д. В. Хилько<sup>4</sup>,  
Д. Ю. Степченко<sup>5</sup>*

**Аннотация:** Представлен результат модификации гибридной многоядерной архитектуры рекуррентного сигнального процессора (ГМАРСП) и ее апробации в виде макетного образца на отладочной плате нового поколения HAN Pilot Platform с программируемой логической интегральной схемой (ПЛИС) Intel Arria10 SoC 10AS066K3F40E2SG на основе VHDL (very high speed integrated circuits) модели уровня регистровых передач. Гибридная многоядерная архитектура рекуррентного сигнального процессора состоит из ведущего фон-неймановского процессора на управляющем уровне и потокового процессора с восемью вычислительными ядрами (ВЯ) на операционном уровне. Вычислительные ядра объединены капсульным распределителем, обеспечивающим развертывание алгоритмической капсулы в параллельно-последовательный поток команд, и работают с 32-разрядными данными. Аппаратная реализация двухъядерного процессора управляющего уровня Cortex-A9 обеспечила существенное повышение производительности всей ГМАРСП и увеличение точности обработки данных за счет использования 32-разрядных данных с фиксированной точкой. Апробация VHDL-модели модифицированной ГМАРСП на типовом приложении цифровой обработки данных — распознавателе изолированных слов (РИС) — показала ее высокую эффективность при работе в режиме реального времени.

**Ключевые слова:** рекуррентный сигнальный процессор; гибридная многоядерная архитектура; VHDL-модель; ПЛИС; распознаватель изолированных слов

**DOI:** 10.14357/08696527200409

---

\* Исследование выполнено при поддержке Российского научного фонда (проект 19-11-00334).

<sup>1</sup> Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, YStepchenkov@ipiran.ru

<sup>2</sup> Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, NMorozov@ipiran.ru

<sup>3</sup> Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, diaura@mail.ru

<sup>4</sup> Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, dhilko@yandex.ru

<sup>5</sup> Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, stepchenkov@mail.ru

## 1 Введение

Потоковая (data-flow) архитектура стала в настоящее время наиболее активно развивающимся направлением в разработке систем параллельных вычислений. В Институте проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук в течение ряда лет разрабатывается ГМАРСП [1, 2].

Тестовая отладка ГМАРСП проводилась на основе ее VHDL-модели уровня регистровых передач и программируемой логической интегральной схемы (ПЛИС) 5CGTFD9E5F35C7 (Intel) в составе отладочной платы «Cyclone V GT FPGA Development Kit» (Terasic). С помощью системы Quartus (Intel) VHDL-модель ГМАРСП синтезировалась и загружалась в ПЛИС. В качестве предметной области для отладки архитектуры ГМАРСП был выбран РИС [3].

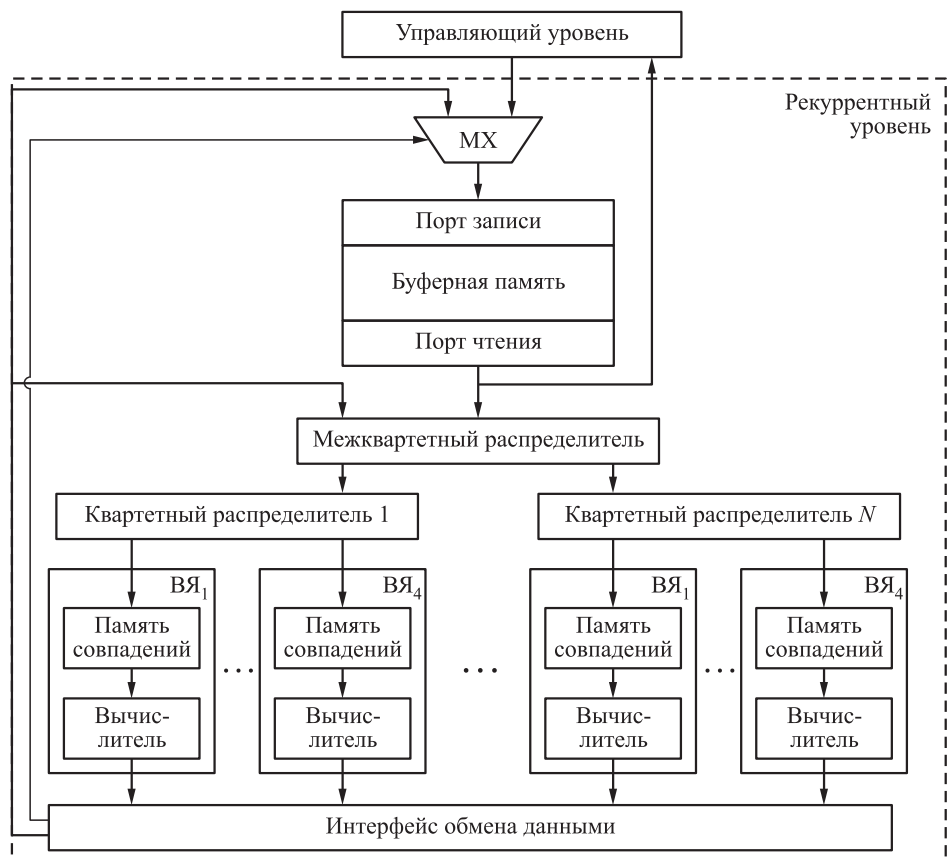
Для верификации ГМАРСП была использована существующая реализация алгоритмов РИС на имитационной модели архитектуры. Верификация проводилась по факту побитового сравнения результатов исполнения алгоритмов как на имитационной и аппаратной моделях, так и на ПЛИС-реализациях. Полученные результаты подтвердили корректность реализации.

Тестовая отладка проекта РИС подтвердила высокую эффективность ГМАРСП, реализованной в виде VHDL-модели, при выполнении различных алгоритмов цифровой обработки речевых сигналов [4]. Однако ограниченные аппаратные ресурсы платы «Cyclone V GT» заставили существенно ограничить функциональные возможности ГМАРСП для обеспечения работоспособности РИС в ПЛИС. Реальная частота работы ГМАРСП оказалась невысокой (12,5 МГц) и затруднила реализацию в режиме реального времени сложных алгоритмов цифровой обработки данных. Кроме того, имеющихся на плате ресурсов оказалось недостаточно для расширения разрядности и увеличения числа вычислительных ядер в ГМАРСП.

Данная статья представляет отладочную плату нового поколения (Arria 10 SoC Development Kit с установленной на ней ПЛИС Arria10 SoC 10AS066N3F40E2SG1 (Intel)) и оценивает целесообразность ее использования для разработки и отладки ГМАРСП, реализованной в виде VHDL-модели уровня регистровых передач.

## 2 Расширение структуры гибридной многоядерной архитектуры рекуррентного сигнального процессора

Структурная схема расширения ГМАРСП показана на рисунке. Двухпортовая буферная память обеспечивает максимальную производительность при обмене данными с процессором управляющего уровня, загрузке операндами рекуррентного уровня и обновлении капсул результатами работы рекуррентного уровня. Межквартетный распределитель формирует операнды для квартетных



Структурная схема ГМАРСР

распределителей, каждый из которых, в свою очередь, формирует пакеты («горсти») для своих четырех ВЯ, результаты работы которых интерфейс обмена данными отправляет обратно в межквартетный распределитель или записывает в буферную память.

В сравнении с ГМАРСР, описанной в [4], структура нового поколения ГМАРСР, представленная на рисунке, содержит больше вычислительных ядер и работает с большей разрядностью обрабатываемых данных (32 вместо 16). Это обеспечивает повышение точности вычислительных операций и более эффективное выполнение распараллеливаемых операций. Гибридная многоядерная архитектура рекуррентного сигнального процессора нового поколения также реализована в виде VHDL-модели уровня регистровых передач.

### 3 ПЛИС для отладки расширенной структуры гибридной многоядерной архитектуры рекуррентного сигнального процессора

Выбор платы и ПЛИС на ней определяется ожидаемой сложностью ГМАРСП и проектов на ее основе. Увеличение числа вычислительных ядер и расширение разрядности внутренних шин данных требуют значительных аппаратных ресурсов и возможностей «фабрики межсоединений».

Технологический уровень изготовления ПЛИС свидетельствует о ее потенциальной производительности и характеристиках «фабрики межсоединений». Чем меньше технологические нормы, тем более высокую производительность может обеспечить ПЛИС за счет уменьшения задержек переключения логических элементов и повышения пропускной способности (трассируемости) «фабрики межсоединений».

**Таблица 1** Характеристики ПЛИС в составе отладочных плат

ПЛИС	Логические элементы, тыс.	Адаптивные логические модули	Блоки памяти M10K	Блоки памяти M20K	Регистры (триггеры)	Глобальные тактовые цепи	Умножители	Аппаратный процессор	Технологические нормы, нм
5CGTFD9E5F35C7	301	113 560	1220	—	454 240	16	684	—	28
10AS066N3F40E2SG1	660	250 540	—	2133	1 002 160	32	1688	ARM Cortex-A9, 1,5 ГГц	20

Анализ возможных вариантов ПЛИС и отладочных плат показал, что наиболее предпочтительный вариант — плата «Arria 10 SoC Development Kit» с установленной на ней ПЛИС «Arria10 SoC 10AS066N3F40E2SG1» (Intel). Таблица 1 показывает ее характеристики в сравнении с ПЛИС 5CGTFD9E5F35C7. Аппаратные ресурсы ПЛИС 10AS066N3F40E2SG1 по всем позициям более чем в 2 раза превосходят соответствующие показатели ПЛИС 5CGTFD9E5F35C7. Меньшие технологические нормы гарантируют увеличение трассировочной способности «фабрики межсоединений», которая облегчает размещение и разводку компонентов проекта. Наличие аппаратной реализации процессора ARM Cortex-A9, выполняющего функции управляющего уровня в расширенной ГМАРСП, обеспечивает дополнительное повышение ее производительности.

### 4 Характеристики реализации расширенной гибридной многоядерной архитектуры рекуррентного сигнального процессора

Экспериментальные результаты реализации исходного варианта ГМАРСП, реализованной в виде VHDL-модели уровня регистровых передач, на отладочной плате «Arria 10 SoC Development Kit» с ПЛИС «Arria10 SoC

**Таблица 2** Максимально возможная частота синхронизации ГМАРСП в разных ПЛИС

Реализация РИС на ПЛИС	Управляющий уровень, МГц		Рекуррентный уровень, МГц
	Программная реализация	Аппаратная реализация	
5CGTFD9E5F35C7 исходная	90	—	12,5
10AS066N3F40E2SG1 исходная	160	1500	26,0
расширенная	160	1500	25,2

10AS066N3F40E2SG1» показали, что ее аппаратные ресурсы обеспечили автоматическое повышение производительности ГМАРСП в режиме реального времени даже без использования встроенного процессора ARM Cortex-A9. В таблице 2 приведены характеристики исходного проекта ГМАРСП в двух ПЛИС. Новая ПЛИС обеспечивает как минимум удвоение производительности исходного варианта ГМАРСП.

Реализация РИС на расширенном варианте ГМАРСП привела к незначительному ухудшению производительности (см. последнюю строку табл. 2). При этом оказались задействованы лишь 40% аппаратных ресурсов ПЛИС 10AS066N3F40E2SG1.

Таким образом, использование ПЛИС 10AS066N3F40E2SG1 обеспечивает запуск РИС на исходном варианте ГМАРСП в режиме реального времени и делает возможным расширение разрядности обрабатываемых в ГМАРСП данных до 64 бит и увеличение числа вычислительных ядер до 16.

## 5 Заключение

Гибридная многоядерная архитектура рекуррентного сигнального процессора нового поколения, реализованная в виде VHDL-модели уровня регистровых передач, является ресурсоемкой за счет распараллеливания вычислительных задач и использования FIFO (first in, first out) в разных блоках архитектуры.

ПЛИС 10AS066N3F40E2SG1 обеспечивает удвоение производительности исходного варианта ГМАРСП и запуск речевых приложений в режиме реального времени. Она гарантирует расширение разрядности данных в ГМАРСП до 32 бит и увеличение числа вычислительных ядер, а в перспективе делает возможной обработку 64-разрядных данных.

## Литература

1. *Stepchenkov Yu., Khilko D., Diachenko Yu., Shikunov Yu., Shikunov D.* Software and hardware testing of dataflow recurrent digital signal processor // IEEE East-West Design & Test Symposium Proceedings. — IEEE, 2016. P. 168–171.

2. *Shikunov Yu., Stepchenkov Yu., Khilko D.* Recurrent mechanism developments in the data-flow computer architecture // IEEE Russia Section Young Researchers in Electrical and Electronic Engineering Conference Proceedings. — IEEE, 2018. P. 1413–1418.
3. *Степченко Ю. А., Дьяченко Ю. Г., Хилько Д. В., Петрухин В. С.* Рекуррентная потоковая архитектура: особенности и проблемы реализации // Проблемы разработки перспективных микро- и наноэлектронных систем / Под общ. ред. акад. РАН А. Л. Стемпковского. — М.: ИППМ РАН, 2016. Ч. 2. С. 120–127.
4. *Stepchenkov Yu., Morozov N., Khilko D., Shikunov Yu., Orlov G.* Hybrid multi-core recurrent architecture approbation on FPGA // IEEE Russia Section Young Researchers in Electrical and Electronic Engineering Conference Proceedings. — IEEE, 2019. P. 1075–1078.

*Поступила в редакцию 25.03.20*

---

---

## MULTICORE HYBRID RECURRENT ARCHITECTURE EXPANSION ON FPGA

*Yu. A. Stepchenkov, N. V. Morozov, Yu. G. Diachenko, D. V. Khilko,  
and D. Yu. Stepchenkov*

Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation

**Abstract:** The paper presents the result of modification of the multicore hybrid architecture for recurrent signal processing (HARSP) and discusses its approbation as a prototype on the next-generation HAN Pilot Platform development board with FPGA (field-programmable gate array) Intel Arria10 SoC 10AS066K3F40E2SG on the basis of the register transfer level VHDL (very high speed integrated circuits) model. Hybrid architecture for recurrent signal processing contains the control level, implemented as von Neumann processor, and the operational level represented by the data-flow processor with eight computing cores. A capsule distributor combines all computing cores. It provides algorithmic capsule explication into a parallel-serial command flow and processes 32-bit data. Hardware implementation of the control level dual-core processor Cortex-A9 improved HARSP performance radically and increased data processing accuracy due to using 32-bit fixed-point operands. Modified HARSP VHDL-model approbation on a typical data processing application, namely, isolated word recognition, proved HARSP high efficiency in real-time mode operation.

**Keywords:** recurrent signal processor; multicore hybrid architecture; data-flow; VHDL-model; FPGA; development board; isolated word recognizer

**DOI:** 10.14357/08696527200409

## Acknowledgments

The research was funded by a grant from the Russian Science Foundation (project No. 19-11-00334).

## References

1. Stepchenkov, Yu., D. Khilko, Yu. Diachenko, Yu. Shikunov, and D. Shikunov. 2016. Software and hardware testing of dataflow recurrent digital signal processor. *IEEE East-West Design & Test Symposium Proceedings*. IEEE. 168–171.
2. Shikunov, Yu., Yu. Stepchenkov, and D. Khilko. 2018. Recurrent mechanism developments in the data-flow computer architecture. *IEEE Russia Section Young Researchers in Electrical and Electronic Engineering Conference Proceedings*. IEEE. 1413–1418.
3. Stepchenkov Yu. A., Yu. G. Diachenko, D. V. Khilko, and V. S. Petrukhin. 2017. Rekurrentnaya potokovaya arkhitektura: osobennosti i problemy realizatsii [Recurrent data-flow architecture: Features and realization problems]. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh system* [Problems of perspective micro- and nanoelectronic systems development]. Moscow: IDPM RAS. 2:120–127.
4. Stepchenkov, Yu., N. Morozov, D. Khilko, Yu. Shikunov, and G. Orlov. 2019. Hybrid multi-core recurrent architecture approbation on FPGA. *IEEE Russia Section Young Researchers in Electrical and Electronic Engineering Conference Proceedings*. IEEE. 1075–1078.

Received March 25, 2020

## Contributors

**Stepchenkov Yuri A.** (b. 1951) — Candidate of Science (PhD) in technology, leading scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; YStepchenkov@ipiran.ru

**Morozov Nikolai V.** (b. 1956) — senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; NMorozov@ipiran.ru

**Diachenko Yuri G.** (b. 1958) — Candidate of Science (PhD) in technology, senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaura@mail.ru

**Khilko Dmitri V.** (b. 1987) — senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; dkhilko@yandex.ru

**Stepchenkov Dmitri Yu.** (b. 1973) — senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; stepchenkov@mail.ru