

Улучшение иммунности самосинхронного конвейера к логическим сбоям

Ю. А. Степченков, Ю. Г. Дьяченко, Ю. В. Рождественский, Д. Ю. Дьяченко, Ю. И. Шикунов
Институт проблем информатики
Федерального исследовательского центра "Информатика и управление" Российской академии наук,
Москва, Российская Федерация
YStepchenkov@ipiran.ru

Аннотация—Статья представляет результаты исследования сбоеустойчивости самосинхронных (СС) цифровых схем. Практические СС-схемы имеют конвейерную структуру. Комбинационная часть СС-конвейера естественно иммунна к 72% кратковременных логических сбоев. Предложенные схемотехнические и топологические методы увеличивают сбоеустойчивость комбинационных частей СС-конвейера до уровня 98% и выше. Регистр ступени СС-конвейера наиболее восприимчив к логическим сбоям. Типовой вариант разряда регистра СС-конвейера, реализованный на С-элементах, имеет уровень сбоеустойчивости 83%. Предлагаемые реализации разряда регистра увеличивают сбоеустойчивость СС-конвейера до 98%.

Ключевые слова—самосинхронный конвейер, комбинационная часть, регистр, индикаторная подсхема, логический сбой, устойчивость

I. ВВЕДЕНИЕ

Неблагоприятные факторы (радиация, тяжелая заряженная частица, электромагнитный импульс от внешнего источника, помехи по шинам питания и т.д.) способны вызвать логический сбой (ЛС) или отказ в цифровой схеме. ЛС обычно является кратковременным. Он возникает в случайный момент времени, распределенный по экспоненциальному закону, и физически присутствует в схеме короткий промежуток времени, распределенный не экспоненциально [1]. В комбинационной схеме он сам собой пропадает через некоторое время после окончания действия породившей его причины.

ЛС может быть некритическим, когда по его окончании схема продолжает работать корректно. Но ЛС может испортить данные, хранимые в триггере или памяти, из-за чего схема будет работать некорректно [1]. В этом случае он становится критическим и лечение схемы достигается за счет повторения порции вычислений с предварительно сохраненной контрольной точки.

Отказ означает невозможность продолжения правильной работы схемы без его принудительного устранения путем физической замены отказавшей части схемы аналогичным фрагментом.

Интенсивность возникновения ЛС в цифровых схемах на несколько порядков превышает величину интенсивности возникновения отказов. Исследования дают оценку [1] 10^{-4} 1/час для интенсивности ЛС и 10^{-7} 1/час для интенсивности отказов для серийно выпускаемых микропроцессоров. Поэтому в данной статье мы рассматриваем устойчивость самосинхронных

схем именно к ЛС.

Длительность ЛС часто превышает период клона в современных СБИС. Более того, в синхронных схемах даже кратковременное изменение сигнала, произошедшее непосредственно перед активным фронтом тактового импульса, с большой вероятностью запишется в регистр и испортит данные.

Самосинхронные (СС) схемы [2-3] являются перспективной альтернативой синхронным схемам. Они не имеют глобальной подсистемы синхронизации. Быстродействие СС-схем определяется реальными задержками логических элементов в конкретных условиях эксплуатации.

СС-схемы аппаратно избыточны из-за избыточного кодирования информационных сигналов и наличия подсхем индикации. Однако в цифровых вычислительных комплексах высокой надежности они эффективно конкурируют с синхронными аналогами.

СС-устройства используют двухфазный режим работы и запрос-ответное взаимодействие на основе индикаторных сигналов, подтверждающих окончание переключения элементов схемы, инициированного текущим набором входов. Благодаря этому они способны детектировать появление ЛС и в большинстве случаев либо замаскировать его, либо приостановить обработку данных до его окончания [4]. СС-схемы гораздо менее чувствительны к ЛС, чем их синхронные аналоги.

СС-схемы являются полностью самопроверяемыми относительно константных неисправностей [2] – "залипания" выхода логического элемента в одном состоянии. С логической точки зрения, константные неисправности эквивалентны отказам. Поэтому СС-схемы диагностируют и локализуют отказы, за исключением выносных и подменных неисправностей, которые являются экзотическим случаем в практических СС-схемах [5].

СС-схемы кардинально отличаются от синхронных схем. Однако исследования количественных характеристик их устойчивости к ЛС до сих пор не проводились. В работе [4] мы классифицировали статистически наиболее значимые, по нашему мнению, ЛС в КМДП СС-схемах. Мы допустили, что их появление в схеме равновероятно, и оценили устойчивость СС-схем к кратковременным ЛС из этого ограниченного набора, понимая под устойчивостью отсутствие порчи результата обработки данных из-за ЛС.

Данная статья анализирует естественную сбоеустойчивость СС-конвейера и его составных частей:

The study was partially funded by the Project № 0063-2019-0010

комбинационной части, регистра и индикаторной подсистемы, – к однократным кратковременным ЛС, обсуждает возможные схемотехнические и топологические способы ее улучшения при реализации в современной КМДП технологии с проектными нормами 65 нм и ниже.

II. СТРУКТУРА СС-КОНВЕЙЕРА

Самосинхронные схемы, реализующие сложный алгоритм обработки данных, имеют конвейерную структуру аналогично синхронным схемам. СС-конвейер отличается от синхронного конвейера управлением записью промежуточных результатов в регистры ступеней конвейера. В синхронных схемах эту функцию выполняет глобальный сигнал синхронизации, один для всех ступеней конвейера. В СС-конвейере такой сигнал формируется для каждой ступени отдельно на основе запрос-ответного взаимодействия между ступенями конвейера.

Рис. 1 демонстрирует структурную схему типового СС-конвейера. Каждая ступень содержит комбинационную часть (СР), реализующую алгоритм обработки данных, и выходной регистр (ОР), хранящий результат, полученный комбинационной частью. Выходы комбинационной части ступени конвейера в парафазном коде поступают на входы регистра ступени.

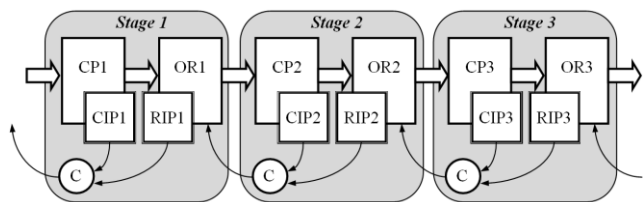


Fig. 1. Block diagram of ST pipeline

Индикаторные подсистемы комбинационной части (СР) и регистра (RIP) ступени конвейера контролируют окончание переключения соответствующей схемы в текущую фазу работы и формируют индикаторные сигналы, которые объединяются на С-элементе Маллера [2]. С-элемент управляет фазой регистра предыдущей ступени конвейера вместе с парафазными выходами комбинационной части. Регистр i -ой ступени переключается в рабочую фазу (в спейсер), если выходы комбинационной части i -ой ступени переключились в рабочую фазу (в спейсер), а $(i+1)$ -ая ступень конвейера переключилась в спейсер (в рабочую фазу).

Рис. 1 изображает простейший вариант СС-конвейера – строго последовательный. Практические варианты СС-конвейера могут содержать параллельные ветви и вложенные микроконвейеры, реализующие аналогичные запрос-ответные отношения внутри одной ступени главного конвейера.

Сбоеустойчивость частей СС-конвейера (комбинационной, регистровой, индикаторной) определяет сбоеустойчивость всего конвейера. Критическим будем считать логический сбой, приводящий к искажению обрабатываемых данных или остановке конвейера.

III. СБОЕУСТОЙЧИВОСТЬ КОМБИНАЦИОННОЙ ЧАСТИ СС-КОНВЕЙЕРА

Обычно комбинационные СС-схемы используют парафазное со спейсером кодирование информационных сигналов. Каждый парафазный сигнал $\{X, XB\}$ имеет только один спейсер – нулевой ("00") или единичный ("11"), – и два рабочих состояния ("01" и "10"). Таблица 1 представляет парафазное кодирование для случая нулевого спейсера. В любой момент времени парафазный сигнал находится в одном из трех допустимых состояний. Четвертое состояние является запрещенным. Для индикации парафазного сигнала с нулевым спейсером традиционно используется логический элемент 2ИЛИ-НЕ.

TABLE I. DUAL-RAIL CODING

Coded state	X	XB	Phase
Bit "0"	0	1	Working
Bit "1"	1	0	Working
Spacer	0	0	Spacer
Anti-spacer	1	1	Forbidden

В обычных условиях анти-спейсер никогда не появляется. Однако воздействие внешней причины (тяжелой заряженной частицы, наведенной помехи) может привести к кратковременному логическому сбою в виде анти-спейсера. Обычная индикаторная подсистема воспринимает анти-спейсер как рабочее состояние и не блокирует его распространение по СС-схеме. Это приводит к ошибочной обработке данных.

При размещении элементов, формирующих компоненты парафазного сигнала, в непосредственной близости друг от друга в топологии кристалла, изготовленного по технологии с проектными нормами 65-нм и ниже, физическое влияние причины логического сбоя оказывается либо симметричным [4], либо односторонним.

Рис. 2 демонстрирует возможное положение трека тяжелой заряженной частицы (пунктирные круги A1 – A4), вызывающей кратковременный логический сбой, относительно двух пар логических элементов NOR2. Одна частица не может вызвать противоположные ионизационные токи в областях стоков и истоков транзисторов соседних элементов.

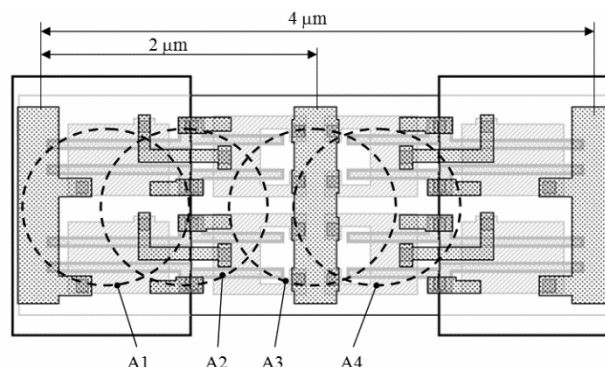


Fig. 2. Effective track diameters of HCP in 65-nm layout

Следовательно, в результате логического сбоя парафазный сигнал не может переключиться из одного рабочего состояния в противоположное рабочее состояние, но только в спейсер или анти-спейсер. Если парафазный сигнал во время сбоя находится в спейсере,

он может переключиться в сбойное или корректное рабочее состояние или в анти-спейсер. Благодаря этому свойству и двухфазной дисциплине работы, СС-схемы оказываются естественно устойчивыми к 72% логических сбоев, классифицированных в работе [4].

Предложенный в [4] способ индикации парафазного сигнала с помощью элемента XOR or XNOR позволяет индцировать анти-спейсер как спейсер и тем самым маскировать его.

Схема элемента XOR or XNOR должна удовлетворять требованиям, предъявляемым к СС-схемам: не использовать в качестве входов одновременно прямые и инверсные значения сигналов, не содержать двунаправленных ключей. Рис. 3 иллюстрирует возможные схемотехнические варианты реализации элемента XOR в базе библиотеки стандартных элементов (рис. 3а) и в базе КМОП транзисторов (рис. 3б).

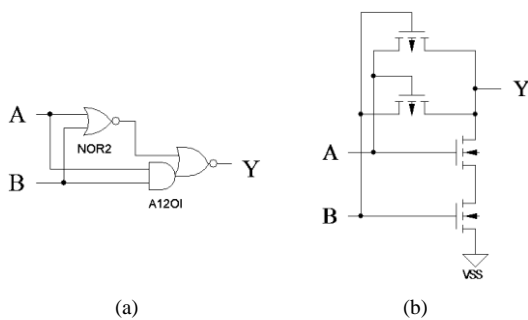


Fig. 3. XOR implementation: on base of standard cells (a) and CMOS transistors (b)

Решение на рис. 3б имеет два недостатка:

- уровень логического нуля на выходе Y оказывается больше нуля на величину порогового напряжения р-МОП транзистора,
- элемент имеет низкую нагрузочную способность.

Схема, показанная на рис. 4, свободна от указанных недостатков. Транзистор Мп восстанавливает логический уровень во внутреннем узле элемента, а выходной инвертор усиливает сигнал. Схема на рис. 4 содержит меньше транзисторов, чем схема на рис. 3а.

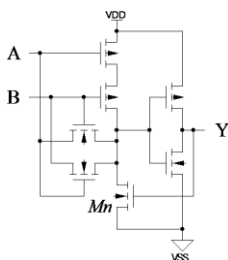


Fig. 4. Improved XOR implementation on CMOS transistors

Предложенные схемотехнические и топологические методы улучшают сбоеустойчивость комбинационной части СС-конвейера до уровня более 98% по отношению к кратковременным ЛС, классифицированным в работе [4].

IV. СБОЕУСТОЙЧИВОСТЬ РЕГИСТРА СС-КОНВЕЙЕРА

Элементы с памятью, в том числе разряд регистра конвейера, более чувствительны к логическому сбою, поскольку он может инвертировать в них хранимый бит информации, который самостоятельно не восстановится после исчезновения причины сбоя. В СС-схемах логический сбой может также привести к запоминанию в регистре состояния, соответствующего анти-спейсеру.

В СС-конвейерах выходы комбинационной части являются, как правило, парафазными сигналами. Поэтому разряд регистра ступени целесообразно реализовывать на двух С-элементах и индикаторном элементе [6], как показано на рис. 5. Такой разряд регистра обеспечивает хранение рабочего состояния и спейсера парафазного входа {X, XB} и имеет минимальные аппаратные затраты. Индикаторный элемент XOR, формирующий сигнал подтверждения переключения разряда регистра в текущую фазу работы AckX, обеспечивает индцирование анти-спейсера как спейсера.

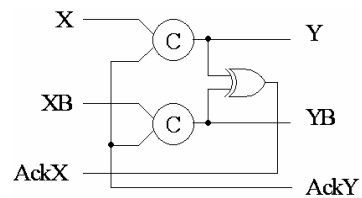


Fig. 5. Register bit on C-elements

Однако эта схема имеет существенный недостаток. Состояние анти-спейсера, запомненное в разряде из-за логического сбоя в схеме формирования парафазного сигнала {X, XB}, препятствует переключению разряда регистра в рабочее состояние.

Пусть парафазный вход регистра имеет нулевой спейсер {X, XB} = "00". Анти-спейсер на входе {X, XB} = "11" во время перехода в рабочую фазу при AckY = 1 вызывает переключение выхода разряда регистра в состояние {Y, YB} = "11", индцируемое как спейсер. Разряд регистра не переключится в рабочую фазу и приостановит работу всей СС-схемы до окончания логического сбоя. После окончания логического сбоя вход {X, XB} переключится в рабочее состояние "01" или "10". Но разряд регистра не воспримет его при AckY = 1, так как С-элемент переключается в логический ноль, только если оба его входа имеют нулевое значение.

В результате разряд регистра останется в состоянии анти-спейсера и вызовет остановку всего СС-конвейера. Логический сбой станет критическим.

Небольшое усложнение схемы С-элемента "лечит" отмеченный недостаток разряда регистра на С-элементах. Рис. 6 демонстрирует схемы на КМОП-транзисторах стандартного и улучшенного С-элемента. Транзистор Мр обеспечивает переключение разряда регистра из единичного анти-спейсера в рабочее состояние при рабочем состоянии на входе {X, XB} и AckY = 1 за счет использования перекрестных обратных связей между С-элементами разряда регистра. Рис. 7 иллюстрирует соответствующую схему разряда регистра [7].

Защита от кратковременного логического сбоя, индуцированного в С-элементе разряда регистра, достигается с помощью DICE (Dual Interlocked CELL, [8]) подобной реализации С-элемента [9]. Типовая DICE-реализация предполагает дублирование схемы С-элемента. Для повышения устойчивости к кратковременным однократным сбоям выходной и слабый инверторы заменены четырехтранзисторными конверторами с DICE-подобными связями. Рис. 8 показывает схему DICE-подобного С-элемента с дополнительными транзисторами, предотвращающими "залипание" разряда регистра в состоянии анти-спейсера. Такая схема маскирует любой однократный сбой в любом из внутренних узлов С-элемента.

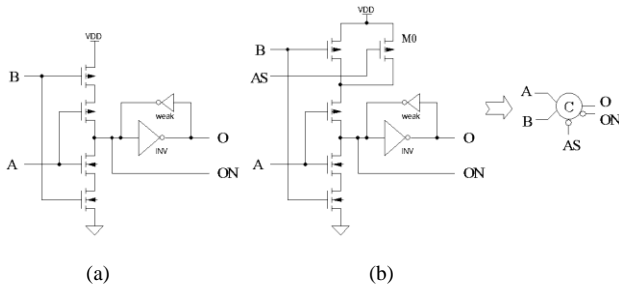


Fig. 6. Original (a) and improved (b) C-elements

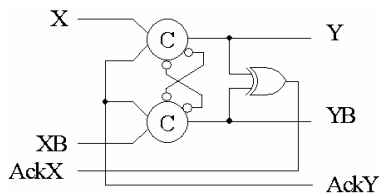


Fig. 7. Register bit on improved C-elements free of stuck-on fault

Реализация разряда регистра на описанном С-элементе, предотвращающем "залипание" разряда в состоянии анти-спейсера, улучшает устойчивость регистра ступени конвейера к кратковременным логическим сбоям до уровня не менее 91% [10].

V. СБОЕУСТОЙЧИВОСТЬ ИНДИКАТОРНОЙ ПОДСХЕМЫ

Индикаторная часть является наиболее чувствительной частью СС-конвейера. В СС-схемах, использующих парафазное кодирование информационных сигналов, она традиционно реализуется на элементах NOR2 or NAND2 в первом каскаде индикаторной подсхемы и на С-элементах на последующих каскадах [9].

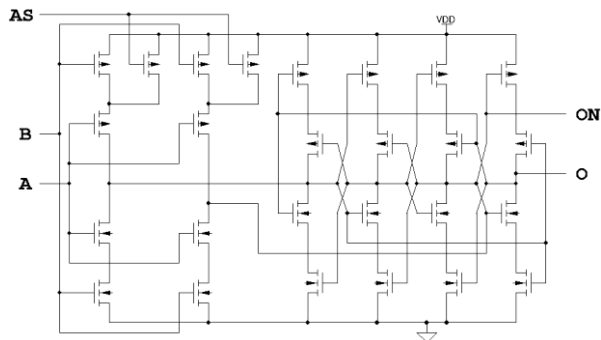


Fig. 8. DICE-like improved C-element protected out of stuck-on fault

Замена элементов NOR2 or NAND2 элементами XOR or XNOR маскирует логический сбой типа анти-спейсер в индицируемом парафазном сигнале на входе индикаторной подсхемы, как описано выше. Но логический сбой может возникнуть и в самой индикаторной подсхеме.

Критическая ситуация возможна при преждевременном переключении С-элемента, формирующего сигнал управления регистром ступени, из-за логического сбоя на его выходе. В результате регистр может раньше времени перейти в спейсер (рабочее состояние) и тем самым помешать правильному переключению следующей ступени конвейера.

Схема С-элемента, изображенная на рис. 9(а), обеспечивает защиту индикаторной подсхемы от индуцированных в ней кратковременных однократных сбоев. Она отличается от схемы на рис. 8 синфазными входами и выходами и отсутствием дополнительных входов и транзисторов, предотвращающих "залипание" элемента в анти-спейсерном состоянии. "Залипание" в состоянии анти-спейсера индикаторной подсхемы на С-элементах не возможно, поскольку ее входы и внутренние сигналы не являются парафазными сигналами.

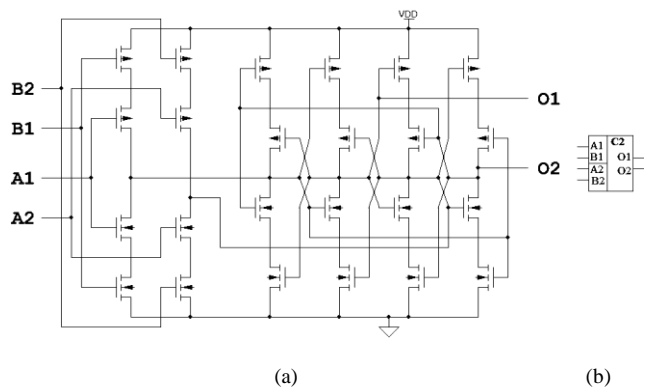


Fig. 9. DICE-like improved C-element with in-phase inputs and outputs

Входы, управляющие дублированными входными частями DICE-подобного С-элемента, формируются либо независимыми элементами первого каскада индикаторной подсхемы, либо синфазными выходами таких же С-элементов на ее последующих каскадах. Рис. 10(а) иллюстрирует структуру индикаторной подсхемы для четырех парафазных сигналов {A, AB}, {B, BB}, {C, CB} and {D, DB}. Элементы XOR реализуют ее первый каскад, а DICE-подобные С-элементы с синфазными входами объединяют частичные индикаторные сигналы в один дублированный индикаторный выход.

При необходимости дублированный общий выход сбоеустойчивой индикаторной подсхемы преобразуется в одинарный сигнал с помощью четырехтранзисторного конвертора, изображенного на рис. 10(б).

За счет удвоения сложности, индикаторная подсхема маскирует любой однократный кратковременный логический сбой, возникший в ее элементах.

Таким образом, использование сбоеустойчивой DICE-подобной реализации С-элемента с синфазными

входами и выходами обеспечивает абсолютную устойчивость индикаторной подсхемы к кратковременным однократным логическим сбоям и предотвращает появление критической ситуации в конвейере. В результате логический сбой может привести лишь к временной приостановке СС-конвейера: по окончании логического сбоя конвейер продолжит нормальную работу.

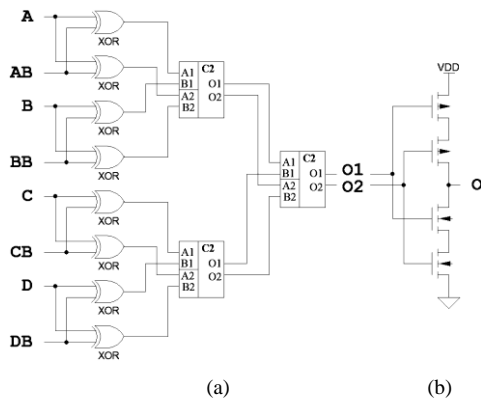


Fig. 10. Failure tolerant indication subcircuit (a) and converter (b)

VI. ОБЩАЯ СБОЕУСТОЙЧИВОСТЬ СС-КОНВЕЙЕРА

В реальных СС-схемах комбинационная часть ступени конвейера обычно имеет площадь топологической реализации в несколько раз больше, чем регистр ступени. Пусть, например, это соотношение равно двум. Площадь индикаторной подсхемы также меньше площади комбинационной части примерно в 2 раза. Тогда при равномерном распределении сбоев по площади СС-схемы вероятность их появления в комбинационной части в 2 раза больше вероятности их появления в регистре и индикаторной подсхеме.

С учетом отсутствия критических ситуаций в индикаторной подсхеме при кратковременном однократном логическом сбое СС-конвейер маскирует более 96% ЛС.

VII. ВЫВОДЫ

Индикация анти-спейсера парафазного сигнала как спейсера и соответствующее размещение элементов, являющихся источником парафазного сигнала, в топологии кристалла обеспечивают повышение сбоеустойчивости комбинационной части СС-конвейера до уровня более 98%.

Один дополнительный транзистор в схеме С-элемента и перекрестные связи между С-элементами в разряде регистра ступени конвейера делают разряд регистра свободным от "залипания" в состоянии анти-спейсера и делают его невосприимчивым к более 91% логических сбоев.

Повышение иммунитета разряда регистра ступени конвейера и индикаторной подсхемы к одиночным кратковременным логическим сбоям обеспечивается специальной DICE-схемотехникой С-элемента с четырехтранзисторным конвертором на выходе. Такая реализация делает С-элемент абсолютно иммунным к одиночным сбоям в его внутренних узлах.

Использование синфазных входов и выходов в DICE-подобном С-элементе защищает индикаторную

подсхему от логических сбоев на выходе С-элемента и обеспечивает общую устойчивость СС-конвейера к однократным кратковременным логическим сбоям на уровне не менее 96%.

Уровень сбоеустойчивости реальных СС-схем, вероятно, будет ниже уровня, декларированного в данной статье, из-за более широкого спектра ЛС и отличия вероятностей их появления от принятых нами. Дальнейшая наша работа будет направлена на анализ множественных ЛС, учет более широкого перечня типов ЛС и разработку новых подходов для их маскирования и лечения.

ЛИТЕРАТУРА

- [1] Викторова В.С. Анализ надежности отказоустойчивых вычислительных систем/ В.С. Викторова, Н.В. Лубков, А.С. Степанянц. – М.: ИПУ РАН, 2016. – 117 с.
- [2] Kishinevsky M., A. Kondratyev, A. Taubin, and V. Varshavsky. 1994. Concurrent Hardware: The Theory and Practice of Self-timed Design. J. Wiley & Sons. 368 p.
- [3] Stepchenkov Yu. A., Diachenko Yu. G., Gorelkin G. A. 2011. Samosinhronnye skhemy – budushchee mikroelektroniki [Self-timed circuits are microelectronics future]. Voprosy radioelektroniki [Issues of radio electronics] 2:153-184.
- [4] Stepchenkov, Y. A., A. N. Kamenskih, Y. G. Diachenko, Y. V. Rogdestvenski, and D. Y. Diachenko. 2020. Improvement of the natural self-timed circuit tolerance to short-term soft errors, Advances in Science, Technology and Engineering Systems Journal. 5(2): 44-56.
- [5] Мараховский В.Б. Теория логического проектирования. Часть 1: логическое проектирование асинхронных схем. Лекция 6. URL: <https://elibr.spbstu.ru/dl/1945.pdf/download/1945.pdf?lang=en> (дата обр. 10.11.2020).
- [6] Степченко, Ю. А., Ю. Г. Дьяченко, Ю. В. Рождественский, Н. В. Морозов, Д. Ю. Степченко, А. В. Рождественскене, А. В. Сурков. 2014. Самосинхронный умножитель с накоплением: варианты реализации. Системы и средства информатики. 24(3): 63-77.
- [7] Соколов И.А., Захаров В.Н., Степченко Ю.А., Дьяченко Ю.Г., Устройство сбоеустойчивого разряда самосинхронного регистра хранения. Пат. РФ № 2733263, опубл. 01.10.2020. Бюл. № 28. - 17 с.
- [8] T. Calin, M. Nicolaidis, and R. Velazco, "Upset hardened memory design for submicron CMOS technology," IEEE Transactions on Nuclear Science, vol. 43, no. 6, pp. 2874–2878, December 1996.
- [9] Y. Stepchenkov, Y. Diachenko, Y. Rogdestvenski, Y. Shikunov, D. Diachenko, "Advanced indication of the self-timed circuits," Proc. of IEEE East-West Design & Test Symposium (EWDTS'2019), Batumi, Georgia, October 2019, P. 168-171.
- [10] Соколов И.А., Степченко Ю.А., Дьяченко Ю.Г., Рождественский Ю.В. Повышение сбоеустойчивости самосинхронных схем / Информатика и ее применения. 2020. Т. 14. № 4. С. 75-83.