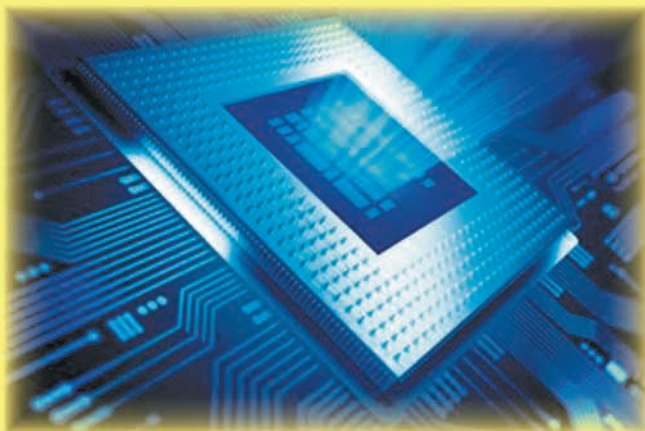


МАТЕМАТИЧЕСКОЕ МОДЕЛИРОВАНИЕ

в материаловедении электронных компонентов

МММЭК-2021

Материалы III Международной конференции



25-27 октября 2021 г. Москва Россия



ФЕДЕРАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ ЦЕНТР
Информатика
и Управление
РОССИЙСКОЙ АКАДЕМИИ НАУК



НИИМЭ
НИИ МОЛЕКУЛЯРНОЙ
ЭЛЕКТРОНИКИ



Министерство науки и высшего образования Российской Федерации
Вычислительный центр Федерального исследовательского центра «Информатика и управление» РАН
Московский государственный университет имени М.В. Ломоносова
Факультет вычислительной математики и кибернетики
Московский авиационный институт (национальный исследовательский университет)
Научный совет РАН «Фундаментальные проблемы элементной базы
информационно-вычислительных и управляющих систем и материалов для их создания»
Консорциум «Перспективные материалы и элементная база информационных
и вычислительных систем»

**МАТЕМАТИЧЕСКОЕ МОДЕЛИРОВАНИЕ
в материаловедении электронных компонентов
МММЭК–2021**

Материалы III Международной конференции

25–27 октября 2021 г., Москва

**MATHEMATICAL MODELING
in materials science of electronic components
ICM3SEC–2021**

Proceedings of the International conference

October 25–27, 2021 Moscow, Russia



МОСКВА – 2021

СРАВНЕНИЕ СБОЕУСТОЙЧИВЫХ СИНХРОННЫХ И САМОСИНХРОННЫХ СХЕМ

Зацаринный Александр Алексеевич,

д.т.н., заместитель директора ФИЦ ИУ РАН¹

AZatsarinny@ipiran.ru, +7 (499) 137-60-31

Степченков Юрий Афанасьевич,

к.т.н., заведующий отделом¹,

YStepchenkov@ipiran.ru +7(495) 671-15-20

Дьяченко Юрий Георгиевич,

к.т.н., с.н.с.¹,

diaura@mai.ru, +7 (495) 135-20-43

Рождественский Юрий Владимирович,

к.т.н., вед.н.с.¹,

YRogdest@ipiran.ru, +7 (495) 135-20-43

¹ *ФИЦ ИУ РАН, г. Москва*

Аннотация. Статья рассматривает проблему разработки синхронных и самосинхронных (СС) цифровых схем, устойчивых к логическим сбоям. В синхронных схемах для обеспечения устойчивости к однократному сбою традиционно используется принцип голосования «2-из-3», приводящий к увеличению аппаратных затрат в три раза. В СС-схемах, благодаря парафазному кодированию сигналов и двухфазной дисциплине функционирования, даже дублирование обеспечивает уровень защиты от логического сбоя в 2,1–3,5 раз выше, чем троированный синхронный аналог. Разработка новых средств высокоточного моделирования механизмов возникновения сбоев в микроэлектронных компонентах позволит получить более точные оценки сбоеустойчивости электронных схем.

Ключевые слова: синхронная схема, самосинхронная схема, логический сбой, сбоеустойчивость, троирование, дублирование, надежность.

Введение

Маскирование логических сбоев, возникающих из-за воздействия ядерных частиц, электромагнитных импульсов, шумовых наводок и других причин и не приводящих к выходу из строя активных компонентов, является важной задачей.

Обнаружение и маскирование сбоя в синхронных схемах обеспечивается с помощью сбоеустойчивых кодов [1] или голосованием

по нескольким параллельным каналам [2]. С увеличением плотности размещения транзисторов на площади микросхемы целесообразность применения сбоеустойчивых кодов уменьшается. Принцип голосования (обычно «2-из-3») гарантирует надежную работу схемы лишь при наблюдении одиночных сбоев.

Самосинхронные (СС) цифровые схемы [3] обладают более высокой естественной устойчивостью к логическим сбоям [4], чем их синхронные аналоги. Они допускают более экономичный способ обеспечения сбоеустойчивости схемы – ее дублирование. Если совпадают и информационные, и индикаторные выходы обоих каналов, сбоя нет. Иначе либо какой-то канал еще не закончил переключения, либо где-то случился логический сбой. В работе [3] были предложены методы повышения уровня сбоеустойчивости СС-схем, которые, однако, не обеспечивают полной защиты от сбоев.

Данная статья посвящена исследованию возможностей и способов построения стопроцентных сбоеустойчивых СС-схем и их сравнению с синхронными аналогами.

Сравнение синхронных и СС-схем

Будем считать, что вероятность сбоя прямо пропорциональна числу транзисторов в ней и все ветви в «дереве» событий, порождаемом причиной логического сбоя, имеют равную вероятность наблюдения и вероятность сбоя при воздействии на один транзистор равны $\alpha_{S1} = 0,5$ и $\alpha_{ST1} = 0,156$ для комбинационных синхронной и СС-схем [4] соответственно и $\alpha_{S2} = 0,5$ и $\alpha_{ST2} = 0,17$ для последовательностных синхронной и СС-схем [4]. Аппаратная сложность комбинационной СС-схемы в среднем в 2,7 раза больше сложности синхронного аналога, а в последовательностных схемах это отношение равно 1,5. Тогда отношение средних времен бессбойной работы СС-схемы и ее синхронного аналога оказывается равным 2,14 для комбинационных схем и 3,53 для последовательностных схем.

Выводы

1. В первом приближении дублированная СС-схема обладает в 2,1–3,5 раза лучшей устойчивостью к сбоям, чем троированный синхронный аналог.

2. СС-схемы являются перспективным базисом для проектирования высоконадежных микроэлектронных устройств.

Работа выполнена в рамках государственного задания № 0063-2019-0010.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Alagoz B.B. Boolean Logic with Fault Tolerant Coding // OncuBilim Algorithm and Systems Labs. – 2009. – Vol. 09, Art. No:03.
2. Dubrova E. Fault-tolerant design. KTH Royal Institute of Technology, Krista, Sweden, 2013, Springer, 185 p. DOI 10.1007/978-1-4614-2113-9.
3. А.А. Зацаринный, Ю.А. Степченко, Ю.Г. Дьяченко, Ю.В. Рождественский. Самосинхронные схемы как база создания высоконадежных высокопроизводительных компьютеров следующего поколения / Математическое моделирование в материаловедении электронных компонентов. МММЭК–2020. 19–20 октября 2020, Москва. Материалы II Международной конференции. – Москва: МАКС Пресс, 2020. – С 114–116. DOI: <https://doi.org/10.29003/m1535.MMMSEC-2020/114-116> (дата обращения 08.06.2021).
4. Stepchenkov, Y.A., Kamenskih, A.N., Diachenko, Y.G., Rogdestvenski, Y.V., and Diachenko, D.Y., Improvement of the natural self-timed circuit tolerance to short-term soft errors, *Advances in Science, Technology and Engineering Systems Journal*, 2020, vol. 5, no. 2, pp. 44–56 <https://doi.org/10.1109/DESSERT.2019.8770047> (дата обращения 08.06.2021).

FAILURE TOLERANT SYNCHRONOUS AND SELT-TIED CIRCUITS COMPARISON

*A.A. Zatsarinny, Yu.A. Stepchenkov,
Yu.G. Diachenko, Yu.V. Rogdestvenski*

Abstract. The article considers the problem of developing synchronous and self-timed (ST) digital circuits that are tolerant to soft errors. Synchronous circuits traditionally use the 2-of-3 voting principle to ensure single failure, resulting in three times the hardware costs. In ST circuits, due to dual-rail signal coding and two-phase control, even duplication provides a soft error tolerance level 2.1 to 3.5 times higher than the triple modular redundant synchronous counterpart. The development of new high-precision software simulating microelectronic failure mechanisms will provide more accurate estimates for the electronic circuits' failure tolerance.

Keywords: synchronous circuit, self-timed circuit, soft error, failure tolerance, triple modular redundancy, duplication, reliability.