

БАЗИС РЕАЛИЗАЦИИ СБООУСТОЙЧИВЫХ ЭЛЕКТРОННЫХ СХЕМ

И. А. Соколов¹, Ю. А. Степченко², Ю. Г. Дьяченко³, Ю. В. Рождественский⁴,
А. Н. Каменских⁵

Аннотация: Исследуется устойчивость самосинхронных (СС) и синхронных схем к логическим сбоям (ЛС), которые могут вызвать нарушения режима работы системы управления сложным техническим устройством. Предлагается использование сбоеустойчивого СС-кодирования, рассматривающего анти-спейсерное состояние как второе состояние спейсера, что позволяет повысить уровень сбоеустойчивости СС-схем. Количественные оценки в первом приближении показывают явное (в 2,0–4,7 раза) преимущество СС-схем в сравнении с синхронным аналогом по уровню сбоеустойчивости. Использование модифицированного С-элемента Маллера для реализации разряда регистра ступени конвейера увеличивает это преимущество до уровня 2,2–5,4 раза. Благодаря этому СС-схемы становятся предпочтительным базисом для реализации сбоеустойчивых электронных схем для систем управления сложными техническими устройствами.

Ключевые слова: синхронные схемы; самосинхронные схемы; логический сбой; сбоеустойчивость; конвейер; индикация завершения переключения; вероятностная оценка

DOI: 10.14357/19922264210409

1 Введение

Неблагоприятные факторы окружающей среды (ядерные частицы, радиация, электромагнитное излучение, шумы) вызывают сбои в работе интегральных микросхем. Количественные и качественные оценки характера сбоев показывают, что среди них преобладают кратковременные однократные логические сбои (soft errors) [1]. С точки зрения жизнеспособности микросхемы они менее опасны, чем отказы, поскольку приводят к временному изменению состояния логического элемента схемы.

Характеристики ЛС существенно зависят от типа источника сбоя и его мощности (энергии). Например, ЛС, вызванный высокоэнергичной ядерной частицей или космическими лучами, может длиться до нескольких наносекунд [2], в то время как длительность ЛС из-за помех на трассах межсоединений, как правило, не превышает десятков пикосекунд.

Современная микроэлектроника в основном реализует синхронный принцип обработки данных, базирующийся на глобальном синхросигнале. С повышением частоты синхронизации растет и вероятность того, что ЛС, даже кратковременный, запишется в регистр и станет критическим.

Альтернативой синхронным схемам выступают СС-схемы [3]. Они имеют ряд свойств, отличающих их от синхронных схем:

- избыточное кодирование данных. В комбинационных СС-схемах, как правило, используется парафазное кодирование информационных сигналов;
- двухфазную дисциплину функционирования: рабочая фаза, в которой схема формирует новое рабочее состояние, и спейсерная фаза, в которой каждый информационный сигнал схемы переключается в одно состояние, не входящее в множество разрешенных рабочих состояний;
- индикацию всех элементов схемы, подтверждающую завершение переключения схемы в текущую фазу.

Эти свойства обеспечивают маскирование большей части ЛС. Благодаря им, СС-схемы обладают большей устойчивостью к ЛС, чем их синхронные аналоги [4–6]. Предложенные в работах [4, 5] методы схемотехнического и топологического проектирования СС-схем дополнительно повышают устойчивость СС-схем к ЛС.

Известен ряд способов [7, 8] повышения сбоеустойчивости асинхронных схем. Однако в них не

¹Федеральный исследовательский центр «Информатика и управление» Российской академии наук, ISokolov@ipiran.ru

²Федеральный исследовательский центр «Информатика и управление» Российской академии наук, YStepchenkov@ipiran.ru

³Федеральный исследовательский центр «Информатика и управление» Российской академии наук, diaura@mail.ru

⁴Федеральный исследовательский центр «Информатика и управление» Российской академии наук, YRogdest@ipiran.ru

⁵Пермский национальный исследовательский политехнический университет, antoshkinoinfo@yandex.ru

делается попыток количественного анализа естественного уровня стойкости синхронных и самосинхронных схем к ЛС.

В статье проводится анализ особенности появления и распространения ЛС в синхронных и самосинхронных схемах. Даются вероятностные оценки их устойчивости к ЛС, подтверждающие целесообразность использования СС-схем в качестве базиса для реализации сбоеустойчивых систем управления.

2 Типы логических сбоев

Типы ЛС зависят от используемого кодирования обрабатываемых данных. Синхронные схемы обычно используют избыточное двоичное кодирование. Логический сбой в них выражается в изменении значения сигнала на противоположное. Самосинхронные схемы всегда используют избыточное, чаще всего парафазное, кодирование [3] и строгое чередование спейсера и рабочих состояний.

В каждый момент времени парафазный сигнал пребывает в спейсере (нулевом, «00», или единичном, «11») или в одном из рабочих состояний («01» или «10»). Состояние, противоположное спейсеру данного парафазного сигнала, — антиспейсер — в корректно спроектированной СС-схеме может появиться только в результате ЛС. Типовая индикация СС-схемы воспринимает антиспейсер как рабочее состояние, что приводит к ошибке. Но индикация его как спейсера с помощью ячейки «неравнозначность» (XOR) существенно повышает устойчивость СС-схем к этому типу ЛС [4]. Таблица 1 демонстрирует сбоеустойчивое кодирование парафазного сигнала. Все возможные случаи однократного кратковременного ЛС в СС-схемах для парафазного сигнала с нулевым спейсером показаны в табл. 2.

Отметим, что не каждый ЛС в схеме становится критическим, т. е. приводит к искажению обрабатываемых данных. Он может замаскироваться значениями других сигналов в соответствии с выполняемой функцией или не успеть записаться в регистр. Оценим вероятность того, что наблюдаемый

Таблица 1 Сбоеустойчивое кодирование СС-схем

Парафазный сигнал		Состояние	Индикатор XOR
X	XB		
0	0	спейсер	0
0	1	бит «0»	1
1	0	бит «1»	1
1	1	спейсер	0

Таблица 2 Возможные ЛС

Состояние парафазного сигнала	До ЛС	После ЛС
1	00	01
2	00	10
3	00	11
4	01	00
5	01	11
6	01	10
7	10	00
8	10	11
9	10	01

в схеме кратковременный ЛС окажется критическим.

3 Методика расчета вероятности сбоя

Для оценки вероятности появления критического сбоя используем следующие предположения:

- (1) плотность потока событий, приводящих к появлению ЛС, одинакова по всей площади кристалла микросхемы;
- (2) разные исходы каждого рассматриваемого события равновероятны;
- (3) длительность ЛС превышает тактовый период в синхронной схеме или суммарную длительность рабочей и спейсерной фазы в СС-схеме.

Первое предположение означает, что вероятность ЛС в какой-то части схемы прямо пропорциональна площади, занимаемой этой частью на кристалле.

Второе предположение упрощает анализ состояний при возникновении сбоя. Здесь не учитываются некоторые факторы, влияющие на вероятность разных исходов. Например, вероятность маскирования сбоя в сигнале другими сигналами зависит от выполняемой функции. В каждом конкретном случае она будет иметь разное значение, но в первом приближении считаем ее равной 0,5.

Высокопроизводительные синхронные и самосинхронные схемы имеют конвейерную структуру. Отличие СС-конвейера от синхронного аналога состоит в отсутствии глобального сигнала синхронизации и наличии подсхемы управления взаимодействием соседних ступеней. Рисунок 1 иллюстрирует конвейер СС-схемы. Здесь Ack и Req — сигналы запрос-ответного взаимодействия ступеней СС-конвейера.

Каждая ступень СС-конвейера включает комбинационную часть (КЧ) и выходной регистр (ВР),

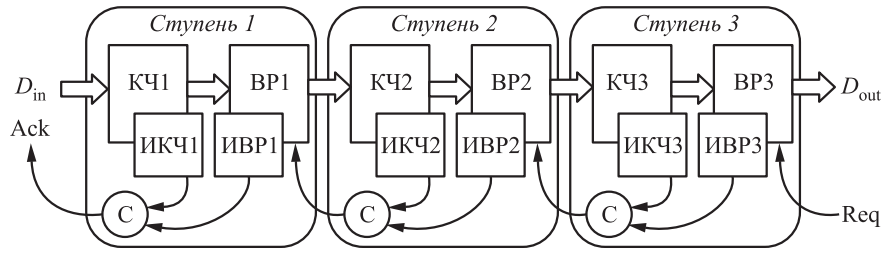


Рис. 1 Структура типового СС-конвейера

аналогично синхронному конвейеру, а также индикаторные подсистемы комбинационной части (ИКЧ) и регистра (ИВР). С-элементы Маллера [8] обеспечивают запрос-ответное взаимодействие соседних ступеней СС-конвейера на основе индикаторных выходов КЧ и ВР.

Устойчивость конвейера к кратковременным ЛС определяется устойчивостью его составных частей. Число однократных критических ЛС, наблюдаемых в КЧ ступени синхронного конвейера в течение времени T :

$$N_{CPS} = \lambda T A_{CPS} P_{CPS,1} P_{CPS,2},$$

где λ — плотность потока сбоя (число сбоя в единицу времени на единицу площади); A_{CPS} — площадь топологии КЧ; $P_{CPS,1}$ — вероятность того, что сбой не замаскируется и попадет на вход ВР ступени; $P_{CPS,2}$ — вероятность того, что сбой успеет записаться в ВР. Поскольку здесь предполагается равная вероятность исхода для каждого события и считается, что длительность сбоя превышает период тактового сигнала, $P_{CPS,1} = 0,5$ и $P_{CPS,2} = 1$. Тогда

$$N_{CPS} = 0,5 \lambda T A_{CPS}.$$

Аналогичное число однократных критических ЛС, наблюдаемых в ВР ступени синхронного конвейера:

$$N_{ORS} = \lambda T A_{ORS} P_{ORS,1} P_{ORS,2},$$

где A_{ORS} — площадь топологии ВР; $P_{ORS,1}$ — вероятность того, что сбой не замаскируется КЧ следующей ступени и попадет на вход ее ВР; $P_{ORS,2}$ — вероятность того, что сбой успеет записаться в ВР следующей ступени. В соответствии со сделанными предположениями $P_{ORS,1} = 0,5$ и $P_{ORS,2} = 1$. Тогда

$$N_{ORS} = 0,5 \lambda T A_{ORS}.$$

Поэтому число критических сбоя в одной ступени конвейера в течение времени T равна

$$N_S = 0,5 \lambda T (A_{CPS} + A_{ORS}).$$

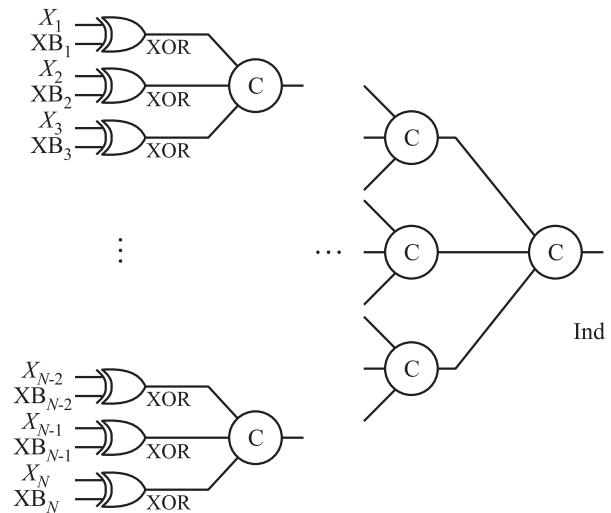


Рис. 2 Индикаторная подсистема

Аналогичным образом оценивается число критических ЛС из табл. 2 в ступени СС-конвейера в течение времени T .

Наименее чувствительными к ЛС оказываются ИКЧ и ИВР ступени конвейера. Индикаторная подсистема строится в виде пирамиды. Рисунок 2 иллюстрирует структуру индикаторной подсистемы для N парафазных сигналов. Ее нижний ярус реализуется на ячейках XOR. С-элементы на остальных ярусах пирамиды объединяют частичные индикаторные сигналы в один индикаторный выход.

С-элемент переключается в то состояние, в котором находятся все его входы одновременно [8]. В остальных случаях он хранит свое состояние. Однократный ЛС изменяет выход одного элемента в индикаторной пирамиде. Критическим такой ЛС может стать только в том случае, если он изменил состояние выхода С-элемента на вершине пирамиды. В прочих случаях он маскируется остальными элементами индикаторной подсистемы.

Анализ возможных случаев сбоя в СС-конвейере [4–6] позволяет получить следующие оценки числа однократных критических сбоя за время T :

$$\left. \begin{aligned} N_{\text{CPST}} &= 0,1\lambda T A_{\text{CPST}}; \\ N_{\text{CIPST}} &= 0,25\lambda T P_{\text{CIP},O} A_{\text{CIPST}}; \\ N_{\text{ORST}} &= 0,24\lambda T A_{\text{ORST}}; \\ N_{\text{RIPST}} &= 0,25\lambda T P_{\text{RIP},O} A_{\text{RIPST}}, \end{aligned} \right\} \quad (1)$$

где N_{CPST} , N_{CIPST} , N_{ORST} и N_{RIPST} — числа критических ЛС на интервале времени T в КЧ, ИКЧ, ВР и ИВР соответственно; A_{CPST} , A_{CIPST} , A_{ORST} и A_{RIPST} — площади их топологической реализации; $P_{\text{CIP},O}$ и $P_{\text{RIP},O}$ — вероятности наблюдения сбоя, появившегося в индикаторной подсхеме, в ее выходном С-элементе для ИКЧ и ИВР соответственно.

Следующие рассуждения позволяют оценить значение вероятности $P_{\text{CIP},O}$ и $P_{\text{RIP},O}$. Индикаторная подсхема N парафазных сигналов в комбинационной СС-схеме включает N ячеек XOR и около $0,5N$ трехвходовых С-элементов. Площадь XOR примерно вдвое меньше площади С-элемента. Разряд регистра содержит два двухвходовых С-элемента и ячейку XOR в качестве индикатора [5]. Разрядность регистра ступени конвейера M в общем случае отличается от числа парафазных сигналов N в комбинационной части.

Тогда площади выходных С-элементов в ИКЧ ($A_{\text{CIP},O}$) и ИВР ($A_{\text{RIP},O}$) равны

$$A_{\text{CIP},O} \approx \frac{A_{\text{CIPST}}}{4N}; \quad A_{\text{RIP},O} \approx \frac{A_{\text{RIPST}}}{4M}$$

и вероятности наблюдения сбоя именно в них

$$P_{\text{CIP},O} \approx \frac{1}{4N}; \quad P_{\text{RIP},O} \approx \frac{1}{4M}. \quad (2)$$

Подставляя формулы (2) в (1), получаем оценки числа однократных критических ЛС в течение времени T в индикаторных подсхемах комбинационной части и регистра конвейера:

$$\begin{aligned} N_{\text{CIPST}} &= \frac{1}{16N} \lambda T A_{\text{CIPST}}; \\ N_{\text{RIPST}} &= \frac{1}{16M} \lambda T A_{\text{RIPST}}. \end{aligned}$$

Пусть площадь топологии ВР ступени синхронного конвейера в K раз меньше площади КЧ. Отношение площадей синхронной и самосинхронной схем соответствует отношению их аппаратных затрат. Аппаратная сложность комбинационных СС-схем вместе с индикаторной подсхемой в среднем в 2,7 раза больше, чем у синхронных аналогов. Регистр СС-конвейера сложнее своего синхронного аналога примерно в 1,5 раза.

Для практических величин M и N вероятностями PT_{CIPST} и PT_{RIPST} можно пренебречь. Тогда оценки суммарного числа однократных критических ЛС на интервале времени T в ступени синхронного (N_S) и самосинхронного конвейера (N_{ST}):

$$N_S \approx 0,5\lambda T (K+1) A_{\text{ORS}}; \quad N_{\text{ST}} \approx 0,32\lambda T K A_{\text{ORS}},$$

а их отношение:

$$K_P = \frac{N_S}{N_{\text{ST}}} \approx \frac{0,5(K+1)}{0,32K}.$$

При реальном значении K от 0,5 до 4 СС-конвейер в 2,0–4,7 раз более устойчив к ЛС, чем его синхронный аналог.

Наиболее чувствительной к ЛС частью цифровой схемы оказывается память, включая триггеры и регистры. В СС-регистре хранения на С-элементах [6] сбоеустойчивость может быть повышена путем обеспечения возможности восстановления корректного рабочего состояния в сбойном разряде регистра, хранящем антиспейсер, в рабочей фазе после окончания ЛС за счет незначительного усложнения схемы С-элемента (рис. 3) и разряда регистра на его основе (рис. 4) [5].

Тогда число однократных критических ЛС на интервале времени T в регистре ступени СС-конвейера

$$N_{\text{ORST}} = 0,15\lambda T A_{\text{ORST}}$$

и число однократных критических ЛС в ступени СС-конвейера уменьшается до

$$N_{\text{ST}} \approx 0,28\lambda T K A_{\text{ORS}},$$

а отношение K_P числа однократных критических ЛС в синхронной и самосинхронной схеме улучшается до 2,2–5,4.

Самым критичным узлом ступени СС-конвейера является индикаторный элемент, формирующий сигнал управления регистром предыдущей ступени (С-элементы на рис. 1). Его преждевременное переключение из-за ЛС способно вызвать «зависание» конвейера. Но его площадь пренебрежимо мала по сравнению с площадью остальных частей СС-конвейера. Поэтому его влиянием можно пренебречь. К тому же его реализация DICE-подобным [8] С-элементом с синфазными входами и выходами [5] позволяет кардинально решить проблему сбоеустойчивости за счет незначительного увеличения аппаратных затрат.

Таким образом, СС-конвейер, индицирующий антиспейсерное состояние как спейсер и использующий С-элементы, защищенные от «залипания»

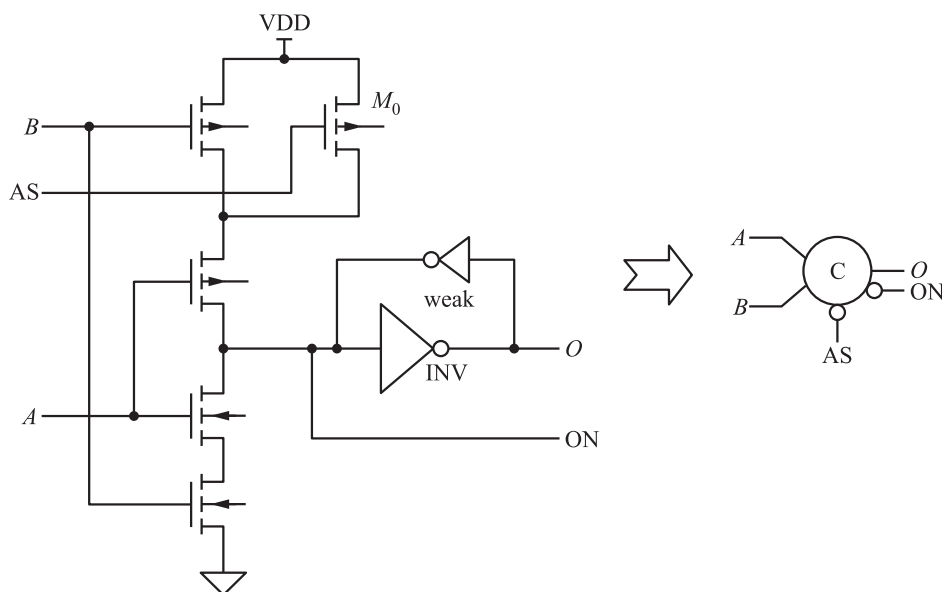


Рис. 3 Полустатический С-элемент, защищенный от «залипания» в антиспейсере

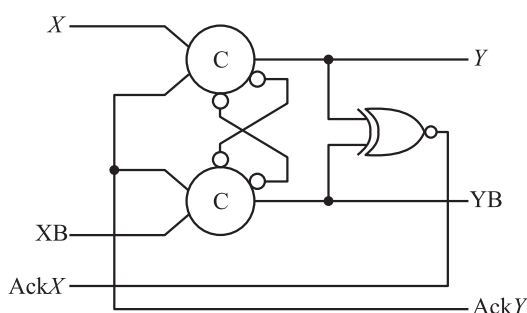


Рис. 4 Разряд регистра СС-конвейера, защищенный от «залипания» в антиспейсере

в антиспейсере, в разряде регистра ступени, обеспечивает в 2,2–5,4 раза большую устойчивость к кратковременным однократным сбоям, чем его синхронный аналог. Это предопределяет целесообразность использования СС-схем в качестве базиса для реализации сбоеустойчивых схем управления.

4 Заключение

Благодаря двухфазной дисциплине работы и избыточному кодированию сигналов СС-схемы маскируют многие типы ЛС и вследствие этого становятся предпочтительным базисом для реализации сбоеустойчивых систем управления.

Комбинационная часть, регистр и индикаторная подсхема ступени СС-конвейера в разной степени влияют на уровень сбоеустойчивости конвейера. Ступень СС-конвейера устойчива к 90% ЛС,

возникающих в ее комбинационной части и только к 76% ЛС в выходном регистре.

Индикация антиспейсерного состояния как спейсера и использование С-элемента, защищенного от «залипания» в антиспейсере, в разряде регистра ступени СС-конвейера обеспечивают сбоеустойчивость СС-конвейера в 2,2–5,4 раза выше уровня сбоеустойчивости синхронного конвейера.

Дальнейшая работа будет посвящена исследованию методов и средств обеспечения устойчивости СС-конвейера к другим типам сбоев и отказов.

Литература

1. Викторова В. С., Лубков Н. В., Степанянц А. С. Анализ надежности отказоустойчивых управляющих вычислительных систем. — М.: ИПУ РАН, 2016. 120 с.
2. Eaton P., Benedetto J., Mavis D., Avery K., Sibley M., Gadlage M., Turflinger T. Single event transient pulse width measurements using a variable temporal latch technique // IEEE T. Nucl. Sci., 2004. Vol. 51. No. 6. P. 3365–3368. doi: 10.1109/TNS.2004.840020.
3. Varshavsky V., Kishinevsky M., Marakhovsky V., et. al. Self-timed control of concurrent processes: The design of aperiodic logical circuits in computers and discrete systems. — Dordrecht, Netherlands: Kluwer Academic Pubs., 1990. 245 p.
4. Stepchenkov Y. A., Kamenskih A. N., Diachenko Y. G., Rogdestvenski Y. V., Diachenko D. Y. Fault-tolerance of self-timed circuits // 10th Conference (International) on Dependable Systems, Services and Technologies. — Piscataway, NJ, USA: IEEE, 2019. P. 41–44. doi: 10.1109/DESSERT.2019.8770047.

5. Stepchenkov Y. A., Kamenskih A. N., Diachenko Y. G., Rogdestvenski Y. V., Diachenko D. Y. Improvement of the natural self-timed circuit tolerance to short-term soft errors // *Advances Science Technology Engineering Systems J.*, 2020. Vol. 5. No. 2. P. 44–56.
6. Stepchenkov Y., Rogdestvenski Y., Kamenskih A., Diachenko Y., Diachenko D. Improvement of the quasi delay-insensitive pipeline noise immunity // 11th Conference (International) on Dependable Systems, Services and Technologies. — Piscataway, NJ, USA: IEEE, 2020. P. 47–51.
7. Monnet Y., Renaudin M., Leveugle R. Hardening techniques against transient faults for asynchronous circuits // 11th IEEE On-Line Testing Symposium (International). — Piscataway, NJ, USA: IEEE, 2005. P. 129–134. doi: 10.1109/IOLTS.2005.30.
8. Danilov I. A., Gorbunov M. S., Shnaider A. I., et al. On board electronic devices safety provided by DICE-based Muller C-elements // *Acta Astronaut.*, 2018. Vol. 150. P. 28–32.

Поступила в редакцию 19.09.21

THE ELECTRONIC COMPONENT BASE OF FAILURE RESILIENCE DIGITAL CIRCUITS

I. A. Sokolov¹, Yu. A. Stepchenkov¹, Yu. G. Diachenko¹, Yu. V. Rogdestvenski¹,
and A. N. Kamenskih²

¹Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation

²Perm National Research Polytechnic University, 29 Komsomol Prosp., Perm 614990, Russian Federation

Abstract: The article presents the research of self-timed and synchronous circuits in terms of resilience to soft errors which can cause disruptions in the control system’s operation of complex technical device. The use of a fail-resilient self-timed code is proposed, which considers the antispacer state as the second spacer state. This approach increases the self-timed circuit’s failure resilience level. In the first approximation, quantitative estimates show that the self-timed pipeline has a better failure resilience than the synchronous counterparts by 2.0–4.7 times. The use of modified C-element to implement the pipeline register bit increases this advantage to 2.2–5.4 times. Due to this, self-timed circuits are the preferred basis of failure resilient control systems implementation for complex technical equipment.

Keywords: synchronous circuits; self-timed circuits; soft error; failure resilience; pipeline; transition completion indication; probability evaluation

DOI: 10.14357/19922264210409

References

1. Viktorova, V. S., N. V. Lubkov, and A. S. Stepanyants. 2016. *Analiz nadezhnosti otkazoustoychivyykh upravlyayushchikh vychislitel'nykh sistem* [Fault-tolerant control computer systems’ reliability analysis]. Moscow: IPU RAN. 120 p.
2. Eaton, P., J. Benedetto, D. Mavis, K. Avery, M. Sibley, M. Gadlage, and T. Turflinger. 2004. Single event transient pulse width measurements using a variable temporal latch technique. *IEEE T. Nucl. Sci.* 51(6):3365–3368. doi: 10.1109/TNS.2004.840020.
3. Varshavsky, V., M. Kishinevsky, V. Marakhovsky, et al. 1990. *Self-timed control of concurrent processes: The design of aperiodic logical circuits in computers and discrete systems*. Dordrecht, The Netherlands: Kluwer Academic Publs. 245 p.
4. Stepchenkov, Y. A., A. N. Kamenskih, Y. G. Diachenko, Y. V. Rogdestvenski, and D. Y. Diachenko. 2019. Fault-tolerance of self-timed circuits. *10th Conference (International) on Dependable Systems, Services, and Technologies Proceedings*. Piscataway, NJ: IEEE. 41–44. doi: 10.1109/DESSERT.2019.8770047.
5. Stepchenkov, Y. A., A. N. Kamenskih, Y. G. Diachenko, Y. V. Rogdestvenski, and D. Y. Diachenko. 2020. Improvement of the natural self-timed circuit tolerance to short-term soft errors. *Advances Science Technology Engineering Systems J.* 5(2):44–56.
6. Stepchenkov, Y., Y. Rogdestvenski, A. Kamenskih, Y. Diachenko, and D. Diachenko. 2020. Improvement of the quasi delay-insensitive pipeline noise immunity. *11th Conference (International) on Dependable Systems, Services, and Technologies Proceedings*. Piscataway, NJ: IEEE. 47–51.
7. Monnet, Y., M. Renaudin, and R. Leveugle. 2005. Hardening techniques against transient faults for asynchronous circuits. *11th International On-Line Testing Symposium Proceedings*. Piscataway, NJ: IEEE. 129–134. doi: 10.1109/IOLTS.2005.30.
8. Danilov, I. A., M. S. Gorbunov, A. I. Shnaider, et al. 2018. On board electronic devices safety provided by DICE-based Muller C-elements. *Acta Astronaut.* 150:28–32.

Received September 19, 2021

Contributors

Sokolov Igor A. (b. 1954) — Doctor of Science in technology, Academician of RAS, Director, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; isokolov@ipiran.ru

Stepchenkov Yuri A. (b. 1951) — Candidate of Science (PhD) in technology, leading scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; YStepchenkov@ipiran.ru

Diachenko Yuri G. (b. 1958) — Candidate of Science (PhD) in technology, senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaura@mail.ru

Rogdestvenski Yuri V. (b. 1952) — Candidate of Science (PhD) in technology, leading scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; YRogdest@ipiran.ru

Kamenskih Anton N. (b. 1991) — Candidate of Science (PhD) in technology, associated professor, Perm National Research Polytechnic University, 29 Komsomol Prosp., Perm 614990, Russian Federation; antoshkinoinfo@yandex.ru