

ВАРИАНТЫ САМОСИНХРОННЫХ РЕГИСТРОВ СДВИГА*

*Ю. А. Степченков¹, Ю. Г. Дьяченко², Ю. В. Рождественский³,
Н. В. Морозов⁴, Д. Ю. Степченков⁵, Д. Ю. Дьяченко⁶*

Аннотация: Затрагиваются проблемы проектирования и использования самосинхронных (СС) регистров сдвига (РС). Самосинхронные схемы имеют свою специфику: двухфазную дисциплину работы, избыточное кодирование информации и др. За счет этого они обладают рядом преимуществ в сравнении с синхронными аналогами: независимость поведения от задержек элементов, обнаружение любых константных неисправностей и др. Статья рассматривает варианты реализации СС-регистра с различными опциями, включая установку снейсера и предустановку заданного значения в каждом разряде РС. Предлагаемые варианты обладают разной функциональностью, сложностью и быстродействием. Регистры сдвига на основе RS-триггеров обладают минимальными аппаратными затратами. Регистры сдвига на основе гистерезисных триггеров (Г-триггеров) характеризуются лучшим быстродействием. Статья анализирует их характеристики и обосновывает рекомендации по их использованию в качестве последовательно-параллельного или параллельно-последовательного порта, FIFO (First Input, First Output).

Ключевые слова: самосинхронная схема; гистерезисный триггер; RS-триггер; регистр сдвига; FIFO; последовательно-параллельный порт; аппаратные затраты; быстродействие

DOI: 10.14357/08696527220308

1 Введение

Подавляющее большинство цифровых устройств в современном мире реализовано в базе синхронной схемотехники. Самосинхронная схемотехника [1, 2] стала перспективной альтернативой синхронным схемам в областях применения,

* Исследование выполнено при поддержке Российского научного фонда (проект 22-19-00237).

¹ Федеральное исследовательское учреждение «Информатика и управление» Российской академии наук, YStepchenkov@ipiran.ru

² Федеральное исследовательское учреждение «Информатика и управление» Российской академии наук, diauga@mail.ru

³ Федеральное исследовательское учреждение «Информатика и управление» Российской академии наук, YRogdest@ipiran.ru

⁴ Федеральное исследовательское учреждение «Информатика и управление» Российской академии наук, NMorozov@ipiran.ru

⁵ Федеральное исследовательское учреждение «Информатика и управление» Российской академии наук, Stepchenkov@mail.ru

⁶ Федеральное исследовательское учреждение «Информатика и управление» Российской академии наук, diaden87@gmail.com

характеризующихся нестабильным и низким напряжением питания, изменчивыми и неблагоприятными условиями эксплуатации цифрового оборудования. Самосинхронные схемы обладают рядом преимуществ в сравнении с синхронными аналогами [3]: отсутствием «гонок» между сигналами, устойчивым функционированием при любых условиях эксплуатации, независимостью поведения схемы от реальных задержек ее элементов, отсутствием «дерева» глобальной синхронизации, лучшей устойчивостью к логическим сбоям [4] и др.

В то же время СС-схемы имеют и ряд недостатков [3], к числу которых относятся избыточные аппаратные, в ряде случаев ухудшение быстродействия из-за двухфазной дисциплины работы и наличия индикаторной подсхемы, обеспечивающей контроль окончания переключения СС-схемы в каждую фазу работы. Однако в критических областях применения недостатки СС-схем компенсируются их преимуществами.

Некомпетентный логический синтез СС-схемы способен привести к сверхизбыточным аппаратным затратам и дополнительному снижению быстродействия. Цифровые устройства с регулярной структурой целесообразно вставлять в проектируемую СС-схему в виде готовых сложных функциональных блоков, специфицированных под конкретное применение [5, 6]. Данный подход обеспечивает реализацию СС-схемы произвольного типа с минимальными аппаратными затратами и/или максимальным быстродействием в пределах эквизхронной зоны [7] в произвольном логическом базисе.

В связи с этим становится актуальной задача разработки типовых схемотехнических решений СС-регистров сдвига. В данной статье обосновывается базовый набор СС-регистров сдвига, предлагаются варианты их схемотехнической реализации и дается сравнительный анализ их характеристик.

2 Типовые самосинхронные регистры сдвига

Регистры сдвига используются для реализации последовательно-параллельных портов, интерфейсов последовательной передачи данных (FIFO), последовательных устройств многоразрядного сдвига. В синхронной схемотехнике они работают по принципу последовательной передачи бита информации по цепочке двухтактных D-триггеров. В любой момент времени каждый D-триггер содержит бит информации.

В СС-схемотехнике типовой РС может быть организован аналогично синхронному аналогу — на двухтактном D-триггере (D0RE24, рис. 1, а) или RS-триггере (S0RRE2, рис. 1, б). Большая сложность триггера D0RE24 (54 компонентарных металл–диэлектрик–полупроводник (КМДП) транзисторов против 48 у S0RRE2) обеспечивает возможность сокращения информационных сигналов в схеме за счет использования унарного информационного входа вместо парафазного или бифазного [2].

Реализации трехразрядного РС на D- и RS-триггере представлены на рис. 2 соответственно. В сравнении с синхронными аналогами они имеют дополнитель-

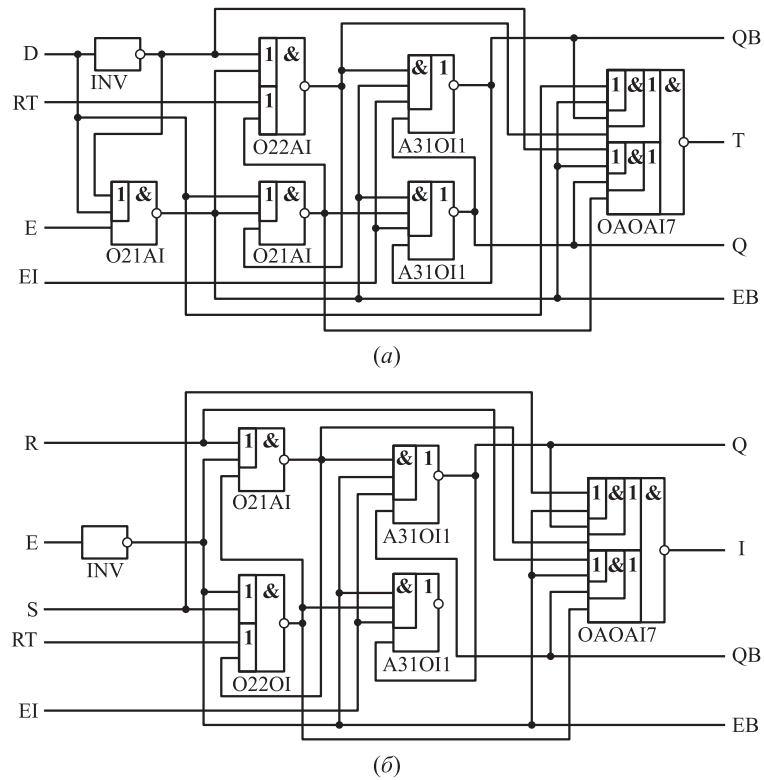


Рис. 1 Функциональные схемы разряда СС-регистра сдвига на D-триггере (а) и на RS-триггере (б)

ный индикаторный элемент — трехходовый Г-триггер Г13 [8]. При построении регистров с числом разрядов больше трех индикация реализуется пирамидальной схемой из Г-триггеров.

Возможным решением является реализация РС на Г-триггерах. Прототипом такого РС служит СС-конвейер, в котором хранение информации оказывается полуплотным. Схема разряда РС на Г-триггерах приведена на рис. 3. Ее сложность равна 32 транзисторам. Вход RT устанавливает оба Г-триггера в нулевой спейсер при $RT = 0$. На рис. 4 показана схема трехразрядного РС на Г-триггерах.

Алгоритм работы РС на Г-триггерах заключается в следующем:

- вначале все разряды РС устанавливаются в нулевой спейсер ($RT = 0$);
- на парафазный вход (X, XB) подается рабочее состояние, оно записывается по цепочке во все разряды, заполняя все элементы регистра D1–D6;

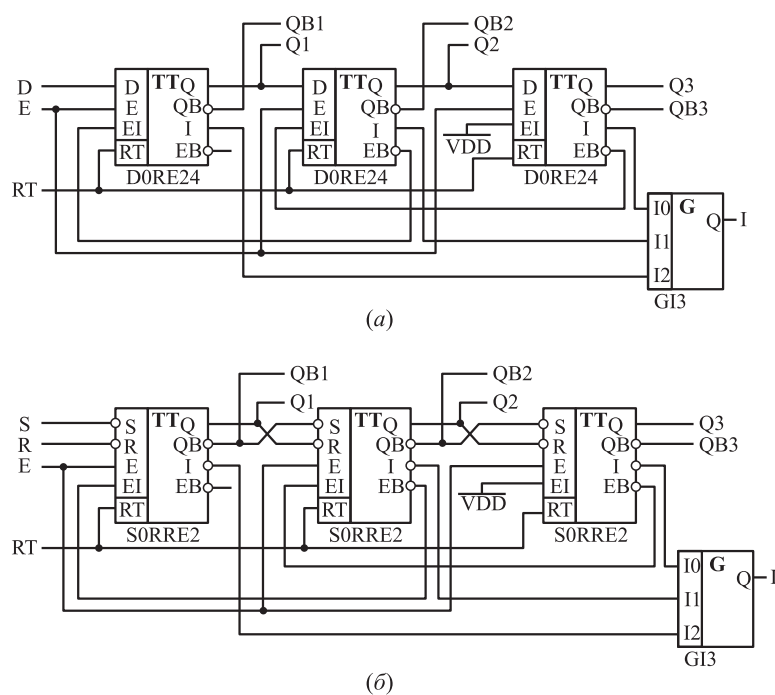


Рис. 2 Схемы трехразрядного СС-регистра сдвига на D-триггере (а) и на RS-триггере (б)

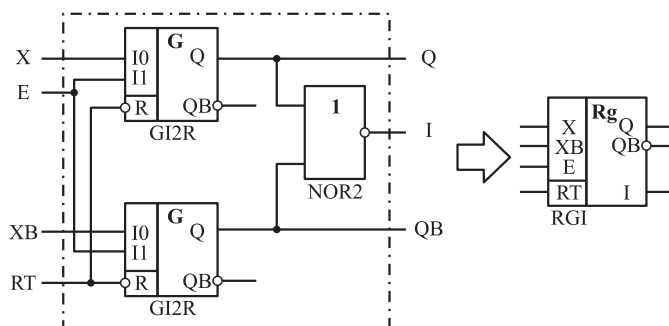


Рис. 3 Схема разряда СС-регистра сдвига на Г-триггерах

- на вход (X, XB) поступает нулевой спейсер, который распространяется по элементам D1–D5, но элемент D6 сохраняет свое рабочее состояние;
- новое рабочее состояние, поступающее на вход (X, XB), запишется в первые четыре элемента регистра (D1–D4);

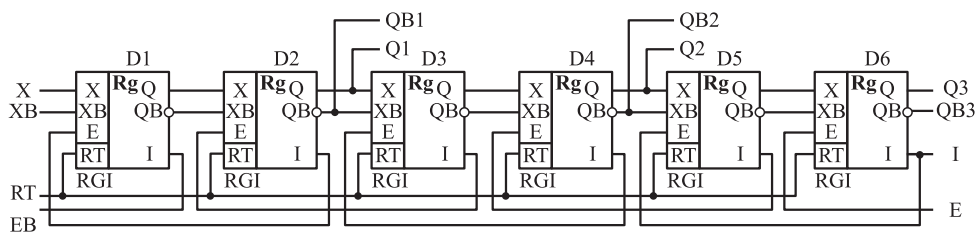


Рис. 4 Схема трехразрядного СС-регистра сдвига на Г-триггерах

- дальнейшее чередование спейсера и рабочего состояния на входе (X, XB) приведет к заполнению регистра тремя рабочими состояниями в элементах D2, D4 и D6 и спейсером в элементах D1, D3 и D5;
- переключение входа управления E из «1» в «0» разрешит элементу D6 перейти в спейсер, что, в свою очередь, разрешит рабочему состоянию из D4 записаться в D5, затем спейсеру из D3 записаться в D4 и т. д. В результате биты информации, хранимые регистром, сдвинутся на один элемент регистра и будет разрешена запись нового бита информации в элемент D1.

Регистр на рис. 4 функционирует как «полуплотное FIFO» [9]. Для реализации n -разрядного РС требуется $2n$ разрядов, и общие аппаратные затраты на рис. 4 оказываются в 1,2–1,3 раза больше, чем в регистрах на рис. 2. Его преимущества в сравнении с ними: парафазное кодирование информационных входов и выходов и лучшее в 2,2 раза быстродействие.

Одно из практических применений РС — реализация последовательного выходного интерфейса. Оно требует параллельной записи передаваемой информации в регистр перед началом передачи.

3 Самосинхронный регистр сдвига с параллельной записью

Устройства последовательного выходного интерфейса основаны на параллельной записи в РС информации и «выталкивании» ее по последовательному каналу. На рис. 5 показана реализация разряда РС с параллельной записью. Он отличается от разряда РС на рис. 1, б наличием входов разрешения параллельной записи WE (WE = 1 — разрешение записи; WE = 0 — отсутствие записи, режим сдвига), СС-установки P (P = 1 — установка выхода разряда РС в состояние Q = 1, QB = 0; P = 0 — отсутствие установки), СС-сброс С (C = 1 — сброс выхода разряда регистра в состояние Q = 0, QB = 1; C = 0 — отсутствие сброса) и дополнительного выхода IW, индицирующего успешное завершение СС-записи (IW = 0 — запись завершена; IW = 1 — запись отсутствует). Аппаратные затраты разряда регистра на рис. 5 составляют 64 КМДП-транзистора.

На рис. 6 показана реализация трехразрядного РС с параллельной СС-записью, разряды которого реализованы схемой на рис. 5. Элемент D7 формирует общий индикаторный выход II регистра с учетом режима его работы.

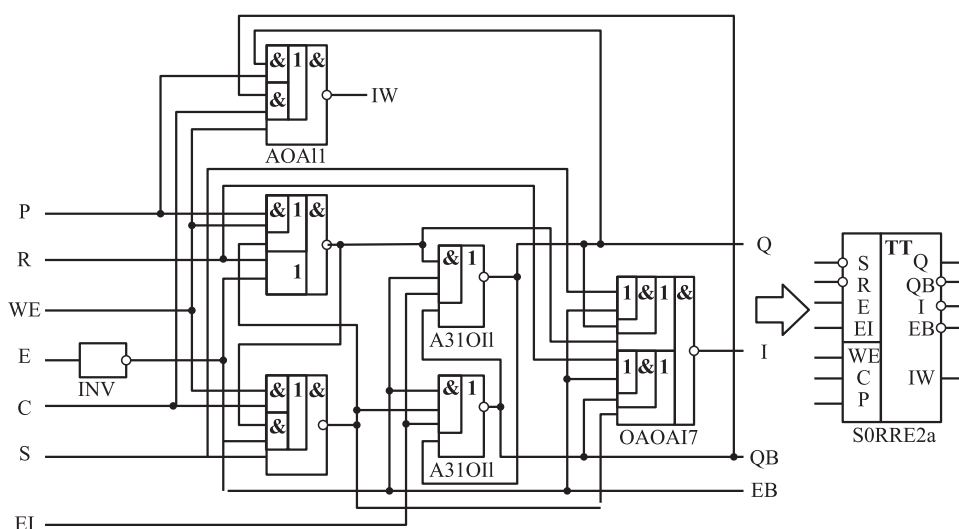


Рис. 5 Схема одного разряда РС с СС параллельной записью

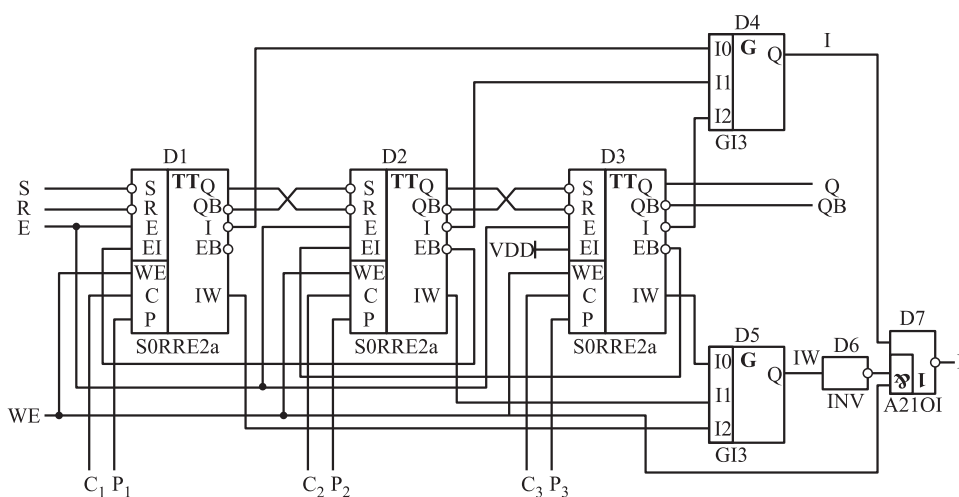


Рис. 6 Схема трехразрядного РС с СС параллельной записью

В режиме сдвига вход разрешения записи $WE = 0$ и цепи параллельной записи не влияют на индикаторный выход Π . Параллельная запись в регистр выполняется при $E = 0$ путем подачи на входы установки C_i и P_i требуемых значений ($C_i = 1$ и $P_i = 0$ для установки в i -м разряде регистра «0»; $C_i = 0$ и $P_i = 1$ для установки в i -м разряде регистра «1») и задании $WE = 1$. Сигнал WE должен индексировать входы установки регистра. Аппаратурные

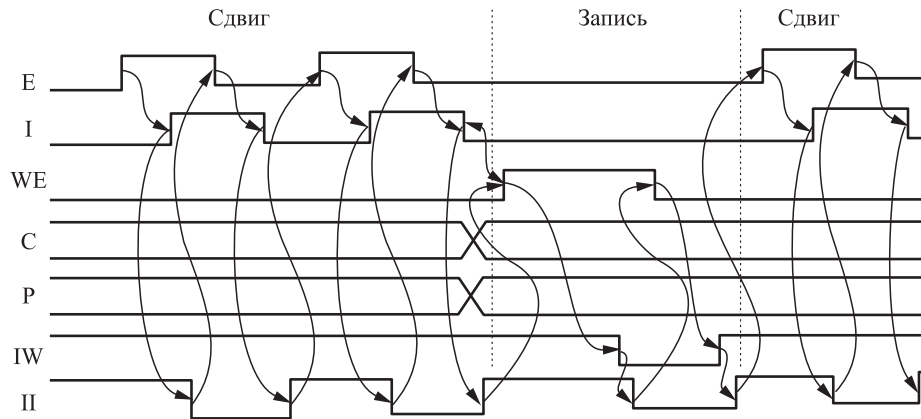


Рис. 7 Диаграмма работы СС-регистра сдвига с параллельной СС-записью

затраты СС-регистра на рис. 6 составляют 232 КМДП-транзистора. Рисунок 7 показывает временную диаграмму работы СС-регистра сдвига в терминах входов управления и записи и индикаторных выходов. Тонкие линии со стрелками показывают причинно-следственные зависимости между сигналами схемы регистра.

Разряд РС на Г-триггерах с параллельной записью показан на рис. 8. Он устанавливается в нулевой спейсер при $R = RB = RT = S = SB = 0$, записывает бит «0» при $R = RB = 1$ и $RT = S = SB = 0$ или бит «1» при $R = RB = RT = 0$ и $S = SB = 1$.

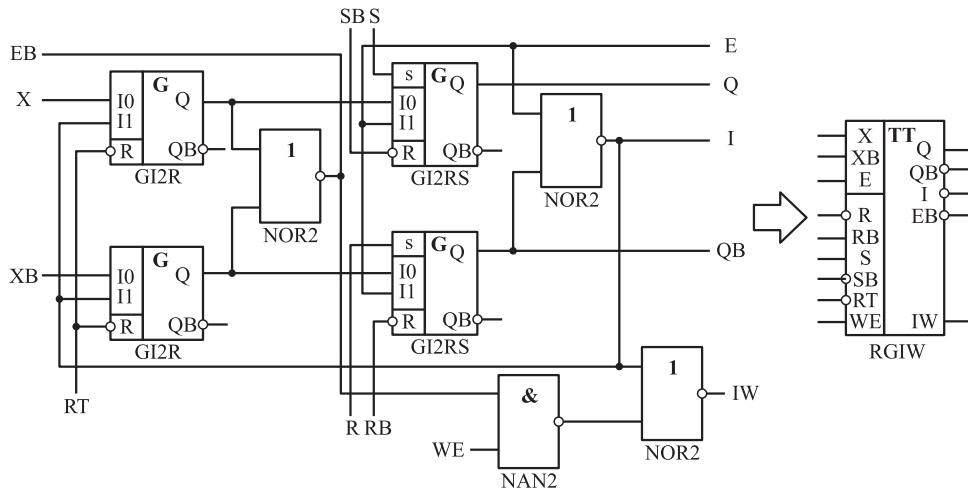


Рис. 8 Схема одного разряда РС на Г-триггерах с параллельной записью

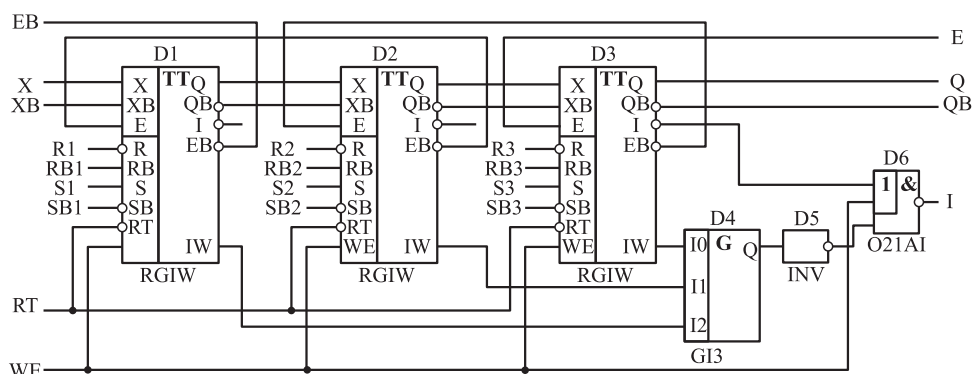


Рис. 9 Регистр сдвига на Г-триггерах с параллельной записью

Параллельная запись выполняется после переключения разряда РС в спейсер ($Q = QB = 0$). После инициации параллельной записи $WE = 1$ и подачи сигналов $RT = 0$ и требуемой комбинации входов R, RB, S и SB переключение выхода IW в значение $IW = 1$ подтвердит успешное окончание параллельной записи в разряд РС. Установка $WE = 0$ и затем $RT = 1$ и $R = S = 0$, $RB = SB = 1$ возвращает разряд РС в спейсер. Сложность реализации схемы составляет 76 КМДП-транзисторов. На рис. 9 показан 3-разрядный СС-регистр сдвига с параллельной записью на Г-триггерах.

Индикаторная подсхема, включающая элементы D4–D6, подтверждает успешное окончание параллельной записи в регистр. В результате общая сложность реализации СС-регистра сдвига на рис. 9 составляет 252 КМДП-транзистора, что на 9% выше сложности регистра на рис. 6.

С учетом того, что для параллельной записи в регистр на рис. 9 требуется сформировать вдвое больше сигналов предустановки R^* и S^* , суммарные затраты варианта регистра на Г-триггерах окажутся еще хуже в сравнении с затратами варианта на RS-триггере (см. рис. 6).

Однако моделирование вариантов СС-регистра сдвига, изображенных на рис. 6 и 9 с учетом их окружения, обеспечивающего работу РС в режимах параллельной СС-записи и СС-сдвига, показывает, что суммарная длительность рабочей и спейсерной фаз в РС на рис. 6 в 1,5 раза больше, чем в регистре на рис. 9.

Таким образом, РС с параллельной записью (параллельно-последовательный порт) на RS-триггере (см. рис. 6) обеспечивает минимальную сложность, а регистр на Г-триггерах (см. рис. 9) гарантирует лучшее быстроедействие.

4 Заключение

Рассмотренные варианты реализации разряда СС-регистра сдвига и самого СС-регистра сдвига не исчерпывают всего многообразия сдвиговых СС-регист-

ров. Ввод в описанные схемы входов асинхронной или СС-предустановки позволяет получить широкую номенклатуру практически значимых реализаций СС-регистра сдвига.

Самосинхронный РС типа FIFO или последовательно-параллельный порт целесообразно реализовывать на Г-триггерах с предустановкой спейсера, если требуется минимальная латентность и парафазное кодирование параллельного выхода регистра. В противном случае лучшим решением будет использование двухтактного RS-триггера.

Самосинхронный РС с параллельной записью целесообразно строить на RS-триггерах с СС-установкой и сбросом, если целевым критерием служит минимальная сложность схемы. Аналогичный регистр на Г-триггерах оказывается в 1,09 раза сложнее, однако последний обладает в 1,5 раза лучшим быстродействием.

Литература

1. Muller D., Bartky W. A theory of asynchronous circuits // Annals Computation Laboratory Harvard University, 1959. Vol. 29. P. 204–243.
2. Varshavsky V., Kishinevsky M., Marakhovskiy V., et al. Self-timed control of concurrent processes. — Kluwer Academic Publs., 1990. 245 p.
3. Плеханов Л. П., Степченко Ю. А. Экспериментальная проверка некоторых свойств строго самосинхронных электронных схем // Системы и средства информатики, 2006. Т. 16. № 2. С. 476–485.
4. Соколов И. А., Степченко Ю. А., Рождественский Ю. В., Дьяченко Ю. Г. Приближенная оценка эффективности синхронной и самосинхронной методологий в задачах проектирования сбоеустойчивых вычислительно-управляющих систем // Автоматика и телемеханика, 2022. № 2. С. 122–132.
5. Плеханов Л. П., Денисов А. Н., Дьяченко Ю. Г., Степченко Ю. А., Мамонов Д. И., Степченко Д. Ю. Синтез самосинхронных схем в базе БМК // Наноиндустрия, 2020. № S96-2. С. 460–470. doi: 10.22184/1993-8578.2020.13.3s.460.470.
6. Плеханов Л. П., Денисов А. Н., Дьяченко Ю. Г., Мамонов Д. И., Морозов Н. В., Степченко Д. Ю. Реализация синтеза самосинхронных схем в базе БМК // Наноиндустрия, 2021. Т. 14. № S7. С. 395–397.
7. Zakharov V., Stepchenkov Y., Diachenko Y., Rogdestvenski Y. Self-timed circuitry retrospective // Conference (International) Engineering Technologies and Computer Science Proceedings. — Piscataway, NJ, USA: IEEE, 2020. P. 58–64. doi: 10.1109/EnT48576.2020.00018.
8. Степченко Ю. А., Денисов А. Н., Дьяченко Ю. Г. и др. Библиотека функциональных ячеек для проектирования самосинхронных полузаказных БМК микросхем серий 5503/5507. — Сер. «Полузаказные БИС на БМК серий 5503 и 5507». — М.: Техносфера, 2017. Т. 4. 376 с. <http://www.technosphaera.ru/lib/book/497>.
9. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В. И. Варшавского. — М.: Наука, 1986. 400 с.

Поступила в редакцию 13.06.22

SELF-TIMED SHIFT REGISTER CASES

**Yu. A. Stepchenkov, Yu. G. Diachenko, Yu. V. Rogdestvenski, N. V. Morozov,
D. Yu. Stepchenkov, and D. Yu. Diachenko**

Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation

Abstract: The paper discusses the problems of designing and using self-timed (ST) shift registers. Self-timed circuits have their specifics: two-phase work discipline, redundant information coding, etc. Due to this, they have some advantages compared with synchronous counterparts: independence of behavior from cell delays, detection of any stuck faults, etc. The article considers implementation options for the ST shift register with various options, including setting to a spacer and presetting a fixed value in each bit of the shift register. The proposed options have different functionality, complexity, and performance. Shift registers based on RS-flip-flops have minimal hardware costs, while shift registers based on hysteretic triggers have better performance. The article analyzes shift register’s characteristics and substantiates recommendations for their use as a serial-to-parallel port, parallel-to-serial port, or FIFO (First Input, First Output).

Keywords: self-timed circuit; hysteretic trigger; RS-flip-flop; shift register; FIFO; serial-to-parallel port; hardware costs; performance

DOI: 10.14357/08696527220308

Acknowledgments

The research was supported by the Russian Science Foundation (project No. 22-19-00237).

References

1. Muller, D., and W. Bartky. 1959. A theory of asynchronous circuits. *Annals Computation Laboratory Harvard University* 29:204–243.
2. Varshavsky, V., M. Kishinevsky, V. Marakhovsky, et al. 1990. *Self-timed control of concurrent processes*. Kluwer Academic Pubs. 245 p.
3. Plekhanov, L. P., and Yu. A. Stepchenkov. 2006. Eksperimental’naya proverka nekotorykh svoystv strogo samosinkhronnykh skhem [Experimental verification of some properties of strictly self-timed circuits]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 16:476–485.
4. Sokolov, I. A., Yu. A. Stepchenkov, Yu. V. Rozhdestvenski, and Yu. G. Diachenko. 2022. Approximate evaluation of the efficiency of synchronous and self-timed methodologies in problems of designing failure-tolerant computing and control systems. *Automat. Rem. Contr.* 83(2):264–272.
5. Plekhanov, L. P., A. N. Denisov, Yu. G. Diachenko, Yu. A. Stepchenkov, D. I. Mamonov, and D. Yu. Stepchenkov. 2020. Sintez samosinkhronnykh skhem v bazise BMK

- [Self-timed circuit synthesis in gate array basis]. *Nanoindustriya* [Nanoindustry] S96-2:460–470. doi: 10.22184/1993-8578.2020.13.3s.460.470.
6. Plekhanov, L. P., A. N. Denisov, Yu. G. Diachenko, D. I. Mamonov, N. V. Morozov, and D. Yu. Stepchenkov. 2021. Realizatsiya sinteza samosinkhronnykh skhem v bazise BMK [Implementing self-timed circuit synthesis in gate array basis]. *Nanoindustriya* [Nanoindustry] 14(S7):395–397.
 7. Zakharov, V., Y. Stepchenkov, Y. Diachenko, and Y. Rogdestvenski. 2020. Self-timed circuitry retrospective. *Conference (International) Engineering Technologies and Computer Science Proceedings*. Piscataway, NJ: IEEE. 58–64. doi: 10.1109/EnT48576.2020.00018.
 8. Stepchenkov, Yu. A., A. N. Denisov, Yu. G. Diachenko, *et al.* 2017. Biblioteka funktsional'nykh yacheek dlya proektirovaniya samosinkhronnykh poluzakaznykh BMK mikro-skhem seriy 5503/5507 [Library of functional cells for designing self-timed semicustom chips of the 5503 and 5507 series]. Ser. “Poluzakaznye BIS na BMK seriy 5503 i 5504” [Ser. Semicustom chips of the 5503 and 5507 series]. Moscow: Tekhnosfera. Vol. 4. 376 p.
 9. Varshavsky, V. I., ed. 1986. *Avtomatnoe upravlenie asinkhronnymi protsessami v EVM i diskretnykh sistemakh* [Automata control of asynchronous processes in computers and discrete systems]. Moscow: Nauka. 400 p.

Received June 13, 2022

Contributors

Stepchenkov Yuri A. (b. 1951) — Candidate of Science (PhD) in technology, leading scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; YStepchenkov@ipiran.ru

Diachenko Yuri G. (b. 1958) — Candidate of Science (PhD) in technology, senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaura@mail.ru

Rogdestvenski Yuri V. (b. 1952) — Candidate of Science (PhD) in technology, leading scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation; YRogdest@ipiran.ru

Morozov Nikolay V. (b. 1956) — senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation; NMorozov@ipiran.ru

Stepchenkov Dmitri Y. (b. 1973) — senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation; Stepchenkov@mail.ru

Diachenko Denis Y. (b. 1987) — engineer-researcher, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaden87@gmail.com