



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК

H03K 19/173 (2023.08); *G06F 7/38* (2023.08); *G06F 7/50* (2023.08)

(21)(22) Заявка: 2023116599, 23.06.2023

(24) Дата начала отсчета срока действия патента:
23.06.2023Дата регистрации:
05.12.2023

Приоритет(ы):

(22) Дата подачи заявки: 23.06.2023

(45) Опубликовано: 05.12.2023 Бюл. № 34

Адрес для переписки:

119333, Москва, ул. Вавилова, 44, корп. 2, ФИЦ
ИУ РАН

(72) Автор(ы):

Захаров Виктор Николаевич (RU),
Степченко Юрий Афанасьевич (RU),
Дьяченко Юрий Георгиевич (RU),
Дьяченко Денис Юрьевич (RU),
Орлов Георгий Александрович (RU)

(73) Патентообладатель(и):

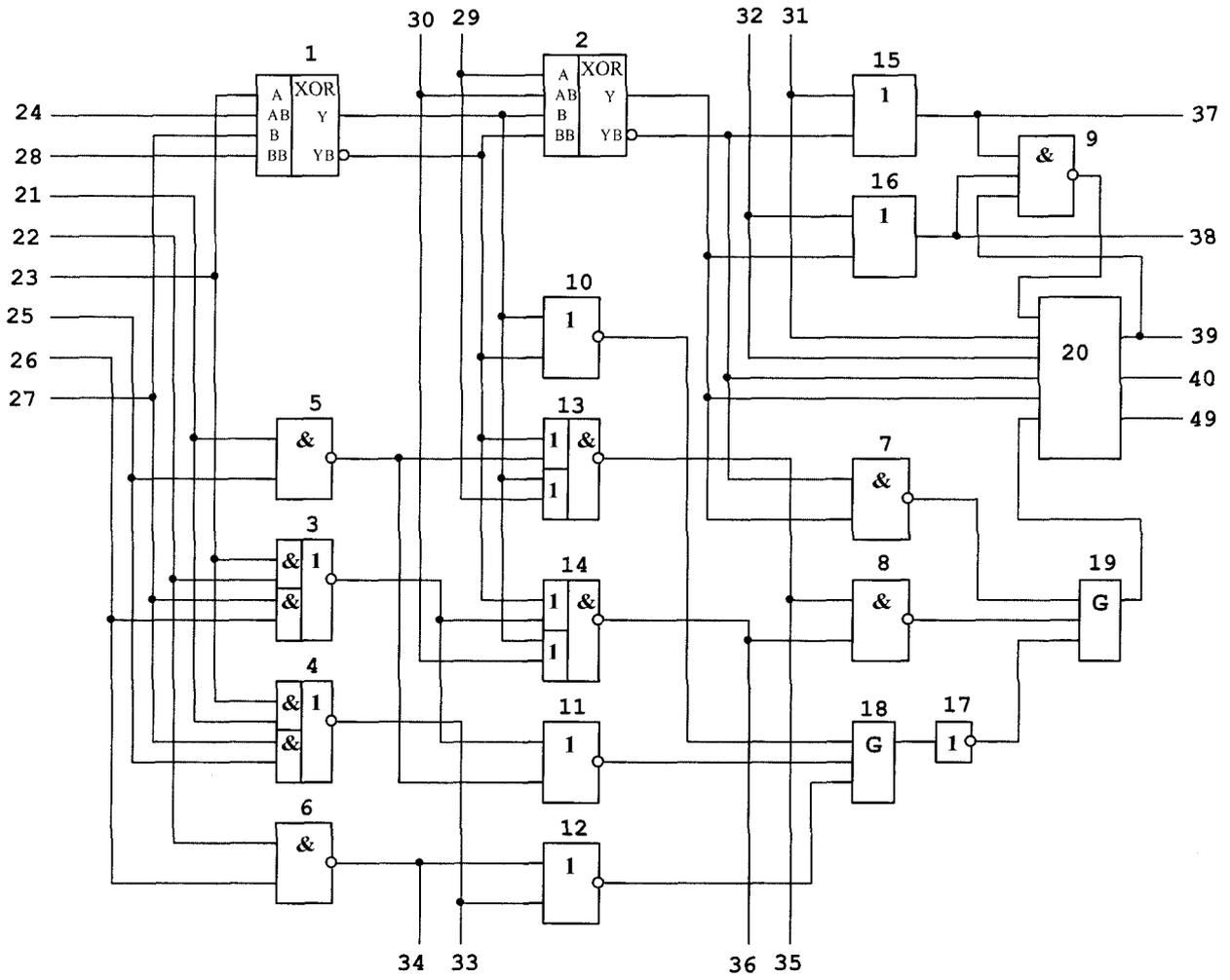
Федеральное государственное учреждение
"Федеральный исследовательский центр
"Информатика и управление" Российской
академии наук" (ФИЦ ИУ РАН) (RU)(56) Список документов, цитированных в отчете
о поиске: RU 2666890 C1, 12.09.2018. RU
2574818 C1, 10.02.2016. US 7274211 B1,
25.09.2007. RU 2405246 C2, 27.11.2010. JP 3532422
B2, 31.05.2004.

(54) Самосинхронный одноразрядный четверичный сумматор с единичным спейсером

(57) Реферат:

Изобретение относится к системам цифровой обработки информации. Технический результат заключается в обеспечении самосинхронной реализации одноразрядного четверичного сумматора с единичным спейсером слагаемых. Такой результат достигается тем, что в самосинхронный одноразрядный троичный сумматор, содержащий два элемента И-ИЛИ-НЕ, два элемента ИЛИ-И-НЕ, три элемента ИЛИ-НЕ, элемент неравнозначности с двумя парафазными входами и одним парафазным выходом, два

элемента И-НЕ, два гистерезисных триггера, инвертор и соответствующие компоненты первого и второго слагаемых, первого и второго парафазных входов переноса, первого и второго парафазных выходов переноса, троичного выхода суммы, и индикаторный выход, введен второй элемент неравнозначности, третий, четвертый и пятый элементы И-НЕ, два элемента ИЛИ и формирователь нулевой и инверсной нулевой компоненты выхода суммы и индикаторного выхода сумматора. 3 з.п. ф-лы, 4 ил., 4 табл.



Фиг. 3



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.
H03K 19/00 (2006.01)
G06F 7/00 (2006.01)

(12) **ABSTRACT OF INVENTION**

(52) CPC
H03K 19/173 (2023.08); *G06F 7/38* (2023.08); *G06F 7/50* (2023.08)

(21)(22) Application: **2023116599, 23.06.2023**

(24) Effective date for property rights:
23.06.2023

Registration date:
05.12.2023

Priority:
(22) Date of filing: **23.06.2023**

(45) Date of publication: **05.12.2023** Bull. № 34

Mail address:
119333, Moskva, ul. Vavilova, 44, korp. 2, FITS IU RAN

(72) Inventor(s):

**Zakharov Viktor Nikolaevich (RU),
Stepchenkov Yuriy Afanasevich (RU),
Dyachenko Yuriy Georgievich (RU),
Dyachenko Denis Yurevich (RU),
Orlov Georgij Aleksandrovich (RU)**

(73) Proprietor(s):

**Federalnoe gosudarstvennoe uchrezhdenie
"Federalnyj issledovatel'skij tsentr "Informatika
i upravlenie" Rossijskoj akademii nauk" (FITS
IU RAN) (RU)**

(54) **SELF-TIMED SINGLE-DIGIT TERNARY ADDER WITH SINGLE SPACER**

(57) Abstract:

FIELD: digital information processing systems.

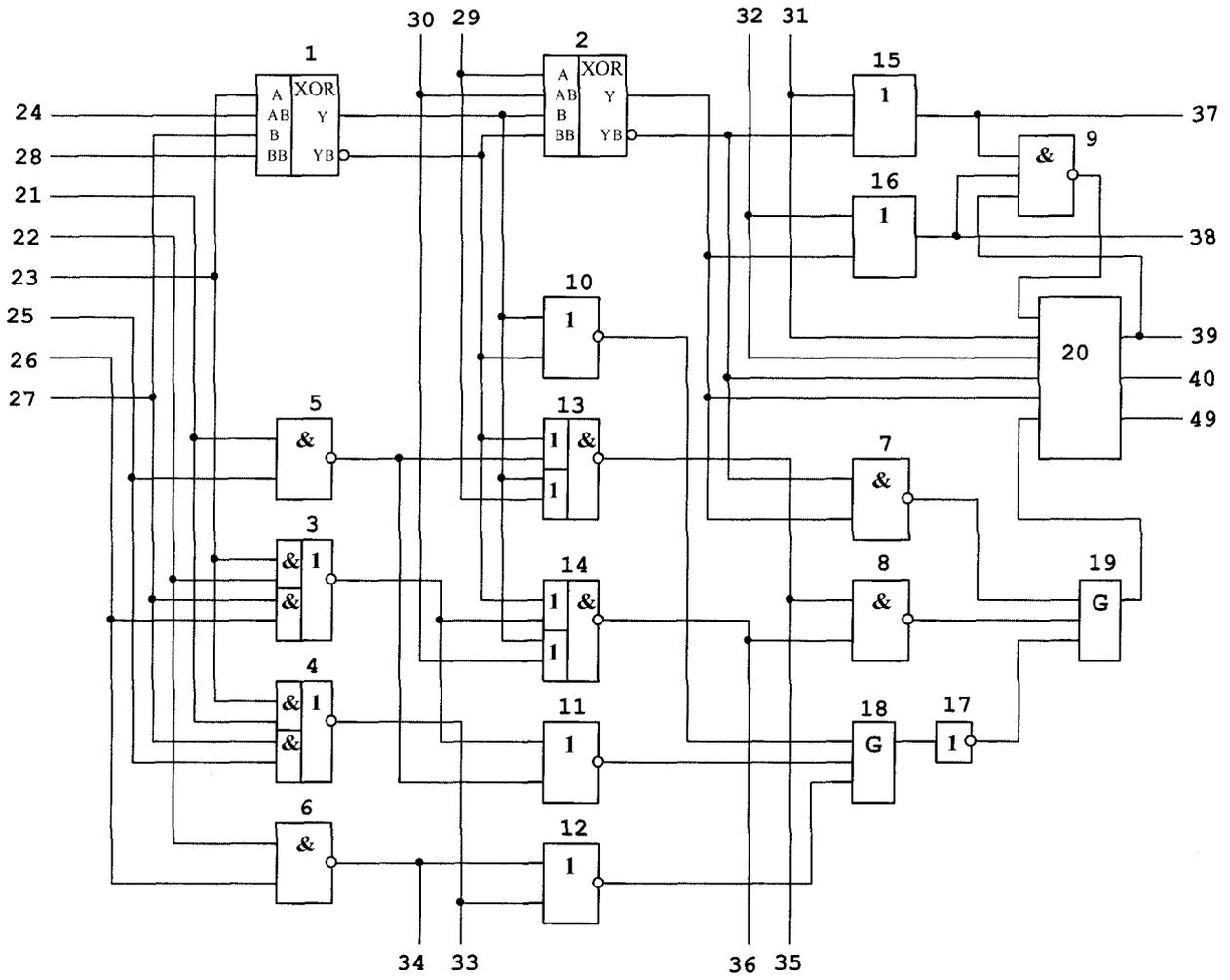
SUBSTANCE: in a self-timed single-bit ternary adder containing two AND-OR-NOT elements, two OR-AND-NOT elements, three OR-NOT elements, a disparity element with two paraphase inputs and one paraphase output, two AND-NOT elements, two hysteresis triggers, an inverter and the corresponding components of the first and second terms, the first and second paraphase transfer inputs, the first and second

paraphase transfer outputs, the ternary sum output, and an indicator output, the second disparity element, the third, fourth and fifth AND-NO elements, two OR elements and a generator of the zero and inverse zero components of the sum output and the indicator output of the adder are introduced.

EFFECT: providing a self-timed implementation of a single-bit quaternary adder with a single add spacer.
4 cl, 4 dwg, 4 tbl

RU 2 808 782 C1

RU 2 808 782 C1



Фиг. 3

Самосинхронный одноразрядный четверичный сумматор с парафазными слагаемыми и четверичным выходом с единичным спейсером относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных комбинационных и вычислительных устройств, в первую очередь - умножителей, а также систем цифровой обработки информации.

Известен самосинхронный одноразрядный двоичный сумматор [1, рис. 4.6], состоящий из четырех элементов И-ИЛИ-НЕ и двух элементов ИЛИ-НЕ и имеющий парафазные входы и выходы. Недостаток известного устройства - большая задержка формирования выходного переноса при построении многоразрядного сумматора.

Наиболее близким к предлагаемому решению по технической сущности и принятым в качестве прототипа является самосинхронный одноразрядный троичный сумматор [2], содержащий четыре элемента И-ИЛИ-НЕ, два элемента ИЛИ-И-НЕ, пять элементов ИЛИ-НЕ, элемент неравнозначности, два элемента И-НЕ, два гистерезисных триггера, два элемента И, один элемент И-ИЛИ, инвертор, положительную, отрицательную, нулевую и инверсную нулевую компоненты первого слагаемого, положительную, отрицательную, нулевую и инверсную нулевую компоненты второго слагаемого, прямую и инверсную компоненты первого входа переноса, прямую и инверсную компоненты второго входа переноса, прямую и инверсную компоненты первого выхода переноса, прямую и инверсную компоненты второго выхода переноса, положительную, отрицательную и нулевую компоненты суммы и индикаторный выход.

Недостаток прототипа - невозможность его использования для обработки слагаемых с единичным спейсером и для построения многокаскадных суммирующих схем, например, "дерева" Уоллеса в умножителе, из-за троичного, а не четверичного, типа выхода суммы.

Задача, решаемая заявляемым изобретением, заключается в обеспечении СС реализации одноразрядного четверичного сумматора с единичным спейсером слагаемых и выхода суммы без увеличения его аппаратных затрат и снижения быстродействия. Это достигается заменой компонентов сумматора, зависимых от типа спейсера слагаемых их тождественными аналогами для противоположного типа спейсера с использованием механизма де Моргана за исключением элемента "неравнозначность" и гистерезисных триггеров, которые инвариантны к типу спейсера обрабатываемых слагаемых.

Таким образом, решение заявленной технической задачи достигается тем, что в самосинхронный одноразрядный троичный сумматор, содержащий два элемента И-ИЛИ-НЕ, два элемента ИЛИ-И-НЕ, три элемента ИЛИ-НЕ, элемент неравнозначности с двумя парафазными входами и одним парафазным выходом, два элемента И-НЕ, два гистерезисных триггера, инвертор, положительную, отрицательную, нулевую и инверсную нулевую компоненты первого четверичного слагаемого, положительную, отрицательную, нулевую и инверсную нулевую компоненты второго четверичного слагаемого, прямую и инверсную компоненты первого парафазного входа переноса, прямую и инверсную компоненты второго парафазного входа переноса, прямую и инверсную компоненты первого парафазного выхода переноса, прямую и инверсную компоненты второго парафазного выхода переноса, положительную, отрицательную и нулевую компоненты троичной суммы и индикаторный выход, причем вход инвертора подключен к выходу первого гистерезисного триггера, а выход инвертора соединен с третьим входом второго гистерезисного триггера, прямая и инверсная компоненты первого парафазного входа переноса подключены к первому и второму входам элемента неравнозначности соответственно, составляющим вместе первый парафазный вход

элемента неравнозначности, третий и четвертый входы элемента неравнозначности составляют его второй парафазный вход, введены второй элемент неравнозначности, третий, четвертый и пятый элементы И-НЕ, два элемента ИЛИ и блок формирования нулевой компоненты выхода суммы и индикаторного выхода сумматора, в дальнейшем именуемый формирователем, причем положительная компонента первого четверичного слагаемого подключена ко второму входу первой группы И входов второго элемента И-ИЛИ-НЕ и к первому входу первого элемента И-НЕ, отрицательная компонента первого четверичного слагаемого подключена ко второму входу первой группы И входов первого элемента И-ИЛИ-НЕ и к первому входу второго элемента И-НЕ, нулевая компонента первого четверичного слагаемого соединена с прямой компонентой первого парафазного входа второго элемента неравнозначности и с первым входом первых групп И входов первого и второго элементов И-ИЛИ-НЕ, инверсная нулевая компонента первого четверичного слагаемого соединена с инверсной компонентой первого парафазного входа второго элемента неравнозначности, положительная компонента второго четверичного слагаемого подключена ко второму входу второй группы И входов второго элемента И-ИЛИ-НЕ и ко второму входу первого элемента И-НЕ, отрицательная компонента второго четверичного слагаемого подключена ко второму входу второй группы И входов первого элемента И-ИЛИ-НЕ и второму входу второго элемента И-НЕ, нулевая компонента второго четверичного слагаемого соединена с прямой компонентой второго парафазного входа второго элемента неравнозначности и первым входом вторых групп И входов первого и второго элементов И-ИЛИ-НЕ, инверсная нулевая компонента второго четверичного входа сумматора подключена к инверсной компоненте второго парафазного входа второго элемента неравнозначности, прямая и инверсная компоненты первого парафазного входа переноса подключены ко вторым входам вторых групп ИЛИ входов первого и второго элементов ИЛИ-И-НЕ соответственно, прямая компонента парафазного выхода второго элемента неравнозначности соединена с прямой компонентой второго парафазного входа первого элемента неравнозначности, первым входом первого элемента ИЛИ-НЕ и первыми входами вторых групп ИЛИ входов первого и второго элементов ИЛИ-И-НЕ, инверсная компонента парафазного выхода второго элемента неравнозначности подключена к инверсной компоненте второго парафазного входа первого элемента неравнозначности, второму входу первого элемента ИЛИ-НЕ и первым входам первых групп ИЛИ входов первого и второго элементов ИЛИ-И-НЕ, выход первого элемента И-НЕ соединен со вторым входом первой группы ИЛИ входов первого элемента ИЛИ-И-НЕ и вторым входом второго элемента ИЛИ-НЕ, выход первого элемента И-ИЛИ-НЕ подключен к первому входу второго элемента ИЛИ-НЕ и второму входу первой группы ИЛИ входов второго элемента ИЛИ-И-НЕ, выход второго элемента И-НЕ соединен с первым входом третьего элемента ИЛИ-НЕ и инверсной компонентой первого выхода переноса, выход второго элемента И-ИЛИ-НЕ подключен ко второму входу третьего элемента ИЛИ-НЕ и прямой компоненте первого парафазного выхода переноса, прямая компонента парафазного выхода первого элемента неравнозначности соединена со вторыми входами второго элемента ИЛИ и третьего элемента И-НЕ и пятым входом формирователя, инверсная компонента парафазного выхода первого элемента неравнозначности подключена ко второму входу первого элемента ИЛИ, четвертому входу формирователя и первому входу третьего элемента И-НЕ, выходы первого, второго и третьего элементов ИЛИ-НЕ соединены с первым, вторым и третьим входами первого гистерезисного триггера соответственно, выход первого элемента ИЛИ-И-НЕ подключен к первому входу

четвертого элемента И-НЕ и прямой компоненте второго парафазного выхода переноса, выход второго элемента ИЛИ-И-НЕ подключен ко второму входу четвертого элемента И-НЕ и инверсной компоненте второго парафазного выхода переноса, прямая компонента второго парафазного входа переноса соединена с первым входом первого
 5 элемента ИЛИ и вторым входом формирователя, инверсная компонента второго парафазного входа переноса соединена с первым входом второго элемента ИЛИ и третьим входом формирователя, выход первого элемента ИЛИ подключен к первому входу пятого элемента И-НЕ и положительной компоненте троичного выхода суммы, выход второго элемента ИЛИ подключен ко второму входу пятого элемента И-НЕ и отрицательной компоненте троичного выхода суммы, первый выход формирователя
 10 подключен к третьему входу пятого элемента И-НЕ и нулевой компоненте троичного выхода суммы, выходы третьего и четвертого элементов И-НЕ подключены к первому и второму входам второго гистерезисного триггера соответственно, выход пятого элемента И-НЕ подключен к первому входу формирователя, шестой вход которого соединен с выходом второго гистерезисного триггера, а второй выход формирователя
 15 подключен к индикаторному выходу сумматора.

Предлагаемое устройство удовлетворяет критерию "существенные отличия". Действительно, четверичные слагаемые, троичная сумма, парафазные входы и выходы переноса, индикаторный выход, элементы И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ, ИЛИ-И-НЕ,
 20 неравнозначность, гистерезисные триггеры и инвертор есть и в прототипе. Но троичные входы и выход в прототипе имеют нулевой спейсер, первые парафазные вход и выход переноса имеют единичный спейсер, вторые парафазные вход и выход переноса имеют нулевой спейсер, а имеющиеся элементы и связи между ними не обеспечивают самосинхронной работы четверичного сумматора с четверичными слагаемыми с
 25 единичным спейсером. Только добавление ряда других элементов, изменение типа спейсера в самосинхронном кодировании четверичных и парафазных входов и выходов позволило достичь эффекта, выраженного целью изобретения.

Поскольку введенные конструктивные связи в аналогичных технических решениях не известны, устройство может считаться имеющим существенные отличия.

30 Понятие "парафазный", используемое в тексте данной заявки, определяется следующим образом. Парафазным считается сигнал, представленный двумя составляющими - парой переменных $\{X, XB\}$, которые в активной (рабочей) фазе имеют взаимоинверсные значения: $\{X=0, XB=1\}$ или $\{X=1, XB=0\}$. Переход парафазного сигнала из одного статического рабочего состояния в противоположное рабочее
 35 состояние может осуществляться следующими двумя способами.

Первый способ предполагает использование парафазного сигнала со спейсером: когда переходу в следующее рабочее состояние обязательно предшествует переход в
 третье статическое состояние - спейсерное (нерабочее состояние или состояние гашения). Если используется состояние $\{1,1\}$, то говорят, что используется парафазный сигнал с
 40 единичным спейсером, а если состояние $\{0,0\}$, то - парафазный сигнал с нулевым спейсером. Спейсерное состояние - статическое состояние, установка которого в самосинхронной схемотехнике должна фиксироваться индикатором окончания переходного процесса, в данном случае - окончания установки спейсерного состояния.

Второй способ предполагает использование парафазного сигнала без спейсера. При
 45 этом переход из одного рабочего статического состояния в другое осуществляется через динамическое (кратковременное) состояние: $\{1,1\}$ или $\{0,0\}$, -называемое транзитным состоянием.

В материалах данной заявки речь идет об использовании первого способа - в качестве

первого входа переноса и первого выхода переноса парафазного сигнала с нулевым спейсером и об использовании в качестве второго входа переноса и второго выхода переноса парафазного сигнала с единичным спейсером.

Самосинхронное кодирование четверичных слагаемых и троичной суммы раскрывается в таблицах 1 и 2 соответственно. Здесь Р, N, М - положительный, нулевой и отрицательный компоненты четверичного сигнала соответственно, NB - инверсная нулевая компонента четверичного сигнала, символ "*" означает любое значение компоненты сигнала.

Таблица 1. Самосинхронное кодирование четверичного сигнала с единичным спейсером

Р	N	NB	М	Эквивалентное значение
1	1	1	1	спейсер
0	1	0	1	+1
1	0	1	1	0
1	1	0	0	-1
0	0	*	*	запрещено
0	*	*	0	запрещено
*	0	0	*	запрещено
*	0	*	0	запрещено

Таблица 2. Самосинхронное кодирование троичного сигнала с единичным спейсером

Р	N	М	Эквивалентное значение
1	1	1	спейсер
0	1	1	+1
1	0	1	0
1	1	0	-1
0	0	*	запрещено
0	*	0	запрещено
*	0	*	запрещено
*	0	0	запрещено

На Фиг. 1 представлена схема самосинхронного одноразрядного четверичного сумматора с единичным спейсером, содержащая два элемента неравнозначности 1-2 с двумя парафазными входами и одним парафазным выходом, два элемента И-ИЛИ-НЕ 3-4, пять элементов И-НЕ 5-9, три элемента ИЛИ-НЕ 10-12, два элемента ИЛИ-И-НЕ 13-14, два элемента ИЛИ 15-16, инвертор 17, два гистерезисных триггера 18-19, блок формирователя нулевой компоненты выхода суммы и индикаторного выхода сумматора 20, положительную 21, отрицательную 22, нулевую 23 и инверсную нулевую 24 компоненты первого четверичного слагаемого, положительную 25, отрицательную 26, нулевую 27 и инверсную нулевую 28 компоненты второго четверичного слагаемого, прямую 29 и инверсную 30 компоненты первого парафазного входа переноса, прямую 31 и инверсную 32 компоненты второго парафазного входа переноса, прямую 33 и инверсную 34 компоненты первого парафазного выхода переноса, прямую 35 и инверсную 36 компоненты второго парафазного выхода переноса, положительную 37, отрицательную 38 и нулевую 39 компоненты троичной суммы и индикаторный выход 40, положительная компонента 21 первого четверичного слагаемого подключена ко второму входу первой группы И входов элемента И-ИЛИ-НЕ 4 и к первому входу элемента И-НЕ 5, отрицательная компонента 22 первого четверичного слагаемого

подключена ко второму входу первой группы И входов элемента И-ИЛИ-НЕ 3 и к
первому входу элемента И-НЕ 6, нулевая компонента 23 первого четверичного
слагаемого соединена с прямой компонентой первого парафазного входа элемента
неравнозначности 1 и с первым входом первых групп И входов элементов И-ИЛИ-НЕ
5 3 и 4, инверсная нулевая компонента 24 первого четверичного слагаемого соединена
с инверсной компонентой первого парафазного входа элемента неравнозначности 1,
положительная компонента 25 второго четверичного слагаемого подключена ко
второму входу второй группы И входов элемента И-ИЛИ-НЕ 4 и ко второму входу
элемента И-НЕ 5, отрицательная компонента 26 второго четверичного слагаемого
10 подключена ко второму входу второй группы И входов элемента И-ИЛИ-НЕ 3 и
второму входу элемента И-НЕ 6, нулевая компонента 27 второго четверичного
слагаемого соединена с прямой компонентой второго парафазного входа элемента
неравнозначности 1 и первым входом вторых групп И входов элементов И-ИЛИ-НЕ
3 и 4, инверсная нулевая компонента 28 второго четверичного входа сумматора
15 подключена к инверсной компоненте второго парафазного входа элемента
неравнозначности 1, прямая 29 компонента первого парафазного входа переноса
подключена ко второму входу второй группы ИЛИ входов элемента ИЛИ-И-НЕ 13 и
прямой компоненте первого парафазного входа элемента неравнозначности 2, инверсная
30 30 компонента первого парафазного входа переноса подключена ко второму входу
второй группы ИЛИ входов элемента ИЛИ-И-НЕ 14 и инверсной компоненте первого
парафазного входа элемента неравнозначности 2, прямая компонента парафазного
выхода элемента неравнозначности 1 соединена с прямой компонентой второго
парафазного входа элемента неравнозначности 2, первым входом элемента ИЛИ-НЕ
10 и первыми входами вторых групп ИЛИ входов элементов ИЛИ-И-НЕ 13 и 14,
25 инверсная компонента парафазного выхода элемента неравнозначности 1 подключена
к инверсной компоненте второго парафазного входа элемента неравнозначности 2,
второму входу элемента ИЛИ-НЕ 10 и первым входам первых групп ИЛИ входов
элементов ИЛИ-И-НЕ 13 и 14, выход элемента И-НЕ 5 соединен со вторым входом
первой группы ИЛИ входов элемента ИЛИ-И-НЕ 13 и вторым входом элемента ИЛИ-
30 НЕ 11, выход элемента И-ИЛИ-НЕ 3 подключен к первому входу элемента ИЛИ-НЕ
11 и второму входу первой группы ИЛИ входов элемента ИЛИ-И-НЕ 14, выход
элемента И-НЕ 6 соединен с первым входом элемента ИЛИ-НЕ 12 и инверсной
компонентой 34 первого выхода переноса, выход элемента И-ИЛИ-НЕ 4 подключен
ко второму входу элемента ИЛИ-НЕ 12 и прямой компоненте 33 первого парафазного
35 выхода переноса, прямая компонента парафазного выхода элемента неравнозначности
2 соединена со вторыми входами элемента ИЛИ 16 и элемента И-НЕ 7 и пятым входом
формирователя 20, инверсная компонента парафазного выхода элемента
неравнозначности 2 подключена ко второму входу элемента ИЛИ 15, четвертому входу
формирователя 20 и первому входу элемента И-НЕ 7, выходы элементов ИЛИ-НЕ 10-
40 12 соединены с первым, вторым и третьим входами гистерезисного триггера 18
соответственно, вход инвертора 17 подключен к выходу гистерезисного триггера 18,
а выход инвертора 17 соединен с третьим входом гистерезисного триггера 19, выход
элемента ИЛИ-И-НЕ 13 подключен к первому входу элемента И-НЕ 8 и прямой
компоненте 35 второго парафазного выхода переноса, выход элемента ИЛИ-И-НЕ 14
45 подключен ко второму входу элемента И-НЕ 8 и инверсной компоненте 36 второго
парафазного выхода переноса, прямая компонента 31 второго парафазного входа
переноса соединена с первым входом элемента ИЛИ 15 и вторым входом формирователя
20, инверсная компонента 32 второго парафазного входа переноса соединена с первым

входом элемента ИЛИ 16 и третьим входом формирователя 20, выход элемента ИЛИ 15 подключен к первому входу элемента И-НЕ 9 и положительной компоненте 37 троичного выхода суммы, выход элемента ИЛИ 16 подключен ко второму входу элемента И-НЕ 9 и отрицательной компоненте 38 троичного выхода суммы, первый
 5 выход формирователя 20 соединен с третьим входом элемента И-НЕ 9 и нулевой компонентой 39 троичного выхода суммы, выход элемента И-НЕ 9 подключен к первому входу формирователя 20, выходы элементов И-НЕ 7 и 8 подключены к первому и второму входам гистерезисного триггера 19 соответственно, выход которого соединен с шестым входом формирователя 20, второй выход формирователя 20 подключен к
 10 индикаторному выходу 40 сумматора.

Техническая реализация формирователя 20 для четверичного сумматора с троичным выходом суммы показана на Фиг. 2. Она содержит элемент ИЛИ-И 43 и третий гистерезисный триггер 44, первый и второй входы первой группы ИЛИ входов элемента ИЛИ-И 43 подключены ко второму 31 и третьему 32 входам формирователя 20
 15 соответственно, первый и второй входы второй группы ИЛИ входов элемента ИЛИ-И 43 подключены к четвертому 46 и пятому 47 входам формирователя 20 соответственно, первый и второй входы третьего гистерезисного триггера 44 соединены с первым 45 и шестым 48 входами формирователя 20 соответственно, выход элемента ИЛИ-И 43 подключен к первому выходу 39 формирователя 20, а выход гистерезисного триггера
 20 44 соединен со вторым выходом 40 формирователя 20.

Элемент неравнозначности 1-2 имеет парафазные входы и выход и выполняет следующие функции:

$$Y = \overline{A * B + AB * BB},$$

$$YB = \overline{A * BB + AB * B},$$
(1)

где {A, AB} - первый парафазный вход, {B, BB} - второй парафазный вход, {Y, YB} - парафазный выход. Выход элемента неравнозначности имеет спейсер (нулевой или единичный), противоположный по отношению к спейсеру его входов.

Трехвходовой гистерезисный триггер 18-19 выполняет функцию:

$$Y^+ = I0 * I1 * I2 + Y * (I0 + I1 + I2),$$

где I0, I1, I2 - входы триггера, Y, Y⁺ - текущее и следующее значения выхода триггера. Двухвходовой гистерезисный триггер 44 выполняет функцию:

$$Y^+ = I0 * I1 + Y * (I0 + I1).$$

35 Схема работает следующим образом. Аналогично любому другому самосинхронному устройству, данный сумматор постоянно переключается из спейсера в разрешенное рабочее состояние и обратно. Переключение из одного рабочего состояния в другое обязательно происходит через спейсерное состояние всех входов и выходов сумматора. Тип спейсера слагаемых, второго входного переноса, суммы и второго выходного
 40 переноса - единичный, а тип спейсера первого входного переноса и первого выходного переноса - нулевой. Троичный выход суммы 37-39 может перейти в одно из рабочих состояний ({P, N, M}={"011", "101", "110"}) только при условии, что все входы сумматора перешли в рабочее состояние. Действительно, если первое слагаемое 21-24 находится в единичном спейсере ("1111"), то парафазный выход элемента неравнозначности 1 в соответствии с формулами (1) находится в состоянии нулевого спейсера, парафазный
 45 выход элемента неравнозначности 2 в соответствии с формулами (1) находится в состоянии единичного спейсера, что заставляет и выходы элементов 15, 16 и 43 находиться в состоянии логической единицы. Тогда выход суммы 37-39 находится в

единичном спейсере ("111") независимо от состояния остальных входов сумматора. Аналогичным образом, если второе слагаемое 25-28 находится в единичном спейсере ("1111"), парафазный выход элемента неравнозначности 1 находится в состоянии нулевого спейсера, парафазный выход элемента неравнозначности 2 находится в состоянии единичного спейсера, выходы элементов 15, 16 и 43 находятся в состоянии логической единицы. Тогда выход суммы 37-39 находится в единичном спейсере ("111") независимо от состояния остальных входов сумматора. Если в нулевом спейсере ("00") находится первый парафазный вход переноса 29-30, то выходы элемента неравнозначности 2 в соответствии с формулами (1) находятся в состоянии логической единицы, выходы элементов 15, 16 и 43 находятся в состоянии логической единицы, следовательно, выход суммы 37-39 находится в единичном спейсере независимо от состояния остальных входов сумматора. Если в единичном спейсере ("11") находится второй парафазный вход переноса 31-32, то выходы элементов 15, 16 и 43 находятся в состоянии логической единицы, следовательно, выход суммы 37-39 находится в единичном спейсере независимо от состояния остальных входов сумматора.

Состояния выходов сумматора в зависимости от допустимых статических рабочих комбинаций его входов приведены в таблице 3. Индикаторный выход 40 переключается в состояние логического нуля, если все входы и выходы сумматора переключились в спейсер, и остается в этом состоянии, если хотя бы одно из четверичных слагаемых или любой парафазный входной перенос находится в спейсере. Индикаторный выход 40 переключается в состояние логической единицы, если все входы сумматора и выход суммы закончили переключение в рабочее состояние.

Таблица 3. Таблица рабочих состояний сумматора с троичным выходом суммы

№№ пп.	Входы											Выходы								
	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40
1	1	1	0	1	1	1	0	1	1	0	1	0	1	0	1	0	1	0	1	1
2	1	1	0	1	1	1	0	1	1	0	0	1	1	0	1	0	0	1	1	1
3	1	1	0	1	1	1	0	1	0	1	1	0	1	0	1	0	1	1	0	1
4	1	1	0	1	1	1	0	1	0	1	0	1	1	0	1	0	0	1	1	1
5	1	1	0	1	1	0	1	0	1	0	1	0	0	1	0	1	1	1	0	1
6	1	1	0	1	1	0	1	0	1	0	0	1	0	1	0	1	0	1	1	1
7	1	1	0	1	1	0	1	0	0	1	1	0	0	1	1	0	1	0	1	1
8	1	1	0	1	1	0	1	0	0	1	0	1	0	1	1	0	0	1	1	1
9	1	1	0	1	0	1	1	0	1	0	1	0	1	0	0	1	1	1	0	1
10	1	1	0	1	0	1	1	0	1	0	0	1	1	0	0	1	0	1	1	1
11	1	1	0	1	0	1	1	0	0	1	1	0	1	0	1	0	1	0	1	1
12	1	1	0	1	0	1	1	0	0	1	0	1	1	0	1	0	1	1	0	1
13	1	0	1	0	1	1	0	1	1	0	1	0	0	1	0	1	1	1	0	1
14	1	0	1	0	1	1	0	1	1	0	0	1	0	1	0	1	0	1	1	1

Продолжение Таблицы 3.

№№ пп.	Входы												Выходы								
	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	
5	15	1	0	1	0	1	1	0	1	0	1	1	0	0	1	1	0	1	0	1	1
	16	1	0	1	0	1	1	0	1	0	1	0	1	0	1	1	0	1	1	0	1
	17	1	0	1	0	1	0	1	1	1	0	1	0	0	1	0	1	1	0	1	1
	18	1	0	1	0	1	0	1	1	1	0	0	1	0	1	0	1	1	1	0	1
10	19	1	0	1	0	1	0	1	1	0	1	1	0	0	1	0	1	1	1	0	1
	20	1	0	1	0	1	0	1	1	0	1	0	1	0	1	0	1	0	1	1	1
	21	1	0	1	0	0	1	1	1	1	0	1	0	0	1	0	1	1	0	1	1
	22	1	0	1	0	0	1	1	1	1	0	0	1	0	1	0	1	1	1	0	1
15	23	1	0	1	0	0	1	1	1	0	1	1	0	0	1	0	1	1	1	0	1
	24	1	0	1	0	0	1	1	1	0	1	0	1	0	1	0	1	0	1	1	1
	25	0	1	1	0	1	1	0	1	1	0	1	0	1	0	0	1	1	1	0	1
	26	0	1	1	0	1	1	0	1	1	0	0	1	1	0	0	1	0	1	1	1
20	27	0	1	1	0	1	1	0	1	0	1	1	0	1	0	1	0	1	0	1	1
	28	0	1	1	0	1	1	0	1	0	1	0	1	1	0	1	0	1	1	0	1
	29	0	1	1	0	1	0	1	0	1	0	1	0	0	1	0	1	1	0	1	1
	30	0	1	1	0	1	0	1	0	1	0	0	1	0	1	0	1	1	1	0	1
25	31	0	1	1	0	1	0	1	0	0	1	1	0	0	1	0	1	1	1	0	1
	32	0	1	1	0	1	0	1	0	0	1	0	1	0	1	0	1	0	1	1	1
	33	0	1	1	0	0	1	1	0	1	0	1	0	1	0	0	1	1	0	1	1
	34	0	1	1	0	0	1	1	0	1	0	0	1	1	0	0	1	1	1	0	1
30	35	0	1	1	0	0	1	1	0	0	1	1	0	1	0	0	1	1	1	0	1
	36	0	1	1	0	0	1	1	0	0	1	0	1	1	0	0	1	0	1	1	1

Особенности данной схемы по сравнению с прототипом следующие.

Парафазные первый вход 29-30 и первый выход 33-34 переноса имеют нулевой спейсер, а парафазные второй вход 31-32 и второй выход 35-36 переноса имеют единичный спейсер. Четверичные первое 21-24 и второе 25-28 слагаемые и троичная сумма 37-39 имеют единичный спейсер. Кроме того, введены новые элементы и связи между ними, обеспечивающие самосинхронное сложение двух четверичных слагаемых с единичным спейсером и индикацию всех элементов схемы.

Однако троичный выход суммы не позволяет использовать данный сумматор для реализации, например, умножителя, в котором многоразрядные сумматоры включены последовательно. Необходим четверичный выход суммы. С этой целью введены третий выход формирователя 20 и выход инверсии нулевой компоненты троичного выхода суммы 49, соединенные друг с другом, как показано на Фиг. 3.

Техническая реализация формирователя 20 для четверичного сумматора с четверичным выходом суммы показана на Фиг. 4. Она содержит третий элемент неравнозначности 50, второй 51 и третий 52 инверторы, шестой элемент И-НЕ 53 и третий гистерезисный триггер 54, прямая и инверсная компоненты первого парафазного

входа элемента неравнозначности 50 подключены ко второму 31 и третьему 32 входам формирователя 20 соответственно, прямая и инверсная компоненты второго парафазного входа элемента неравнозначности 50 подключены к четвертому 46 и пятому 47 входам формирователя 20 соответственно, прямая и инверсная компоненты парафазного выхода элемента неравнозначности 50 соединены с входами инверторов 51 и 52 соответственно, выход инвертора 51 подключен к первому входу шестого элемента И-НЕ 53 и первому выходу 39 формирователя 20, выход инвертора 52 подключен ко второму входу шестого элемента И-НЕ 53 и третьему выходу 49 формирователя 20, выход шестого элемента И-НЕ 53 соединен со вторым входом гистерезисного триггера 54, первый и третий входы которого соединены с первым 45 и шестым 48 входами формирователя 20 соответственно, а выход гистерезисного триггера 54 соединен со вторым выходом 40 формирователя 20.

Схема сумматора с четверичными слагаемыми и четверичным выходом суммы с единичным спейсером работает следующим образом. Четверичный выход суммы 37-39, 49 может перейти в рабочее состояние ($\{P, N, NB, M\} = \{ "0101", "1011", "1100" \}$) только при условии, что все входы сумматора перешли в рабочее состояние. Действительно, если первое слагаемое 21-24 находится в единичном спейсере ("1111"), то парафазный выход элемента неравнозначности 1 в соответствии с формулами (1) находится в состоянии нулевого спейсера, парафазный выход элемента неравнозначности 2 в соответствии с формулами (1) находится в состоянии единичного спейсера, что заставляет и выходы элементов 15-16 находиться в состоянии логической единицы, а парафазный выход элемента неравнозначности 50 - в нулевом спейсере. Тогда выход суммы 37-39, 49 находится в единичном спейсере ("1111") независимо от состояния остальных входов сумматора. Аналогичным образом, если второе слагаемое 25-28 находится в единичном спейсере ("1111"), парафазный выход элемента неравнозначности 1 находится в состоянии нулевого спейсера, парафазный выход элемента неравнозначности 2 находится в состоянии единичного спейсера, выходы элементов 15-16 находятся в состоянии логической единицы, а парафазный выход элемента неравнозначности 50 - в нулевом спейсере. Тогда выход суммы 37-39, 49 находится в единичном спейсере ("1111") независимо от состояния остальных входов сумматора. Если в нулевом спейсере ("00") находится первый парафазный вход переноса 29-30, то выходы элемента неравнозначности 2 в соответствии с формулами (1) находятся в состоянии логической единицы, выходы элементов 15-16 находятся в состоянии логической единицы, а парафазный выход элемента неравнозначности 50 - в нулевом спейсере, следовательно, выход суммы 37-39, 49 находится в единичном спейсере независимо от состояния остальных входов сумматора. Если в единичном спейсере ("11") находится второй парафазный вход переноса 31-32, то выходы элементов 15-16 находятся в состоянии логической единицы, а парафазный выход элемента неравнозначности 50 - в нулевом спейсере, следовательно, выход суммы 37-39, 49 находится в единичном спейсере независимо от состояния остальных входов сумматора.

Состояния выходов сумматора с четверичными слагаемыми и четверичным выходом суммы с единичным спейсером в зависимости от допустимых статических рабочих комбинаций его входов приведены в таблице 4. Индикаторный выход 40 переключается в состояние логического нуля, если все входы и выходы сумматора переключились в спейсер, и остается в этом состоянии, если хотя бы одно из четверичных слагаемых или любой парафазный входной перенос находится в спейсере. Индикаторный выход 40 переключается в состояние логической единицы, если все входы сумматора и выход суммы закончили переключение в рабочее состояние.

Таблица 4. Таблица рабочих состояний сумматора с четверичным выходом суммы

№№	Входы												Выходы									
	п.п.	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	45	40
5	1	1	0	1	1	1	0	1	1	0	1	0	1	0	1	0	1	0	1	0	1	1
	2	1	1	0	1	1	1	0	1	1	0	0	1	1	0	1	0	0	1	1	0	1
	3	1	1	0	1	1	1	0	1	0	1	1	0	1	0	1	0	1	1	0	1	1
	4	1	1	0	1	1	1	0	1	0	1	0	1	1	0	1	0	0	1	1	0	1
10	5	1	1	0	1	1	0	1	0	1	0	1	0	0	1	0	1	1	1	0	1	1
	6	1	1	0	1	1	0	1	0	1	0	0	1	0	1	0	1	0	1	1	0	1
	7	1	1	0	1	1	0	1	0	0	1	1	0	0	1	1	0	1	0	1	0	1
	8	1	1	0	1	1	0	1	0	0	1	0	1	0	1	1	0	0	1	1	0	1
15	9	1	1	0	1	0	1	1	0	1	0	1	0	1	0	0	1	1	1	0	1	1
	10	1	1	0	1	0	1	1	0	1	0	0	1	1	0	0	1	0	1	1	0	1
	11	1	1	0	1	0	1	1	0	0	1	1	0	1	0	1	0	1	0	1	0	1
	12	1	1	0	1	0	1	1	0	0	1	0	1	1	0	1	0	1	1	0	1	1
20	13	1	0	1	0	1	1	0	1	1	0	1	0	0	1	0	1	1	1	0	1	1
	14	1	0	1	0	1	1	0	1	1	0	0	1	0	1	0	1	0	1	1	0	1

Продолжение Таблицы 4.

№№	Входы												Выходы									
	п.п.	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	45	40
25	15	1	0	1	0	1	1	0	1	0	1	1	0	0	1	1	0	1	0	1	0	1
	16	1	0	1	0	1	1	0	1	0	1	0	1	0	1	1	0	1	1	0	1	1
	17	1	0	1	0	1	0	1	1	1	0	1	0	0	1	0	1	1	0	1	0	1
	18	1	0	1	0	1	0	1	1	1	0	0	1	0	1	0	1	1	1	0	1	1
30	19	1	0	1	0	1	0	1	1	0	1	1	0	0	1	0	1	1	1	0	1	1
	20	1	0	1	0	1	0	1	1	0	1	0	1	0	1	0	1	0	1	1	0	1
	21	1	0	1	0	0	1	1	1	1	0	1	0	0	1	0	1	1	0	1	0	1
	22	1	0	1	0	0	1	1	1	1	0	0	1	0	1	0	1	1	1	0	1	1
	23	1	0	1	0	0	1	1	1	0	1	1	0	0	1	0	1	1	1	0	1	1
35	24	1	0	1	0	0	1	1	1	0	1	0	1	0	1	0	1	0	1	1	0	1
	25	0	1	1	0	1	1	0	1	1	0	1	0	1	0	0	1	1	1	0	1	1
	26	0	1	1	0	1	1	0	1	1	0	0	1	1	0	0	1	0	1	1	0	1
	27	0	1	1	0	1	1	0	1	0	1	1	0	1	0	1	0	1	0	1	0	1
	28	0	1	1	0	1	1	0	1	0	1	0	1	1	0	1	0	1	1	0	1	1
40	29	0	1	1	0	1	0	1	0	1	0	1	0	0	1	0	1	1	0	1	0	1
	30	0	1	1	0	1	0	1	0	1	0	0	1	0	1	0	1	1	1	0	1	1
	31	0	1	1	0	1	0	1	0	0	1	1	0	0	1	0	1	1	1	0	1	1
	32	0	1	1	0	1	0	1	0	0	1	0	1	0	1	0	1	0	1	1	0	1
45	33	0	1	1	0	0	1	1	0	1	0	1	0	1	0	0	1	1	0	1	0	1
	34	0	1	1	0	0	1	1	0	1	0	0	1	1	0	0	1	1	1	0	1	1
	35	0	1	1	0	0	1	1	0	0	1	1	0	1	0	0	1	1	1	0	1	1
	36	0	1	1	0	0	1	1	0	0	1	0	1	1	0	0	1	0	1	1	0	1

Таким образом, предлагаемое устройство обеспечивает самосинхронную работу одноразрядного четверичного сумматора со слагаемыми с единичным спейсером как в случае с троичным выходом суммы, так и в случае с четверичным выходом суммы. Цель изобретения достигнута.

5 Источники:

[1] Плеханов Л.П. Основы самосинхронных электронных схем. - М.: БИНОМ. Лаборатория знаний, 2013. - 208 с.

[2] Ю.В. Рождественский, Ю.А. Степченков, Ю.Г. Дьяченко. Самосинхронный одноразрядный троичный сумматор. - Патент РФ №2666890. Опубл. 12.09.2018. Бюл. 10 №26. - 14 с.

Самосинхронный одноразрядный четверичный сумматор с единичным спейсером
ИЛЛЮСТРАТИВНЫЙ МАТЕРИАЛ

Приведенное выше описание работы самосинхронного одноразрядного четверичного сумматора с единичным спейсером самодостаточно. Однако текстовая форма описания 15 не очень компактна и наглядна. Как правило, в таких случаях текстовая форма описания дополняется таблицами истинности работы составных элементов или устройства в целом, логическими уравнениями, временными диаграммами, блок-схемами алгоритма их работы.

В данном случае мы имеем дело с самосинхронной схемой, т.е. схемой, правильная 20 работа которой не зависит от задержек ее составных элементов. Задержка каждого элемента, в том числе и инвертора, может быть сколь угодно большой, но конечной величиной. Указанная особенность самосинхронных схем и является основой их многочисленных преимуществ перед традиционными синхронными схемами, главными из которых являются:

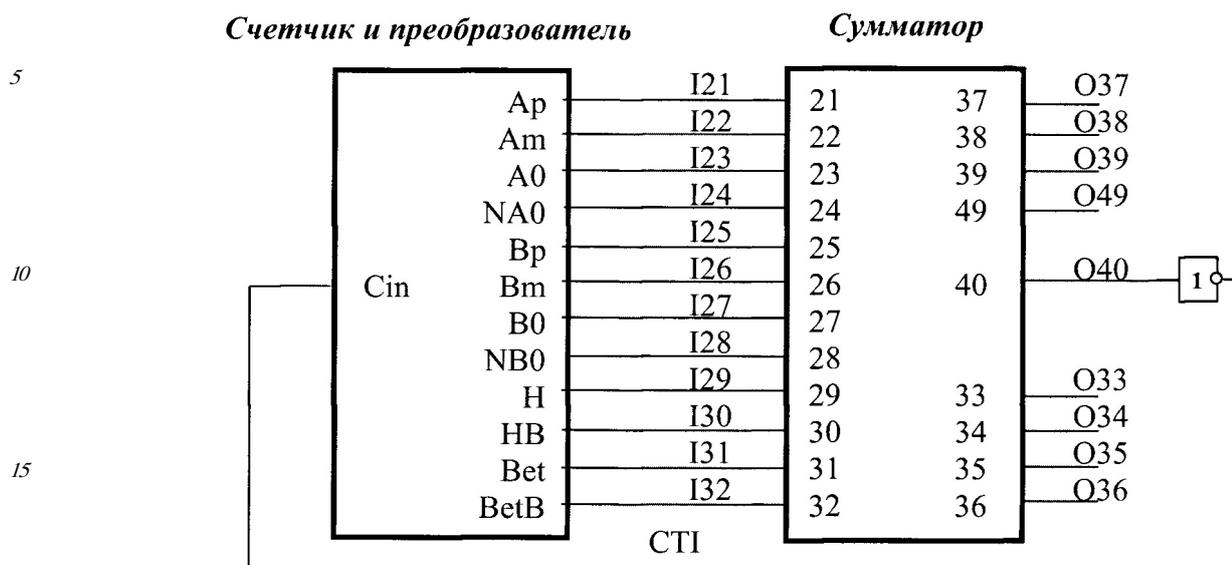
25 - устойчивая работа при любых задержках и любых возможных условиях эксплуатации;

- безопасная работа: прекращение всех переключений в момент появления неисправностей элементов (константных).

Указанные преимущества могут иметь место только тогда, когда схема действительно 30 является самосинхронной, т.е. ее поведение не зависит от задержек ее компонентов. Для подтверждения этого свойства указанных выше средств описания (схема, временная диаграмма и т.д.) недостаточно. Поскольку в основе работы самосинхронных схем лежит событийная модель, то адекватным средством описания их функционирования являются сигнальные графы (СГ). СЕ одновременно являются формальным средством 35 спецификации разрабатываемого устройства, наглядным средством описания функционирования и визуальным средством подтверждения самосинхронного характера устройства. Параллельные дуги СГ отображают параллельные (независимые) процессы, последовательные - связанные причинно-следственными отношениями процессы переключения элементов.

40 Самосинхронность схемы проверяется путем ее замыкания - добавления элементов, обеспечивающих надлежащее изменение входов анализируемой схемы при изменении ее выходов. На фиг. 5 показана схема проверки одноразрядного четверичного сумматора на самосинхронность. Помимо самого сумматора, она включает самосинхронный 45 формирователь четверичных слагаемых и парафазных входных переносов, реализованный на основе самосинхронного счетчика и преобразователя бифазных выходов счетчика в четверичные и парафазные сигналы с соответствующим спейсером. Индикаторный выход сумматора служит счетным входом счетчика. Такая реализация схемы замыкания обеспечивает повторение и чередование его значений от одной рабочей

фазы к другой. Это позволяет перебрать все возможные сочетания входов одnorазрядного самосинхронного счетчика.



Фиг. 5. Самосинхронный одnorазрядный четверичный сумматор с окружением

На фиг. 6 и 7 приведен сигнальный граф работы схемы фиг. 5. STI - индикаторный сигнал, замыкающий анализируемую схему. Замыкание сумматора обеспечивает непрерывное чередование фаз его работы: сразу же после окончания переключения в рабочую фазу (низкий уровень сигнала STI=0), схема замыкания инициирует переключение сумматора в фазу гашения (спейсера). Символ '+' перед именем переменной используется для обозначения установки высокого уровня сигнала, а знак '-' - низкого уровня. Нумерация выводов сумматора соответствует фиг. 3 в описании заявки.

Начальный узел графа на фиг. 6 и 7 соответствует состоянию схемы, в котором сумматор находится в спейсерной фазе. СП - индикаторный сигнал блока счетчика и преобразователя. Сигналы с именами I<число> отражают входы сумматора на фиг. 3 с номером, соответствующим значению <число>. Сигналы с именами O<число> отражают выходы сумматора на фиг. 3 с номером, соответствующим значению <число>. Сигналы с именами U<число> отражают выходы внутренних элементов сумматора. Прочие имена относятся к счетчику и преобразователю.

Как видно из фиг. 6 и 7, переключение СП в состояние логического нуля (на графе это соответствует обозначению вершины "-СП, k", где k - номер итерации) приводит к изменению входов сумматора - к их переключению в рабочее состояние. По окончании переключения всех элементов сумматора в рабочую фазу индикаторный выход сумматора также переключается в рабочее состояние "+O40", вызывающее соответствующее переключение входа счетчика (-STI). Это вызывает переключение счетчика в спейсер, что инициирует переключение в спейсер и сумматора. Дальнейшее функционирование сумматора происходит в соответствии с фиг. 6. Заикливание графа отражает поведение самосинхронного сумматора: при надлежащем замыкании его переключения продолжают бесконечно, при этом он проходит по одной и той же последовательности своих состояний.

Из фиг. 6 и 7 видно, что индикаторный выход сумматора O40 изменяется только тогда, когда переходные процессы во всех элементах сумматора уже завершены. Это является визуальным подтверждением самосинхронного характера рассматриваемого сумматора.

При переключении в спейсер самосинхронного сумматора его четверичные слагаемые (121-124, 125-128), второй входной парафазный перенос (131, 132), второй выходной парафазный перенос (135, 136) и четверичный выход суммы (037-039, 049) переходят в единичный спейсер, а первый входной парафазный перенос (129, 130) и первый выходной парафазный перенос (133, 134) переходят в нулевой спейсер. Таким образом, приведенный сигнальный граф подтверждает самосинхронность предлагаемого решения сумматора и соответствие заявленных типов спейсера входов и выходов.

(57) Формула изобретения

1. Самосинхронный одноразрядный четверичный сумматор, содержащий два элемента И-ИЛИ-НЕ, два элемента ИЛИ-И-НЕ, три элемента ИЛИ-НЕ, элемент неравнозначности с двумя парафазными входами и одним парафазным выходом, два элемента И-НЕ, два гистерезисных триггера, инвертор, положительную, отрицательную, нулевую и инверсную нулевую компоненты первого четверичного слагаемого, положительную, отрицательную, нулевую и инверсную нулевую компоненты второго четверичного слагаемого, прямую и инверсную компоненты первого парафазного входа переноса, прямую и инверсную компоненты второго парафазного входа переноса, прямую и инверсную компоненты первого парафазного выхода переноса, прямую и инверсную компоненты второго парафазного выхода переноса, положительную, отрицательную и нулевую компоненты троичной суммы и индикаторный выход, причем вход инвертора подключен к выходу первого гистерезисного триггера, а выход инвертора соединен с третьим входом второго гистерезисного триггера, прямая и инверсная компоненты первого парафазного входа переноса подключены к первому и второму входам элемента неравнозначности соответственно, составляющим вместе первый парафазный вход элемента неравнозначности, третий и четвертый входы элемента неравнозначности составляют его второй парафазный вход, отличающийся тем, что в схему введены второй элемент неравнозначности, третий, четвертый и пятый элементы И-НЕ, два элемента ИЛИ и блок формирования нулевой компоненты выхода суммы и индикаторного выхода сумматора, в дальнейшем именуемый формирователем, причем положительная компонента первого четверичного слагаемого подключена ко второму входу первой группы И входов второго элемента И-ИЛИ-НЕ и к первому входу первого элемента И-НЕ, отрицательная компонента первого четверичного слагаемого подключена ко второму входу первой группы И входов первого элемента И-ИЛИ-НЕ и к первому входу второго элемента И-НЕ, нулевая компонента первого четверичного слагаемого соединена с прямой компонентой первого парафазного входа второго элемента неравнозначности и с первым входом первых групп И входов первого и второго элементов И-ИЛИ-НЕ, инверсная нулевая компонента первого четверичного слагаемого соединена с инверсной компонентой первого парафазного входа второго элемента неравнозначности, положительная компонента второго четверичного слагаемого подключена ко второму входу второй группы И входов второго элемента И-ИЛИ-НЕ и ко второму входу первого элемента И-НЕ, отрицательная компонента второго четверичного слагаемого подключена ко второму входу второй группы И входов первого элемента И-ИЛИ-НЕ и второму входу второго элемента И-НЕ, нулевая компонента второго четверичного слагаемого соединена с прямой компонентой второго парафазного входа второго элемента неравнозначности и первым входом вторых групп И входов первого и второго элементов И-ИЛИ-НЕ, инверсная нулевая компонента второго четверичного слагаемого сумматора подключена к инверсной компоненте второго парафазного входа второго элемента неравнозначности, прямая и инверсная

компоненты первого парафазного входа переноса подключены ко вторым входам вторых групп ИЛИ входов первого и второго элементов ИЛИ-И-НЕ соответственно, прямая компонента парафазного выхода второго элемента неравнозначности соединена с прямой компонентой второго парафазного входа первого элемента неравнозначности, первым входом первого элемента ИЛИ-НЕ и первыми входами вторых групп ИЛИ входов первого и второго элементов ИЛИ-И-НЕ, инверсная компонента парафазного выхода второго элемента неравнозначности подключена к инверсной компоненте второго парафазного входа первого элемента неравнозначности, второму входу первого элемента ИЛИ-НЕ и первым входам первых групп ИЛИ входов первого и второго элементов ИЛИ-И-НЕ, выход первого элемента И-НЕ соединен со вторым входом первой группы ИЛИ входов первого элемента ИЛИ-И-НЕ и вторым входом второго элемента ИЛИ-НЕ, выход первого элемента И-ИЛИ-НЕ подключен к первому входу второго элемента ИЛИ-НЕ и второму входу первой группы ИЛИ входов второго элемента ИЛИ-И-НЕ, выход второго элемента И-НЕ соединен с первым входом третьего элемента ИЛИ-НЕ и инверсной компонентой первого выхода переноса, выход второго элемента И-ИЛИ-НЕ подключен ко второму входу третьего элемента ИЛИ-НЕ и прямой компоненте первого парафазного выхода переноса, прямая компонента парафазного выхода первого элемента неравнозначности соединена со вторыми входами второго элемента ИЛИ и третьего элемента И-НЕ и пятым входом формирователя, инверсная компонента парафазного выхода первого элемента неравнозначности подключена ко второму входу первого элемента ИЛИ, четвертому входу формирователя и первому входу третьего элемента И-НЕ, выходы первого, второго и третьего элементов ИЛИ-НЕ соединены с первым, вторым и третьим входами первого гистерезисного триггера соответственно, выход первого элемента ИЛИ-И-НЕ подключен к первому входу четвертого элемента И-НЕ и прямой компоненте второго парафазного выхода переноса, выход второго элемента ИЛИ-И-НЕ подключен ко второму входу четвертого элемента И-НЕ и инверсной компоненте второго парафазного выхода переноса, прямая компонента второго парафазного входа переноса соединена с первым входом первого элемента ИЛИ и вторым входом формирователя, инверсная компонента второго парафазного входа переноса соединена с первым входом второго элемента ИЛИ и третьим входом формирователя, выход первого элемента ИЛИ подключен к первому входу пятого элемента И-НЕ и положительной компоненте троичного выхода суммы, выход второго элемента ИЛИ подключен ко второму входу пятого элемента И-НЕ и отрицательной компоненте троичного выхода суммы, первый выход формирователя подключен к третьему входу пятого элемента И-НЕ и нулевой компоненте троичного выхода суммы, выходы третьего и четвертого элементов И-НЕ подключены к первому и второму входам второго гистерезисного триггера соответственно, выход пятого элемента И-НЕ подключен к первому входу формирователя, шестой вход которого соединен с выходом второго гистерезисного триггера, а второй выход формирователя подключен к индикаторному выходу сумматора.

2. Самосинхронный одноразрядный четверичный сумматор по п. 1, причем отличающийся тем, что формирователь содержит элемент ИЛИ-И и третий гистерезисный триггер, первый и второй входы первой группы ИЛИ входов элемента ИЛИ-И подключены ко второму и третьему входам формирователя соответственно, первый и второй входы второй группы ИЛИ входов элемента ИЛИ-И подключены к четвертому и пятому входам формирователя соответственно, первый и второй входы третьего гистерезисного триггера соединены с первым и шестым входами формирователя

соответственно, выход элемента ИЛИ-И подключен к первому выходу формирователя, а выход гистерезисного триггера соединен со вторым выходом формирователя.

3. Самосинхронный одноразрядный четверичный сумматор по п. 1, причем отличающийся тем, что в сумматор введена инверсная нулевая компонента выхода суммы с целью получения четверичного сигнала, а в формирователь введен третий выход, подключенный к инверсной нулевой компоненте четверичного выхода суммы.

4. Самосинхронный одноразрядный четверичный сумматор по п. 3, причем отличающийся тем, что формирователь содержит третий элемент неравнозначности, второй и третий инверторы, шестой элемент И-НЕ и третий гистерезисный триггер, прямая и инверсная компоненты первого парафазного входа элемента неравнозначности подключены ко второму и третьему входам формирователя соответственно, прямая и инверсная компоненты второго парафазного входа элемента неравнозначности подключены к четвертому и пятому входам формирователя соответственно, прямая и инверсная компоненты парафазного выхода элемента неравнозначности соединены с входами второго и третьего инверторов соответственно, выход второго инвертора подключен к первому входу шестого элемента И-НЕ и первому выходу формирователя, выход третьего инвертора подключен ко второму входу шестого элемента И-НЕ и третьему выходу формирователя, выход шестого элемента И-НЕ соединен со вторым входом третьего гистерезисного триггера, первый и третий входы которого соединены с первым и шестым входами формирователя соответственно, а выход третьего гистерезисного триггера соединен со вторым выходом формирователя.

25

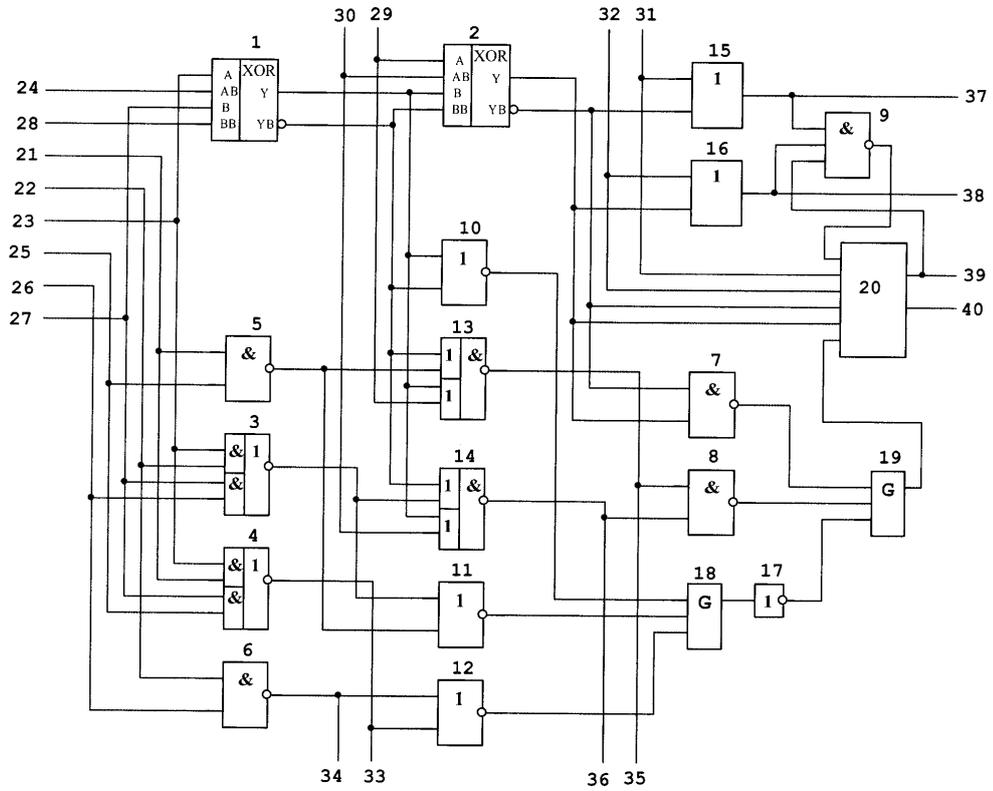
30

35

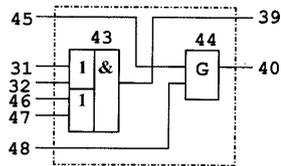
40

45

1

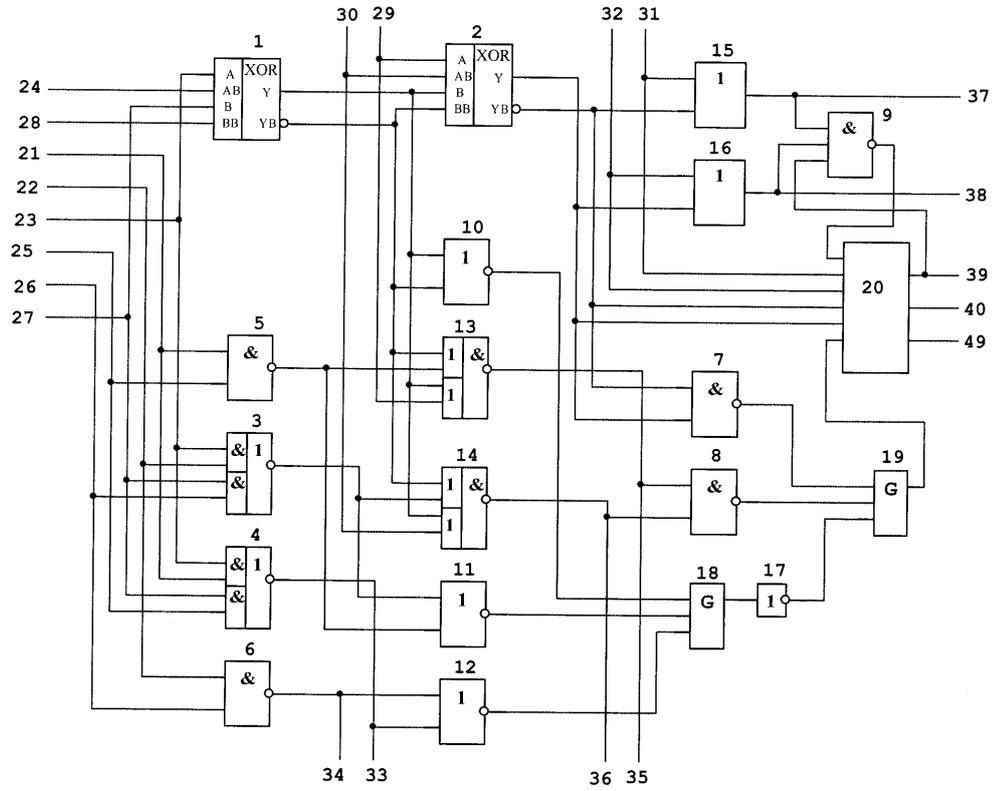


Фиг. 1

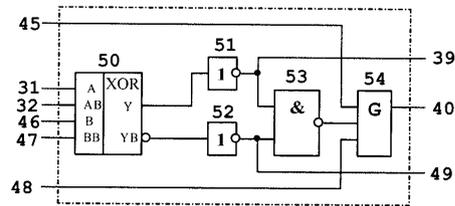


Фиг. 2

2



Фиг. 3



Фиг. 4