

СИСТЕМЫ И СРЕДСТВА ИНФОРМАТИКИ

Том 33 № 1 Год 2023

СОДЕРЖАНИЕ

Самосинхронный конвейер с переменным числом ступеней <i>И. А. Соколов, Ю. А. Степченков, Ю. Г. Дьяченко, Н. В. Морозов, Д. Ю. Дьяченко</i>	4
Корпусные данные при контрастивном изучении пунктуации <i>В. А. Нуриев, М. Г. Кружков</i>	14
Интеграционные возможности надкорпусных баз данных <i>А. А. Дурново, О. Ю. Инькова, В. А. Нуриев</i>	24
Использование базы данных моделей структурных переводческих трансформаций для извлечения многокомпонентных терминологических единиц <i>Ю. И. Бутенко</i>	35
Семантические интерпретации высоких нормальных форм отношений реляционной базы данных <i>В. А. Иванов, М. Ю. Конышев, С. В. Смирнов, О. В. Тараканов, В. О. Тараканова, С. В. Усовик</i>	45
Задача классификации в условиях искаженных причинно-следственных связей <i>А. А. Грушо, Н. А. Грушо, М. И. Забежайло, А. А. Зацаринный, Е. Е. Тимонина, С. Я. Шоргин</i>	59
Методы классификации пользователей СДО в модели построения их индивидуальной траектории обучения <i>Я. Г. Мартюшова, Т. А. Минеева, А. В. Наумов</i>	68
Эффективные вычисления при факторизации матричных данных с пропусками <i>М. П. Кривенко</i>	78
Об оценках устойчивости и их применении для некоторых моделей массового обслуживания <i>И. А. Ковалёв</i>	90

САМОСИНХРОННЫЙ КОНВЕЙЕР С ПЕРЕМЕННЫМ ЧИСЛОМ СТУПЕНЕЙ*

*И. А. Соколов¹, Ю. А. Степченко², Ю. Г. Дьяченко³, Н. В. Морозов⁴,
Д. Ю. Дьяченко⁵*

Аннотация: Рассматривается проблема увеличения производительности самосинхронных схем (СС). Эффективным способом повышения производительности, как и в синхронных схемах, оказалось использование конвейера для реализации многоступенчатой обработки входных данных. Анализируются возможные варианты динамического сокращения числа активно работающих ступеней при выполнении некоторых условий, определяемых значением обрабатываемых данных или внешним сигналом. Приведенные оценки показывают, что эффективность использования опционально варьируемого числа ступеней конвейера зависит от числа маскируемых ступеней и вероятности появления события, разрешающего такое маскирование. В частности, замена двух последовательных ступеней конвейера одной параллельной ступенью становится целесообразной, если она реализуется не менее чем в 63% операций обработки данных, а обход двух и более ступеней уменьшает среднюю латентность конвейера, если он срабатывает не менее чем в 43% операций.

Ключевые слова: самосинхронная схема; конвейер; обход; мультиплексирование; латентность; производительность

DOI: 10.14357/08696527230101

1 Введение

Практические синхронные цифровые схемы проектируются в виде конвейера [1] для обеспечения максимального быстродействия. Конвейер хорошо ложится в русло глобальной синхронизации. Самосинхронные схемы [2] также целесообразно реализовывать в виде конвейера для повышения производительности.

* Исследование выполнено в рамках гранта Российского научного фонда (проект 22-19-00237).

¹Федеральный исследовательский центр «Информатика и управление» Российской академии наук, ISokolov@ipiran.ru

²Федеральный исследовательский центр «Информатика и управление» Российской академии наук, YStepchenkov@ipiran.ru

³Федеральный исследовательский центр «Информатика и управление» Российской академии наук, diaura@mail.ru

⁴Федеральный исследовательский центр «Информатика и управление» Российской академии наук, NMogozov@ipiran.ru

⁵Федеральный исследовательский центр «Информатика и управление» Российской академии наук, diaden87@gmail.com

Самосинхронные схемы не имеют глобальной синхронизации, так как их поведение основывается на запросно-ответном механизме взаимодействия составных частей общей схемы. Однако они содержат управляющие сигналы, регулирующие двухфазное взаимодействие СС-устройств. Управляющие сигналы отражают готовность ступеней СС-конвейера к переключению в следующую фазу работы и формируются сигналами, индицирующими части СС-схемы.

Двухфазная дисциплина работы и обязательное подтверждение индикаторной подсхемой окончания переключения СС-схемы в каждую фазу работы обеспечивают контроль корректности переключения схемы и повышают устойчивость СС-схемы к логическим сбоям [3]. Индикаторная подсхема реализуется в виде многоярусной пирамидальной схемы с одним выходом и с числом входов, равным числу контролируемых точек. По мере увеличения числа контролируемых точек число ярусов растет, что ведет к снижению быстродействия СС-схемы. Разбиение на ступени конвейера общей СС-схемы уменьшает сложность схемы, индицируемой в рамках одной ступени, и, соответственно, сложность и задержку ее индикаторной подсхемы. Длительность рабочего цикла одной ступени сокращается, и производительность СС-конвейера повышается.

Однако в многоразрядных вычислительных СС-устройствах проблема повышения производительности СС-конвейера по-прежнему актуальна. Данная статья рассматривает особенности взаимодействия ступеней СС-конвейера и предлагает принципы организации СС-конвейера, позволяющие ускорять прохождение данных по конвейеру в определенных случаях за счет опциональной регулировки числа активно работающих ступеней.

2 Типовой самосинхронный конвейер

На рис. 1 представлена четырехступенчатая схема типового СС-конвейера. Каждая ступень состоит из комбинационной части (C_i) и выходного регистра (R_i),

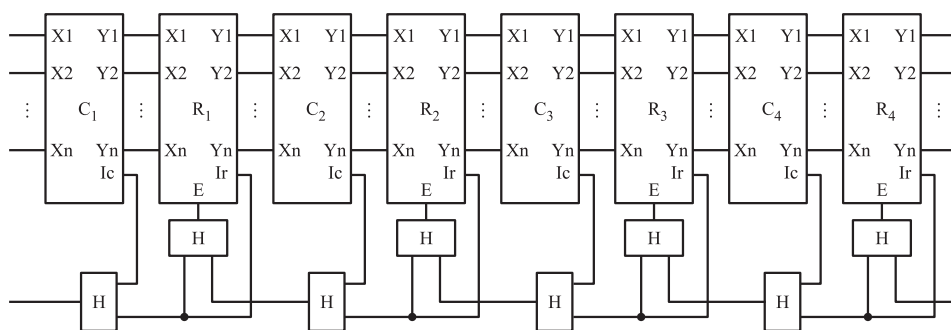


Рис. 1 Схема типового СС-конвейера

имеющих парафазные со спейсером входы (X_1, \dots, X_n) и выходы (Y_1, \dots, Y_n). Их индикаторные выходы I_s и I_r формируют сигнал управления E регистром предыдущей ступени с помощью гистерезисных триггеров (Γ -триггеров), обозначенных буквой «Н».

При выполнении определенных условий (например, при определенных значениях обрабатываемых данных) отдельные части ступеней конвейера или целые ступени могут выключаться из тракта обработки данных, если их участие не требуется: данные могут «обходить» их. Например, в устройстве умножения с накоплением (Fused Multiply-Add [4]) целесообразность вычисления произведения двух операндов, а также суммы и/или разности произведения и третьего операнда определяется их соотношением. Если третий операнд не имеет значения при заданной точности операции, то выполнять сложение/вычитание нет необходимости. Если произведение слишком мало, то и умножение делать не требуется. Оценка соотношения произведения и третьего операнда может быть получена путем сравнения их экспонент до начала вычисления произведения.

В синхронном конвейере мультиплексоры, обеспечивающие обход одной или нескольких ступеней, снижают частоту синхронизации, так как она рассчитывается для наихудшего случая, а мультиплексоры привносят дополнительную задержку.

В СС-конвейере нет необходимости учитывать наихудший случай. Его производительность характеризуется статистически усредненным временем обработки произвольных данных. Поэтому максимально возможное время прохождения данных по конвейеру (латентность конвейера) в случае, когда все ступени СС-конвейера нужны для обработки текущей порции данных, может компенсироваться уменьшением латентности в остальных случаях.

Возможны следующие варианты уменьшения числа активно работающих ступеней СС-конвейера: обход одной или нескольких ступеней и мультиплексирование ступеней. Рассмотрим их подробнее.

3 Обход ступеней самосинхронного конвейера

В качестве примера рассмотрим случай обхода двух ступеней конвейера, представленный на рис. 2. Реализацию обхода ступеней 2 и 3 обеспечивают n -разрядный элемент И (блок «&» на рис. 2), мультиплексор входов ступени 4 (MX), элемент ИЛИ-И и сигналы управления E_2 и E_3 . В ступень 1 добавляется логика детектирования условия, разрешающего обход ступеней 2 и 3, и формирования бифазного флага режима работы (U и UB).

Рисунок 3 показывает реализацию триггера флага. Здесь L и LB — парафазный сигнал разрешения обхода ($L = 1, LB = 0$) ступеней 2 и 3; E_1 — сигнал разрешения переключения регистра ступени 1 в очередную фазу; E_2 и E_3 — сигналы управления ступеней 2 и 3; WE — индикатор триггера режима, одновременно служащий сигналом управления регистром ступени 1.

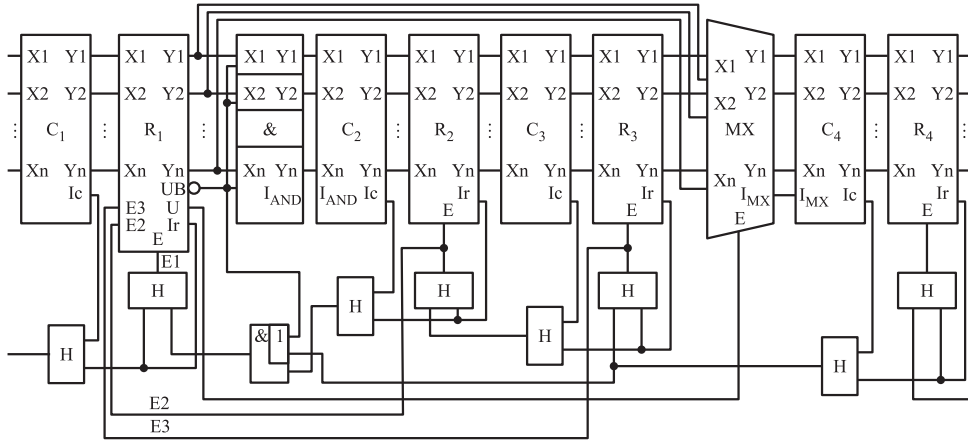


Рис. 2 Схема СС-конвейера с обходом ступеней 2 и 3

В общем случае маскируемые ступени $(i + 1), \dots, (M + i + 1)$ постоянно находятся в спейсере, поскольку на их информационных входах поддерживается спейсерное состояние. В момент переключения в режим обхода завершение перехода i -й ступени в рабочую фазу задерживается на время переключения следующих $(M + 1)$ ступеней в спейсер.

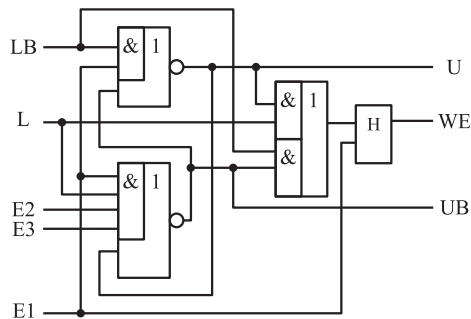


Рис. 3 Схема триггера режима и управления регистром ступени 1

4 Мультиплексирование ветвей самосинхронного конвейера

В более общем случае последовательные ступеней не обходятся, а заменяются другими — параллельными L ступенями. Рассмотрим для примера конвейер на рис. 4. В нем ступень 2А включается в тракт обработки данных вместо ступеней 2 и 3 при выполнении условия $U = 1$. В сравнении со схемой на рис. 2 для организации корректной работы такого СС-конвейера требуется учет еще одного сигнала — $E2A$, входа управления ступенью 2А. Соответственно преобразуется и схема триггера режима (рис. 5).

Переключение с одной ветви конвейера на параллельную разрешается только после подтверждения перехода всех ступеней активной ветви в спейсер, что

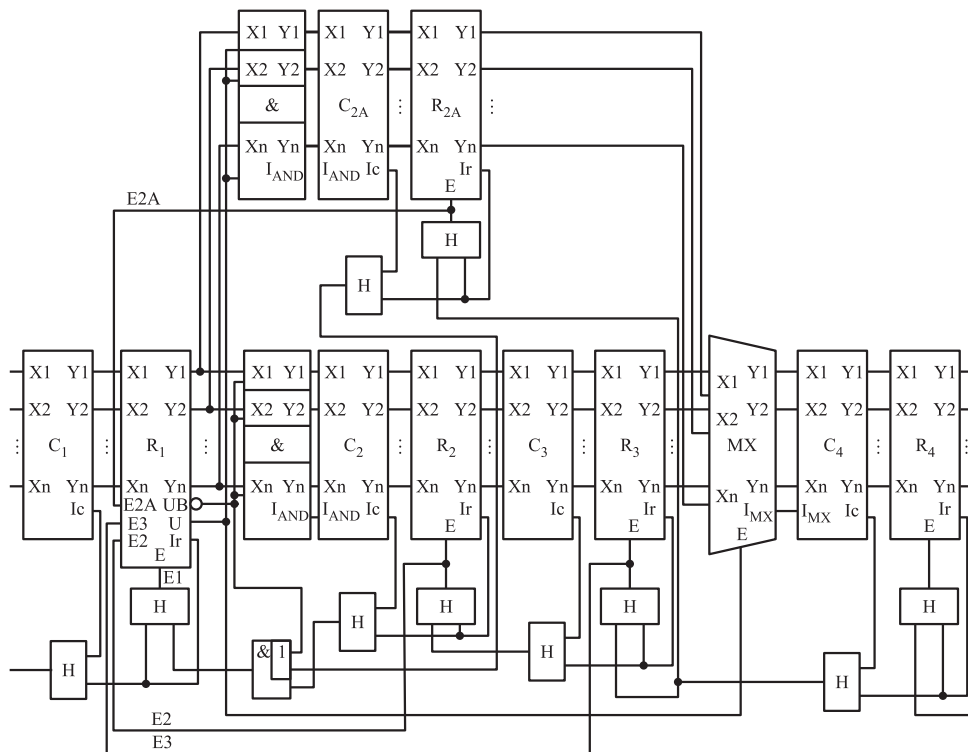


Рис. 4 Схема СС-конвейера с включением ступени 2А вместо ступеней 2 и 3

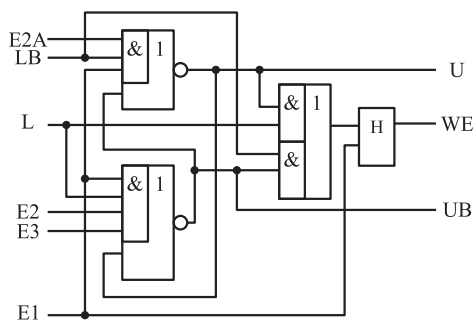


Рис. 5 Схема триггера режима и управления регистром ступени 1 для замены ступеней 2 и 3 ступенью 2А

приводит к дополнительной задержке в работе конвейера и влияет на его латентность.

5 Латентность конвейера

Целесообразность распараллеливания конвейера зависит от соотношения потерь в аппаратных затратах и выигрыша в производительности. Аппаратные затраты увеличиваются из-за появления параллельной ветви, обеспечивающей более быстрый способ обработки данных и усложнения схемы управления.

Производительность конвейера оценивается по латентности прохождения данных через него (T_{Π}) и темпу (частоте) загрузки входных данных (F_3), зависящему от длительности цикла работы (рабочая плюс спейсерная фазы) T_{Π} самой медленной ступени. Рисунок 6 иллюстрирует фазовую диаграмму работы типового сбалансированного конвейера, изображенного на рис. 1. Здесь «Р» и «С» — периоды пребывания ступени конвейера в рабочей и спейсерной фазе соответственно. Для простоты будем считать, что длительности обеих фаз всех ступеней одинаковы и равны T_{Φ} . Тогда $T_{\Pi} = 2T_{\Phi}$ и $T_{\Pi} = 2,5T_{\Phi}$. В общем случае для N ступеней конвейера $T_{\Pi} \approx 0,25(N + 1)T_{\Pi}$. Темп загрузки порций входных данных равен $F_3 = 1/T_{\Pi}$.

Производительность как синхронного, так и самосинхронного конвейера определяется быстродействием его самой сложной ступени. Пусть, например, ступень 2 конвейера самая сложная и медленная. Тогда диаграмма работы конвейера будет выглядеть так, как показано на рис. 7. Здесь каждая фаза условно разделена на две части: переключение в текущую фазу (P_{Π} , C_{Π}) и ожидание разрешения на переключение в противоположную фазу (P_O , C_O). Первая часть определяется сложностью данной ступени, а вторая — длительностью P_{Π} и C_{Π}

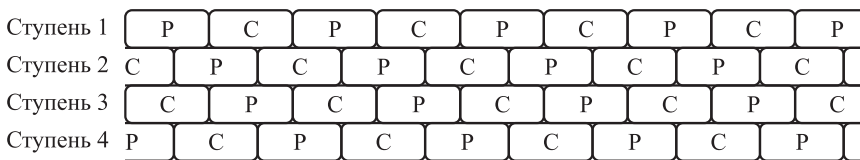


Рис. 6 Фазовая диаграмма сбалансированного СС-конвейера

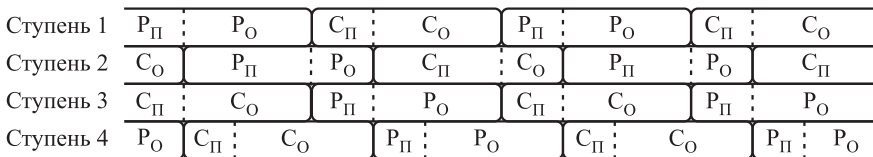


Рис. 7 Фазовая диаграмма несбалансированного СС-конвейера

самой сложной из остальных ступеней. Латентность такого конвейера описывается формулой $T_{Л} \approx 0,25(N + 1)T_{Ц2}$, а темп загрузки порций входных данных равен $F_3 = 1/T_{Ц2}$.

Замена M ступеней конвейера параллельными L ступенями (при простом обходе $L = 0$) приводит к сокращению латентности конвейера, если разность суммарных латентностей M и L ступеней ($T_{Л,M} - T_{Л,L}$) больше задержки, вносимой дополнительным ожиданием переключения M ступеней в спейсер при переключении в режим замены (обхода), блоками поддержания спейсера на входах первых ступеней после разветвления, мультиплексором перед первой после параллельных путей ступени конвейера и дополнительными элементами в схеме управления запросно-ответным взаимодействием ступеней: элементом ИЛИ-И и триггером режима, показанным на рис. 5. В первом приближении производительность конвейера на рис. 4 будет больше, чем у конвейера на рис. 1, если выполняется неравенство

$$T_{Л,2} + T_{Л,3} + 4T_{Г2} > T_{AND} + T_{MX} + T_{ТР} + T_{O21A} + P_M (T_{Л,2A} + T_{Г2}) + (1 - P_M) (T_{Л,2} + 1,5T_{Л,3} + 4T_{Г2} + 0,5T_{Л,4}), \quad (1)$$

где $T_{Г2}$ — задержка двухвходового Г-триггера; T_{AND} — задержка блока «&»; T_{MX} — задержка блока МХ; $T_{ТР}$ — задержка триггера режима; T_{O21A} — задержка логического элемента O21A; $T_{Л,*}$ — латентности ступеней конвейера; P_M — вероятность появления условия замены ступеней 2 и 3 ступенью 2A. Пусть все ступени конвейера имеют примерно одинаковую латентность:

$$T_{Л,2} = T_{Л,2A} = T_{Л,3} = T_{Л,4} = T_{Л0}.$$

Тогда формула (1) перепишется в виде:

$$P_M (2T_{Л0} + 3T_{Г2}) > T_{Л0} + T_{AND} + T_{MX} + T_{ТР} + T_{O21A}.$$

При типовых задержках: $T_{AND} = 20$ пс, $T_{MX} = 30$ пс, $T_{ТР} = 70$ пс, $T_{Г2} = 40$ пс, $T_{O21A} = 30$ пс, $T_{Л0} = 300$ пс — для 65-нанометровой КМОП-технологии реализация режима замены ступеней 2 и 3 ступенью 2A окажется выгодной с точки зрения латентности конвейера при $P_M > 0,63$.

В случае простого обхода M ступеней рост производительности конвейера гарантируется при выполнении неравенства

$$MP_M (1,5T_{Л0} + 2T_{Г2}) > T_{AND} + T_{MX} + T_{ТР} + T_{O21A} + 0,5MT_{Л0}.$$

Тогда реализация режима обхода M ступеней приведет к повышению производительности конвейера при $P_M > 0,28(1 + 1/M)$. Обход одной ступени конвейера целесообразен при вероятности такого события более 0,56, а обход двух ступеней — уже при вероятности 0,43.

Таким образом, замедление конвейера в наихудшем случае из-за добавления в него аппаратуры обеспечения варьирования числа ступеней компенсируется его ускорением в остальных случаях, вероятности появления которых превышают некоторую величину.

Описанные схемотехнические реализации конвейера с маскируемыми и мультиплексируемыми ступенями были проверены на самосинхронность с помощью программы анализа цифровых схем на полумодулярность АСПЕКТ [5]. Проведенный анализ подтвердил корректность предлагаемых решений.

6 Заключение

Использование конвейерной организации СС-схемы позволяет повысить ее производительность аналогично синхронным схемам. Однако из-за двухфазного режима работы темп загрузки данных в СС-конвейер снижается.

Производительность СС-конвейера ограничивается быстродействием самых сложных ступеней. Время ожидания разрешения переключения в противоположную фазу работы остальных ступеней растет пропорционально времени переключения самой медленной ступени.

Построение СС-конвейера с опциональным мультиплексированием тракта обработки данных позволяет повысить среднюю производительность конвейера. Латентность СС-конвейера снижается, если условие разрешения замены двух ступеней одной параллельной ступенью выполняется в 63% циклов работы конвейера. Обход двух и более ступеней конвейера целесообразен при вероятности такого события более 0,43. Эффективность предложенного метода повышается с увеличением вероятности срабатывания условия обхода и числа ступеней на маскируемом участке конвейера.

Литература

1. *Hennessy J. L., Patterson D. A.* Computer architecture: A quantitative approach. — 6th ed. — Morgan Kaufmann, 2019. 936 p.
2. *Varshavsky V. I., Kishinevsky M. A., Marakhovskiy V. B., Peschansky V. A.* Self-timed control of concurrent processes. — Kluwer Academic Pubs., 1990. 245 p. doi: 10.1007/978-94-009-0483-3.
3. *Stepchenkov Y. A., Kamenskih A. N., Diachenko Y. G., Rogdestvenski Y. V., Diachenko D. Y.* Improvement of the natural self-timed circuit tolerance to short-term soft errors // *Advances Science Technology Engineering Systems J.*, 2020. Vol. 5. No. 2. P. 44–56. doi: 10.25046/aj050206.
4. 754-2008 — IEEE Standard for Floating-Point Arithmetic. — IEEE Computer Society, 2008. doi: 10.1109/IEEE STD.2008.4610935.
5. *Рождественский Ю. В., Морозов Н. В., Рождественские А. В.* Подсистема событийного анализа самосинхронных схем АСПЕКТ // *Проблемы разработки перспективных микро- и наноэлектронных систем.* — М.: ИППМ РАН, 2010. С. 26–31.

Поступила в редакцию 30.11.22

SELF-TIMED PIPELINE WITH VARIABLE STAGE NUMBER

I. A. Sokolov, Yu. A. Stepchenkov, Yu. G. Diachenko, N. V. Morozov,
and D. Yu. Diachenko

Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation

Abstract: The article considers the self-timed circuit’s performance improvement problem. As in synchronous circuits, an effective way to improve performance is to use a pipeline to implement multistage input data processing. The article analyzes possible options for dynamical reduction of the number of actively operating stages under certain conditions determined by the processed data value or an external signal. The estimates show that the efficiency of using an optionally variable number of pipeline stages depends on the number of bypassed stages and the probability of an event allowing this bypassing. In particular, replacing two successive pipeline stages with one parallel stage becomes expedient if it occurs in at least 63% of data processing operations and bypassing two or more stages reduces the average pipeline’s latency if it occurs in at least 43% of operations.

Keywords: self-timed circuit; pipeline; bypassing; multiplexing; latency; performance

DOI: 10.14357/08696527230101

Acknowledgments

The research was supported by the Russian Science Foundation (project No. 22-19-00237).

References

1. Hennessy, J. L., and D. A. Patterson. 2019. *Computer architecture: A quantitative approach*. 6th ed. Morgan Kaufmann. 936 p.
2. Varshavsky, V. I., M. A. Kishinevsky, V. B. Marakhovsky, and V. A. Peschansky. 1990. *Self-timed control of concurrent processes*. Kluwer Academic Publs. 245 p. doi: 10.1007/978-94-009-0483-3.
3. Stepchenkov, Y. A., A. N. Kamenskih, Y. G. Diachenko, Y. V. Rogdestvenski, and D. Y. Diachenko. 2020. Improvement of the natural self-timed circuit tolerance to short-term soft errors. *Advances Science Technology Engineering Systems J.* 5(2):44–56. doi: 10.25046/aj050206.
4. IEEE Computer Society. 2008. IEEE Standard for Floating-Point Arithmetic 754-2008. doi: 10.1109/IEEE STD.2008.4610935.
5. Rogdestvenski, Y. V., N. V. Morozov, and A. V. Rozhdestvenskene. 2010. Podsystema sobytiynogo analiza samosinkhronnykh skhem ASPEKT [ASPECT: A suite of self-timed event-driven analysis]. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh*

sistem [Problems of the perspective micro- and nanoelectronic systems development].
Moscow: IPPM RAN. 26–31.

Received November 30, 2022

Contributors

Sokolov Igor A. (b. 1954) — Doctor of Science in technology, Academician of RAS, director, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; isokolov@ipiran.ru

Stepchenkov Yuri A. (b. 1951) — Candidate of Science (PhD) in technology, head of department, leading scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; YStepchenkov@ipiran.ru

Diachenko Yuri G. (b. 1958) — Candidate of Science (PhD) in technology, senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaura@mail.ru

Morozov Nikolay V. (b. 1956) — senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; NMorozov@ipiran.ru

Diachenko Denis Y. (b. 1987) — engineer-researcher, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaden87@gmail.com