

# СИСТЕМЫ И СРЕДСТВА ИНФОРМАТИКИ

Том 33 № 2 Год 2023

## СОДЕРЖАНИЕ

Мультиплексируемый самосинхронный конвейер <b>Ю. А. Степченков, Ю. Г. Дьяченко, Д. Ю. Степченков, Д. Ю. Дьяченко, Г. А. Орлов</b>	<b>4</b>
Распознавание аномалий на разновременных панорамах с использованием нейросетевого метода консолидации моделей <b>П. О. Архипов, С. Л. Филиппских</b>	<b>13</b>
Применение биспектрального анализа в обнаружении deepfake-изображений <b>С. П. Никитенкова</b>	<b>25</b>
Направления развития методологической базы для работы с геоданными в перспективных геоинформационных системах <b>Д. А. Никишин</b>	<b>34</b>
Выбор технологических решений для поддержки процесса синтеза геоданных инфраструктуры железнодорожного транспорта <b>И. Н. Розенберг, С. К. Дулин</b>	<b>46</b>
Визуальный язык репрезентации процесса управления конфликтами в гибридных интеллектуальных многоагентных системах <b>С. Б. Румовская, И. А. Кириков</b>	<b>60</b>
Причинно-следственные связи в задачах анализа ненаблюдаемых свойств процессов <b>А. А. Грушо, М. И. Забежайло, В. В. Кульченков, Д. В. Смирнов, Е. Е. Тимонина, С. Я. Шоргин</b>	<b>71</b>
Методический подход к выбору ключевых показателей эффективности для оценки организаций информационно-технологической сферы <b>А. А. Зацаринный, Ю. С. Ионенков</b>	<b>79</b>

## МУЛЬТИПЛЕКСИРУЕМЫЙ САМОСИНХРОННЫЙ КОНВЕЙЕР\*

*Ю. А. Степченков<sup>1</sup>, Ю. Г. Дьяченко<sup>2</sup>, Д. Ю. Степченков<sup>3</sup>, Д. Ю. Дьяченко<sup>4</sup>,  
Г. А. Орлов<sup>5</sup>*

**Аннотация:** Рассматривается проблема корректной практической реализации самосинхронного (СС) конвейера с мультиплексированием активно работающих ступеней с учетом схмотехнических ограничений, накладываемых используемой технологией. Дополнение двух параллельных ветвей СС FIFO (First-Input–First-Output) маркера сокращает среднюю задержку конвейера и обеспечивает самосинхронность его работы. При достаточной емкости FIFO последовательные порции данных могут обрабатываться одновременно разными ветвями конвейера. Схмотехнические решения отдельных узлов мультиплексированного конвейера гарантируют его практическую реализуемость в базисе любой технологии комплементарный металл – диэлектрик – полупроводник (КМДП) на отечественных полупроводниковых фабриках.

**Ключевые слова:** самосинхронная схема; конвейер; мультиплексирование; задержка конвейера; производительность

**DOI:** 10.14357/08696527230201

### 1 Введение

Реализация СС (в англоязычной литературе — self-timed) [1] схем в виде конвейера широко используется для повышения производительности вычислительных систем, построенных в соответствующем базисе [2–4]. Самосинхронная схема отличается от синхронной схемы строгим чередованием двух фаз работы (рабочей и спейсерной) и обязательной индикацией окончания переключения схемы в каждую фазу. Эти свойства обеспечивают ряд преимуществ СС-схем в сравнении с синхронными аналогами [5, 6] и контроль корректности переключения СС-схемы, но снижают ее быстродействие. Разбиение СС-схемы на ступени конвейера упрощает ее индикацию в рамках одной ступени и за счет это-

\* Исследование выполнено в рамках гранта Российского научного фонда (проект 22-19-00237).

<sup>1</sup>Федеральный исследовательский центр «Информатика и управление» Российской академии наук, YStepchenkov@ipiran.ru

<sup>2</sup>Федеральный исследовательский центр «Информатика и управление» Российской академии наук, diauga@mail.ru

<sup>3</sup>Федеральный исследовательский центр «Информатика и управление» Российской академии наук, stepchenkov@mail.ru

<sup>4</sup>Федеральный исследовательский центр «Информатика и управление» Российской академии наук, diaden87@gmail.com

<sup>5</sup>Федеральный исследовательский центр «Информатика и управление» Российской академии наук, orlov.jaja@gmail.com

го повышает ее производительность — число порций данных, обрабатываемых в единицу времени.

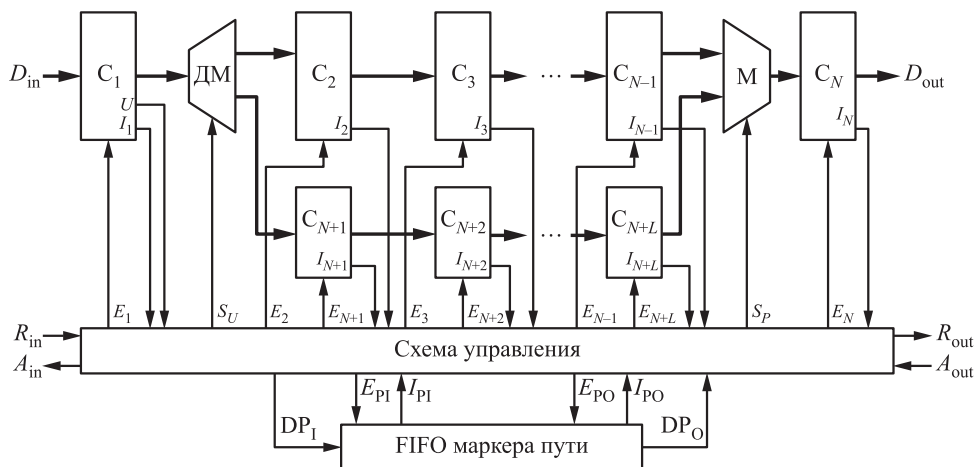
Дополнительное повышение производительности в рамках конвейерной реализации цифровой схемы обеспечивается с помощью опционального уменьшения задержки конвейера — времени обработки конвейером текущей порции исходных данных. На практике исходные данные в ряде случаев допускают обход некоторых этапов обработки данных или замену их более простыми вычислениями. В СС-схемах обход ступени конвейера означает принудительное удержание ее в спейсерной фазе, что позволяет уменьшить энергопотребление и задержку конвейера.

Самосинхронный конвейер функционирует на основе запрос-ответного взаимодействия ступеней:  $i$ -я ступень может начать переключение в рабочую (спейсерную) фазу, если  $(i + 1)$ -я ступень подтвердила завершение своего переключения в спейсерную (рабочую) фазу. Поэтому реализация обхода отдельных ступеней конвейера требует учета соответствующих условий. Определение таких условий и техническая реализация схемы управления, обеспечивающей самосинхронность СС-конвейера с изменяемым маршрутом обработки данных, является актуальной задачей, решение которой в зарубежной и отечественной технической литературе авторам не известно. Данная статья рассматривает теоретическое обоснование эффективности мультиплексирования ступеней конвейера и исследует возможные варианты решения описанной проблемы с учетом ограниченного базиса схмотехнической реализации.

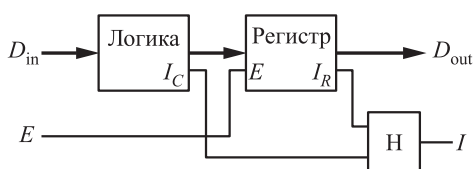
## 2 Структура конвейера с мультиплексированием путей

На рис. 1 представлена обобщенная структурная схема СС-конвейера, включающая  $N$  последовательных ступеней в основном тракте обработки данных и  $L$  ступеней параллельного тракта, заменяющего  $N - 2$  средних ступеней основного тракта. Отдельно обозначены блоки, обеспечивающие демультиплексирование промежуточных данных после первой ступени и их мультиплексирование перед последней ступенью конвейера. Здесь  $D_{in}$  — входные данные;  $D_{out}$  — выходные данные;  $C_k$ ,  $k = 1, \dots, N + L$ , — ступени конвейера; ДМ — демультиплексор  $1 : 2$ ; М — мультиплексор  $2 : 1$ ;  $I_k$ ,  $k = 1, \dots, N + L$ , — индикаторные выходы ступеней;  $E_k$ ,  $k = 1, \dots, N + L$ , — фазовые входы ступеней;  $U$  — признак выполнения условия, разрешающего замену  $N - 2$  ступеней основного тракта конвейера  $L$  ступенями параллельного тракта;  $S_U$  — сигнал выбора пути в начале разветвления;  $S_P$  — сигнал выбора пути в конце разветвления;  $R_{in}$  и  $R_{out}$  — входной и выходной сигналы запроса;  $A_{in}$  и  $A_{out}$  — входной и выходной сигналы подтверждения.

Порядок вывода результатов обработки данных, строго соответствующий порядку поступления входных данных, обеспечивает FIFO маркера пути. Маркер пути  $DP_1$ , сформированный ступенью  $C_1$ , записывается в FIFO и гарантирует корректный выбор тракта обработки данных ступенью  $C_N$ . Запись в FIFO



**Рис. 1** Обобщенная схема СС-конвейера



**Рис. 2** Структурная схема ступени СС-конвейера (Н — Г-триггер)

происходит под управлением сигнала  $E_{PI}$ . Чтение из FIFO инициируется сигналом  $E_{PO}$ .

Структурная схема одной ступени СС-конвейера показана на рис. 2. Блок «Логика» отображает комбинационную часть ступени конвейера. Информационные входы  $D_{in}$  и выходы  $D_{out}$  представлены в парафазном

коде. Вход управления  $E$  разрешает фазовые переключения регистра. Фаза работы комбинационной части определяется фазой информационных входов  $D_{in}$ . Гистерезисный триггер (Г-триггер, [1]) формирует общий индикаторный выход ступени  $I$ , объединяя индикаторные выходы комбинационной части  $I_C$  и регистра  $I_R$ . Принудительное поддержание спейсера на входах  $D_{in}$  гарантирует сохранение спейсерного состояния и на выходе  $D_{out}$  независимо от значения входа управления  $E$ . Это свойство облегчает построение СС-конвейера с мультиплексированием трактов данных.

Основные преимущества СС-схем в сравнении с синхронными аналогами — корректное поведение при любых задержках элементов и отсутствие глобальной синхронизации. Следовательно, задержки параллельных участков  $\{C_2, C_3, \dots, C_{N-1}\}$  и  $\{C_{N+1}, C_{N+2}, \dots, C_{N+L}\}$  конвейера на рис. 1 могут находиться в произвольном отношении независимо от числа ступеней в каждом из них. Поэтому во избежание гонок между последовательными порциями обрабатываемых исходных данных на выходе конвейера переключение между параллельными трактами данных регулируется FIFO маркера пути.

В синхронном конвейере демультиплексор и мультиплексор, обеспечивающие выбор одного тракта обработки данных из двух параллельных, снижают частоту синхронизации, так как она рассчитывается для наихудшего случая, в котором задержка схемы мультиплексирования добавляется к общему времени обработки данных (задержке конвейера).

В СС-конвейере нет необходимости учитывать наихудший случай. Его производительность характеризуется статистически усредненным временем обработки данных и зависит от значения обрабатываемых данных и условий эксплуатации. Поэтому увеличение задержки конвейера в наихудшем случае может компенсироваться ее уменьшением в остальных случаях.

Пусть ступени  $C_2$  и  $C_3$  в СС-конвейере на рис. 1 самые сложные и потому медленные, задержки их переключения в рабочую и спейсерную фазы равны  $T_0$  и  $L \leq N - 2$ . Тогда в соответствии с указанными выше принципами работы СС-схем задержка основной ветви конвейера, включающей ступени  $C_1$ – $C_N$ , равна  $(NT_0 + T_{DM} + T_M)$ , где  $T_{DM}$  — задержка срабатывания блока ДМ;  $T_M$  — задержка срабатывания блока М. Периодичность появления результата на выходе ступени  $C_N$  при непрерывном потоке входных данных равна  $4T_0$ .

Проход данных по альтернативному пути, включающему ступени  $C_1, C_{N+1}, \dots, C_{N+L}, C_N$ , характеризуется задержкой  $((L + 2)T_1 + T_{DM} + T_M)$ , где  $T_1$  — задержка переключения в рабочую и спейсерную фазу самых задержанных четной и нечетной ступеней альтернативного пути, и периодичностью  $4T_1$ . Поскольку  $T_1 < T_0$  и  $L \leq N - 2$ , использование альтернативного пути ускоряет работу конвейера: чем меньше  $T_1$  и  $L$ , тем значительнее ускорение.

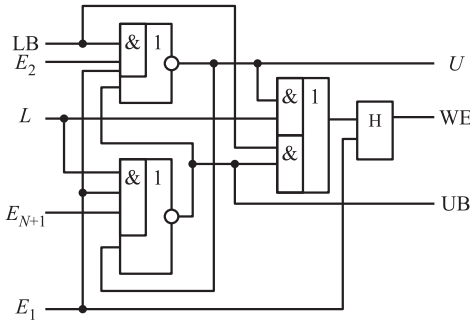
Важную роль в организации СС-мультиплексирования путей обработки данных в конвейере играет схема управления.

### 3 Реализация управления мультиплексируемым самосинхронным конвейером

Реализация схемы управления мультиплексируемого конвейера базируется на следующих принципах:

- обработка последовательных порций данных может выполняться одновременно в обоих путях;
- первая и последняя ступени пути, не являющегося текущим активным, принудительно удерживаются в спейсере;
- в рабочую фазу переключается первая ступень только того пути, на который указывает маркер пути, сформированный ступенью  $C_1$ ;
- в рабочую фазу переключается последняя ступень только того пути, на который указывает маркер в выходной ячейке FIFO.

Выбор активного пути в точке разветвления конвейера на рис. 1 осуществляется ступенью  $C_1$ , формирующей маркер пути, который через СС-FIFO



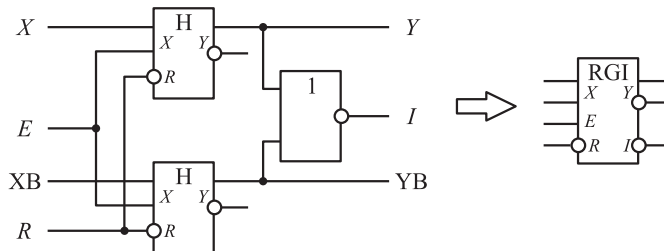
**Рис. 3** Схема триггера режима и управления регистром ступени  $C_1$

только после срабатывания индикатора триггера режима, подтверждающего установку текущего маркера пути ( $U, UB$ ). Переключение маркера пути в новое значение происходит только в спейсерной фазе ступеней  $C_2$  и  $C_{N+1}$ .

Демultipлексор на выходе ступени  $C_1$  коммутирует выходы ее регистра на входы ступени  $C_2$  при  $U = 0$  или ступени  $C_{N+1}$  при  $U = 1$ . Поскольку изменение маркера  $U$  происходит во время спейсерной фазы регистра ступени  $C_1$ , переключение на другой путь обработки данных не вызывает нарушения самосинхронности.

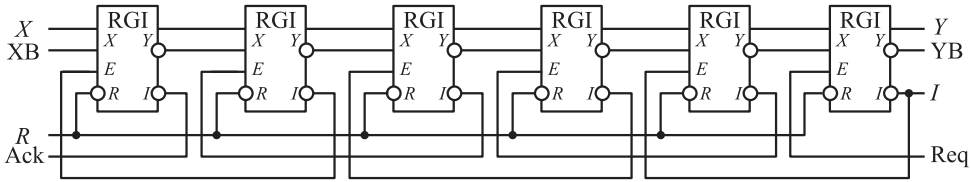
Схема одной ячейки СС-FIFO (RGI) показана на рис. 4. Она реализована на двухвходовых Г-триггерах со сбросом в спейсер [7]. Здесь ( $X, XB$ ) — парафазный информационный вход с нулевым спейсером; ( $Y, YB$ ) — парафазный выход с нулевым спейсером;  $E$  — фазовый вход управления;  $R$  — вход сброса;  $I$  — индикаторный выход. При  $R = 0$  разряд FIFO переключается в спейсерное состояние  $Y = YB = 0$  независимо от остальных входов.

Рисунок 5 демонстрирует схему СС-FIFO; FIFO на элементах RGI относится к полуплотным [8]. В процессе его заполнения лишь каждая вторая ячейка хранит бит информации в парафазном коде, а остальные находятся в спейсере. Емкость схемы FIFO на рис. 5 — 3 бита. Особенность СС-FIFO — автономное про-



**Рис. 4** Схема одной ячейки FIFO

доставляется к ступени  $C_N$ , объединяющей параллельные пути. Изменение значения маркера происходит в спейсерной фазе регистра ступени  $C_1$  для обеспечения гарантированного сохранения спейсерного состояния на входе неактивной ветви конвейера. Текущее значение маркера пути хранится в триггере режима, схема которого показана на рис. 3. Здесь ( $L, LB$ ) — парафазный маркер пути с нулевым спейсером;  $WE$  — сигнал управления регистром ступени  $C_1$ , формируемый



**Рис. 5** Схема трехбитового FIFO

движение записанного бита от входной ячейки до ближайшей свободной ячейки. Выход Ack уведомляет ступень  $C_1$  о состоянии первой ячейки FIFO: занята она или свободна. Вход Req регулирует фазовые переключения последней ячейки FIFO ступенью  $C_N$ .

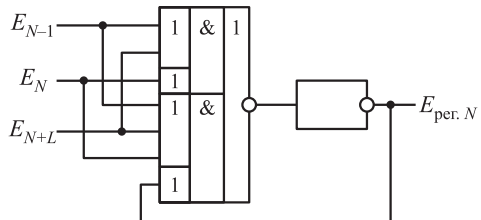
Для оптимального функционирования конвейера на рис. 1 FIFO должно иметь емкость примерно  $0,5(N + L) - 1$  бит. При меньшей емкости FIFO возможно замедление конвейера, хотя и при реализации FIFO в виде одной ячейки СС-конвейер будет функционировать корректно.

Последние ступени параллельных ветвей ( $C_{N-1}$  и  $C_{N+L}$ ) не могут одновременно находиться в рабочей фазе. Поэтому мультиплексор перед ступенью  $C_N$  можно заменить многоразрядным элементом 2ИЛИ.

Сигнал управления регистром ступени  $C_N$  формируется на основе сигналов управления  $E_{N-1}$ ,  $E_N$  и  $E_{N+L}$  ступенями конвейера, как показано на рис. 6.

Схемы на рис. 3–6 удовлетворяют схемотехническим ограничениям технологии КМДП с любыми топологическими нормами и могут быть реализованы как в виде заказной микросхемы, так и на базовом матричном кристалле на отечественной технологической базе.

Описанные схемотехнические решения были проверены на самосинхронность программой АСИАН [9], подтвердившей их корректность.



**Рис. 6** Формирователь сигнала управления регистром ступени  $C_N$

## 4 Заключение

В отличие от синхронного конвейера, СС-конвейер относится к полуплотным конвейерам. Из-за двухфазного режима работы при максимальной загрузке конвейера активная обработка данных происходит только в каждой второй ступени, остальные ступени находятся в состоянии ожидания или спейсера.

Производительность СС-конвейера ограничивается быстродействием самых сложных ступеней. Если они используются лишь для некоторых наборов входных

данных, увеличение производительности достигается реализацией альтернативных путей обработки данных в конвейере, обходящих сложные ступени, не востребованные текущим набором данных.

Предложенная структура СС-конвейера с мультиплексированием тракта обработки данных — две параллельные ветви обработки данных и FIFO маркера ветви — обеспечивает оптимальность реализации конвейера с селективируемыми опциями обработки информации. Кроме того, она позволяет повысить среднюю производительность конвейера, если задержка одной из его параллельных ветвей существенно меньше задержки другой ветви. Полуплотное FIFO на Г-триггерах не увеличивает латентности конвейера, если его емкость больше или равна половине от суммарного числа ступеней в параллельных ветвях.

Приведенные схематические решения отдельных узлов конвейера с мультиплексированием путей обработки данных гарантируют его практическую реализуемость в базисе заказной и полузаказной КМДП-технологии на отечественных полупроводниковых фабриках.

## Литература

1. *Varshavsky V. I., Kishinevsky M. A., Marakhovsky V. B., Peschansky V. A.* Self-timed control of concurrent processes. — Kluwer Academic Publs., 1990. 245 p.
2. *Miyagi K., Sannomiya S., Iwata M., et al.* Low-powered self-timed pipeline with runtime fine-grain power supply // Conference (International) on Parallel and Distributed Processing Techniques and Applications Proceedings. — Las-Vegas, NV, USA: CSREA Press, 2012. P. 472–478.
3. *Jiang W., Sha E. H.-M., Zhuge Q., et al.* On the design of time-constrained and buffer-optimal self-timed pipelines // IEEE T. Comput. Aid. D., 2019. Vol. 38. No. 8. P. 1515–1528. doi: 10.1109/TCAD.2018.2846642.
4. *Yoshikawa S., Sannomiya S., Iwata M., Nishikawa H.* Pipeline stage level simulation method for self-timed data-driven processor on FPGA // 8th Electrical Engineering Congress (International). — IEEE, 2020. Art. 229515. 5 p. doi: 10.1109/iEECON48109.2020.229515.
5. *Соколов И. А., Степченко Ю. А., Дьяченко Ю. Г., Рождественский Ю. В., Каменских А. Н.* Базис реализации сбоеустойчивых электронных схем // Информатика и её применения, 2021. Т. 15. Вып. 4. С. 65–71. doi: 10.14357/19922264210409.
6. *Соколов И. А., Степченко Ю. А., Дьяченко Ю. Г., Морозов Н. В., Степченко Д. Ю., Дьяченко Д. Ю.* Анализ сбоеустойчивости самосинхронного конвейера // Системы и средства информатики, 2022. Т. 32. № 4. С. 4–13. doi: 10.14357/08696527220401.
7. *Степченко Ю. А., Денисов А. Н., Дьяченко Ю. Г. и др.* Библиотека функциональных ячеек для проектирования самосинхронных полузаказных БМК микросхем серий 5503/5507. — М.: Техносфера, 2017. 367 с. <http://www.technosphera.ru/lib/book/497>.
8. *Варшавский В. И., Кишиневский М. А., Мараховский В. Б. и др.* Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В. И. Варшавского. — М.: Наука, 1986. 398 с.



9. Морозов Н. В., Рождественский Ю. В., Степченков Ю. А., Рождественскене А. В. Средства анализа системы булевых уравнений на полумодулярность и дистрибутивность АСИАН: Программа для ЭВМ. Свид. гос. рег. № 2006613257 от 15.09.2006.

Поступила в редакцию 22.11.22

---

---

## MULTIPLEXED SELF-TIMED PIPELINE

*Yu. A. Stephenkov, Yu. G. Diachenko, D. Yu. Stephenkov, D. Yu. Diachenko,  
and G. A. Orlov*

Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation

**Abstract:** The article considers the problem of correct practical implementation of a self-timed pipeline with multiplexing of actively operating stages taking into account the circuitry limitations imposed by the technology used. Complementing two parallel branches with a self-timed marker FIFO (First-Input–First-Output) reduces the average latency of the pipeline and ensures its operation is self-timed. With sufficient FIFO capacity, successive data portions can be processed simultaneously by different pipeline’s branches. The circuitry solutions of the multiplexed pipeline’s individual units guarantee pipeline practical feasibility in any complementary metal–oxide–semiconductor process at domestic semiconductor factories.

**Keywords:** self-timed circuit; pipeline; multiplexing; latency; performance

**DOI:** 10.14357/08696527230201

### Acknowledgments

The research was supported by the Russian Science Foundation (project No. 22-19-00237).

### References

1. Varshavsky, V. I., M. A. Kishinevsky, V. B. Marakhovsky, and V. A. Peschansky. 1990. *Self-timed control of concurrent processes*. Kluwer Academic Publs. 245 p.
2. Miyagi, K., S. Sannomiya, M. Iwata, *et al.* 2012. Low-powered self-timed pipeline with runtime fine-grain power supply. *Conference (International) on Parallel and Distributed Processing Techniques and Applications Proceedings*. Las-Vegas, NV: CSREA Press. 472–478.
3. Jiang, W., E. H.-M. Sha, Q. Zhuge, *et al.* 2019. On the design of time-constrained and buffer-optimal self-timed pipelines. *IEEE T. Comput. Aid. D* 38(8):1515–1528. doi: 10.1109/TCAD.2018.2846642.
4. Yoshikawa, S., S. Sannomiya, M. Iwata, and H. Nishikawa. 2020. Pipeline stage level simulation method for self-timed data-driven processor on FPGA. *8th Elec-*

- trical Engineering Congress (International)*. IEEE. 229515. 5 p. doi: 10.1109/IEECON48109.2020.229515.
5. Sokolov, I. A., Yu. A. Stepchenkov, Yu. G. Diachenko, Yu. V. Rogdestvenski, and A. N. Kamenskih. 2021. Bazis realizatsii sboeustoychivyykh elektronnykh skhem [The electronic component base of failure resilience digital circuits]. *Informatika i ee Primeneniya — Inform. Appl.* 15(4):65–71. doi: 10.14357/19922264210409.
  6. Sokolov, I. A., Yu. A. Stepchenkov, Yu. G. Diachenko, N. V. Morozov, D. Yu. Stepchenkov, and D. Yu. Diachenko. 2022. Analiz sboeustoychivosti samosinkhronnogo konveyera [Self-timed pipeline’s soft error tolerance analysis]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 32(4):4–13. doi: 10.14357/08696527220401.
  7. Stepchenkov, Yu. A., A. N. Denisov, Yu. G. Diachenko, et al. 2017. *Biblioteka funktsional’nykh yacheek dlya proektirovaniya samosinkhronnykh poluzakaznykh BMK mikroshem seriy 5503/5507* [Functional cell library for designing self-timed semi-custom integrated circuits on 5503/5507 gate arrays]. Moscow: Tekhnosfera. 367 p. Available at: <http://www.technosfera.ru/lib/book/497> (accessed May 16, 2023).
  8. Varshavskiy, V. I., V. A. Kishinevskiy, V. B. Marakhovskiy, et al. 1986. *Avtomatnoe upravlenie asinkhronnymi protsessami v EVM i diskretnykh sistemakh* [Automata control of asynchronous processes in computers and discrete systems]. Ed. V. I. Varshavskiy. Moscow: Nauka. 398 p.
  9. Morozov, N. V., Yu. V. Rogdestvenski, Yu. A. Stepchenkov, and A. V. Rogdestvenskene. 15.09.2006. Sredstva analiza sistemy bulevykh uravneniy na polumodulyarnost’ i distributivnost’ ASIAN [Software tools ASIAN for analyzing the Boolean equation system for semimodularity and distributivity]. Certificate RF of State Registration of Computer Programs No. 2006613257.

Received November 22, 2022

## Contributors

**Stepchenkov Yuri A.** (b. 1951) — Candidate of Science (PhD) in technology, head of department, leading scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; YStepchenkov@ipiran.ru

**Diachenko Yuri G.** (b. 1958) — Candidate of Science (PhD) in technology, senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaura@mail.ru

**Stepchenkov Dmitri Y.** (b. 1973) — senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; Stepchenkov@mail.ru

**Diachenko Denis Y.** (b. 1987) — engineer-researcher, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaden87@gmail.com

**Orlov Georgii A.** (b. 1994) — senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; orlov.jaja@gmail.com