

# СИСТЕМЫ И СРЕДСТВА ИНФОРМАТИКИ

Том 33 № 4 Год 2023

## СОДЕРЖАНИЕ

Замена синхронных триггеров самосинхронными аналогами в процессе десинхронизации схемы <b>Ю. А. Степченков, Д. Ю. Степченков, Ю. Г. Дьяченко, Н. В. Морозов, Л. П. Плеханов</b>	4
Характеристики и логическая структура методологии построения рефлексивно-активных систем искусственных гетерогенных интеллектуальных агентов <b>С. В. Листопад</b>	16
Автоматные модели распространения сбоев и самовосстановления <b>А. А. Грушо, Н. А. Грушо, М. И. Забежайло, В. О. Писковский, Д. В. Смирнов, Е. Е. Тимонина</b>	28
Расчет целевых значений коэффициентов готовности для диагностик ИТЭР <b>Г. М. Коновалов</b>	38
Алгоритм глобальной оптимизации некоторых стационарных временных характеристик заданий в частично наблюдаемых стохастических системах с параллельным обслуживанием <b>М. Г. Коновалов, Р. В. Разумчик</b>	50
Модель для выбора уровней скорости широкополосного трафика eMBB в условиях приоритетной передачи трафика URLLC в сети 5G <b>Е. Д. Макеева, И. А. Кочеткова, В. С. Шоргин</b>	60
Анализ совместного использования стратегий энергосбережения для устройств 5G с ограниченным функционалом <b>В. А. Бесчастный, Е. С. Голос, Д. Ю. Острикова, Е. А. Мачнев, В. С. Шоргин, Ю. В. Гайдамака</b>	69

## ЗАМЕНА СИНХРОННЫХ ТРИГГЕРОВ САМОСИНХРОННЫМИ АНАЛОГАМИ В ПРОЦЕССЕ ДЕСИНХРОНИЗАЦИИ СХЕМЫ\*

*Ю. А. Степченков<sup>1</sup>, Д. Ю. Степченков<sup>2</sup>, Ю. Г. Дьяченко<sup>3</sup>, Н. В. Морозов<sup>4</sup>,  
Л. П. Плеханов<sup>5</sup>*

**Аннотация:** Самосинхронные (СС) цифровые схемы обладают рядом преимуществ в сравнении с синхронными аналогами и становятся перспективным базисом для реализации надежных вычислительных систем, эксплуатируемых в экстремальных условиях. Отсутствие эффективных средств автоматизированного синтеза СС-схем, удобных для использования разработчиками, обученными работе с системами автоматизированного проектирования синхронных схем, в значительной мере тормозит внедрение СС-схем в практику разработки цифровых схем. Подход к синтезу СС-схем, основанный на преобразовании исходного синхронного Verilog-описания алгоритма работы схемы в СС-реализацию по формализованным правилам в автоматическом режиме с минимальным интерактивным участием разработчика, обеспечивает быстрое получение СС-решения с приемлемыми характеристиками и не требует от проектировщика глубоких познаний в области самосинхронности. Он опирается на базовые принципы построения СС-схем и эвристические методы их разработки. Один из важных и неоднозначных этапов проектирования СС-схем в этом подходе — замена синхронных триггеров их СС-аналогами. Для этого предлагается использовать метод замены синхронного триггера его СС-аналогом с помощью табличного формализованного соответствия на базе готовой библиотеки СС-триггеров и анализа окружения триггера.

**Ключевые слова:** самосинхронная схема; логический синтез; триггер; Verilog; замена; таблица соответствия

**DOI:** 10.14357/08696527230401

**EDN:** VPLSHI

### 1 Введение

Подавляющее большинство изделий цифровой техники в настоящее время реализуется на базе синхронного подхода: глобальный тактовый сигнал синхронизирует взаимодействие отдельных компонентов устройства и все устройство

---

\* Исследование выполнено в рамках гранта Российского научного фонда (проект 22-19-00237).

<sup>1</sup>Федеральный исследовательский центр «Информатика и управление» Российской академии наук, YStepchenkov@ipiran.ru

<sup>2</sup>Федеральный исследовательский центр «Информатика и управление» Российской академии наук, DStepchenkov@ipiran.ru

<sup>3</sup>Федеральный исследовательский центр «Информатика и управление» Российской академии наук, diaura@mail.ru

<sup>4</sup>Федеральный исследовательский центр «Информатика и управление» Российской академии наук, NMorozov@ipiran.ru

<sup>5</sup>Федеральный исследовательский центр «Информатика и управление» Российской академии наук, lplekhanov@inbox.ru

в составе общей системы и обеспечивает одновременность событий, происходящих в разных частях схемы. В условиях постоянного усложнения цифровой начинки одной микросхемы дерево глобального тактового сигнала становится весьма затратным и энергопотребляющим.

Самосинхронные цифровые схемы представляют собой альтернативу синхронной схемотехнике. Они не используют глобальный синхросигнал для временного согласования событий в схеме. Их работа основана на запрос-ответном взаимодействии взаимосвязанных устройств, опирающемся на избыточное кодирование информации, двухфазную дисциплину работы и обязательное подтверждение успешного завершения переключения всех элементов схемы в очередную фазу функционирования [1, 2]. Благодаря этому СС-схемы работают корректно при любых условиях эксплуатации и останавливаются при появлении отказа (константной неисправности).

В сравнении с синхронными аналогами СС-схемы имеют избыточные аппаратные затраты, которые и обеспечивают упомянутые выше их уникальные свойства. Однако при достигнутом уровне развития технологии изготовления интегральных микросхем этот недостаток уже не играет определяющей роли. Другим фактором, сдерживающим широкое использование СС-схемотехники в проектировании цифровых устройств, является отсутствие удобных средств автоматизированного синтеза.

Имеющиеся отечественные программные средства разработки СС-схем покрывают только этап анализа схемы на самосинхронность [3–5]. Зарубежные системы автоматизированного проектирования (САПР) асинхронных схем [6–12], к которым относятся и СС-схемы, используют специфические языки описания алгоритма функционирования схемы: сети Петри, сигнальный граф переключений и др., непривычные для разработчиков традиционных синхронных схем. Они требуют от пользователя соответствующего образа мышления и не всегда гарантируют получение адекватного результата [13].

В то же время известны методы [13–17], использующие традиционное синхронное описание синтезируемой схемы для последующей автоматизированной генерации асинхронной схемы. Это очевидный и самый понятный для разработчиков всех типов микросхем подход. Предложенный в [17] общий подход к синтезу опирается на конвертацию исходного синхронного описания алгоритма работы схемы на любом уровне: поведенческом, функциональном, дискретном (в базе библиотеки стандартных элементов) — в СС-схему с использованием эвристических алгоритмов.

Десинхронизация схемы — один из ключевых этапов синтеза СС-схемы в рамках данного подхода. Она заключается в замене сигналов глобальной синхронизации и производных от них локальными фазовыми сигналами управления. При этом возникает задача замены синхронных триггеров их СС-аналогами. Эта задача актуальна, поскольку ее эффективное решение гарантирует корректную и минимальную по аппаратным затратам реализацию СС-схемы в базе ограниченной библиотеки ячеек. Решению этой задачи и посвящена данная статья.

## 2 Исходное описание триггера на языке Verilog

Анализ состава триггеров, использующихся при автоматизированном проектировании цифровых схем, показывает, что в подавляющем большинстве случаев используются одноктактные и двухтактные триггеры D-типа [18]. Для описания поведения синхронного триггера на языке Verilog используется процедурный блок `always`. Например, блок

```
always@(posedge clk,rst,set) begin
    if(rst)
        B <= 1'b0;
    else
    if(set)
        B <= 1'b1;
    else
        B <= A;
end
```

описывает двухтактный триггер с выходом  $B$ , обнуляющий свое состояние при значении входа сброса  $rst = 1$ , устанавливающий его в «1» при значении входа установки  $set = 1$  и запоминающий значение сигнала  $A$  при переключении тактового сигнала  $clk$  из 0 в 1. Сброс и установка могут отсутствовать, запись в триггер может быть ограничена какими-то условиями. Аналогичный блок

```
always@(clk, rst, set) begin{. . .} end
```

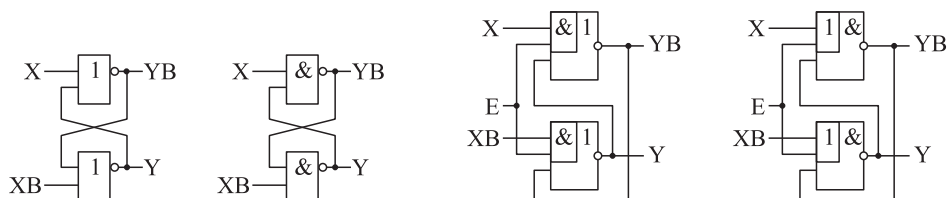
описывает одноктактный триггер, запоминающий значение сигнала  $A$  при высоком уровне тактового входа  $clk = 1$ .

Анализ списка чувствительности блока `always` и его тела позволяет однозначно определить особенности функционирования описываемого им триггера и выбрать правильную ячейку для его реализации из указанной библиотеки стандартных элементов. Эта процедура реализована в любой из синхронных САПР, в том числе и в САПР с открытым кодом, например Yosys [19]. Поэтому достаточно использовать Yosys для реализации данного этапа логического синтеза СС-схемы, а затем подобрать подходящий аналог среди известных СС-триггеров. Такой подбор нетривиален и неоднозначен. Он и выбран предметом настоящей статьи.

## 3 Общие признаки синхронных и самосинхронных триггеров

Синхронные D-триггеры отличаются следующими признаками:

- характером работы — обновление информационных выходов по уровню (одноктактный триггер) или по изменению (двухтактный триггер) тактового входа;
- наличием входа сброса и его типом — асинхронным или синхронным;

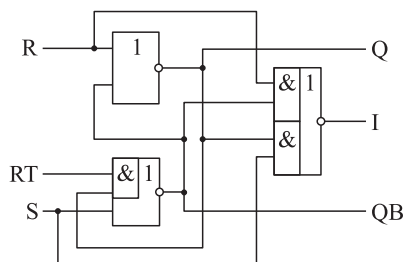


**Рис. 1** Варианты БЯ

- наличием входа установки и его типом;
- наличием входа разрешения предустановки;
- наличием входа данных для параллельной записи и типом записи;
- наличием входа разрешения записи.

Признаки СС-триггера аналогичны признакам синхронных D-триггеров с заменой тактового входа фазовым входом управления, а синхронного типа сброса, установки и записи — самосинхронным. Следует отметить, что вход управления может отсутствовать, если информационный вход — это парафазный сигнал со спейсером. Информационным входом может служить унарный, парафазный со спейсером или бифазный сигнал [20].

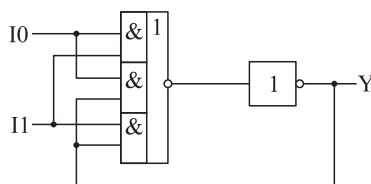
Самосинхронный триггер обычно состоит из одной или двух бистабильных ячеек (БЯ), примеры которых показаны на рис. 1. В качестве компонента БЯ может использоваться любая комбинационная логическая ячейка. Обязательной составной частью СС-триггера служит индикаторный элемент, подтверждающий успешное завершение переключения всех элементов триггера в текущую фазу работы. Пример одноконтурного СС-триггера с парафазным информационным входом показан на рис. 2. Здесь (R, S) — парафазный информационный вход с нулевым спейсером; RT — вход асинхронного сброса; (Q, QB) — бифазный выход; I — индикаторный выход.



**Рис. 2** Одноконтурный СС-триггер с парафазным входом и асинхронным сбросом

В индикаторной подсхеме СС-схем также широко используется гистерезисный триггер (Г-триггер, рис. 3).

Перечисленные в данном разделе признаки служат базовыми критериями



**Рис. 3** Двухвходовый Г-триггер

подбора СС-аналога для синхронного триггера. Кроме того, учитываются индивидуальные особенности СС-триггера и его окружение.

#### 4 Функциональные особенности самосинхронных триггеров

Функциональные особенности СС-триггеров связаны с необходимостью индикации всех элементов схемы, типом СС-кодирования входов и выходов и структурной организацией СС-схемы. Они учитываются в процедуре десинхронизации синтезируемой схемы. Рассмотрим некоторые из них.

**Управление СС-триггером.** В синхронных триггерах режимом работы управляет тактовый сигнал. В СС-триггерах аналогичную роль играет фазовый сигнал управления. В комбинационных СС-схемах обычно используется парафазное со спейсером кодирование информационных сигналов, которое наделяет их признаком фазы: рабочей или спейсерной. Это свойство парафазного сигнала со спейсером избавляет от необходимости использовать фазовый вход управления. Тем не менее использование входа управления при наличии парафазного информационного входа целесообразно для организации конвейера. В этом случае сигнал управления формируется последующей частью СС-схемы на основе ее индикаторных сигналов.

**Усиление сигнала управления.** Большая нагрузка на входе управления внутри двухтактных СС-триггеров заставляет усиливать его дополнительным инвертором, выход которого может затем использоваться для ускорения запрос-ответного взаимодействия триггера с окружением. В некоторых случаях инверсия входа управления необходима для организации корректного взаимодействия с окружением, например в регистре сдвига. Рисунок 4 демонстрирует разряд регистра сдвига на двухтактном СС-триггере. Здесь  $\overline{E}V$  — инверсия входа управ-

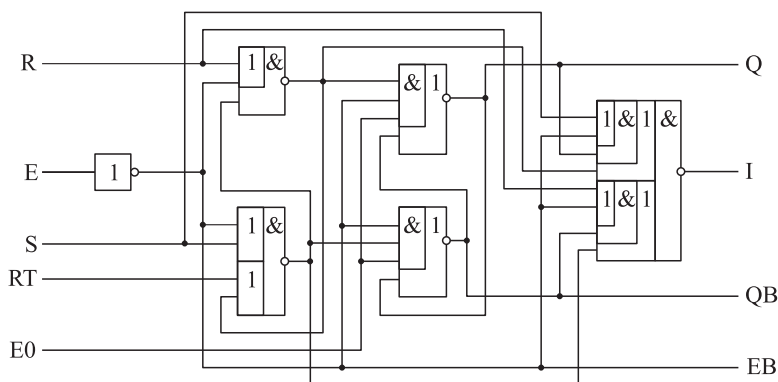
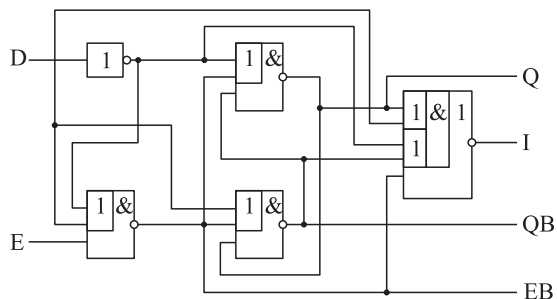


Рис. 4 Разряд регистра сдвига

ления E; E0 — дополнительный фазовый вход, подключаемый к выходу EB следующего разряда регистра.

**Реализация входного интерфейса СС-схемы с синхронным окружением.**

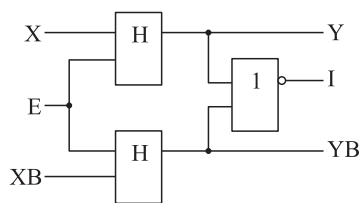
Для этой цели используется СС-триггер с унарным информационным входом, одноктактный вариант которого показан на рис. 5. Здесь D — унарный информационный вход; E — фазовый вход управления, формируемый источником информационного сигнала.



**Рис. 5** Самосинхронный триггер с унарным входом

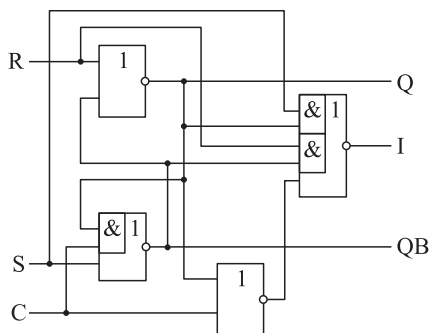
**Реализация разряда регистра хранения с парафазным информационным входом.**

Рисунок 6 демонстрирует его схему на Г-триггерах, обозначенных символом «Н». Здесь (X, XB) — парафазный информационный вход; E — вход управления; (Y, YB) — парафазный выход; I — индикаторный выход. Такой регистр хранения используется в качестве регистра ступени СС-конвейера.



**Рис. 6** Разряд СС-регистра хранения на Г-триггерах

**Самосинхронный сброс и СС-установка.** Отличие СС-предустановки от асинхронной заключается в индицировании ее завершения. Оно усложняет схему триггера и требует организации сценария СС-предустановки: определение условия запуска СС-предустановки, прерывание штатной работы триггера, инициирование предустановки, подтверждение факта ее завершения и возврат к штатному режиму работы. На рис. 7 показан одноктактный СС-триггер, отличающийся от триггера на рис. 2 СС-сбросом (вход С).



**Рис. 7** Одноктактный СС-триггер с парафазным входом и СС-сбросом

Индивидуальные особенности СС-триггеров учитываются в процедуре десинхронизации синтезируемой схемы при замене синхронных триггеров соответствующими СС-триггерами с учетом их назначения и окружения.

## 5 Метод замены синхронного триггера самосинхронным вариантом

Предлагаемый метод замены синхронного триггера СС-вариантом заключается в подборе СС-аналога для каждого синхронного триггера в функционально-логическом описании синтезируемой схемы, полученном программой Yosys в результате преобразования исходного поведенческого описания схемы, с помощью таблицы соответствия. Фрагмент такой таблицы для библиотеки стандартных элементов семейства базовых матричных кристаллов 5503 [21] представлен ниже.

Соответствие СС-триггеров синхронным прототипам

Назначение	Характер работы		Сброс		Установка		Прото-тип	СС-ана-лог
	Одно-такт-ный	Двух-такт-ный	Асин-хрон-ный	Син-хрон-ный	Асин-хрон-ная	Син-хрон-ная		
1. Хранение	✓						LD	R0E10
2. Хранение	✓				✓		LDP	R1R11
3. Хранение		✓	✓				FDC	R1RE20
4. Сдвиг		✓	✓				FDCB	S0RRE0
5. Сдвиг		✓		✓		✓	FDRSB	S0RTE0
6. Сдвиг		✓	✓				FDC	S1RRE0
7. Сдвиг		✓		✓		✓	FDRS	S1RTE0
8. Разряд счетчика		✓	✓				FDC	C1C
9. Разряд счетчика		✓	✓		✓		FDCP	C0CP
10. Разряд счетчика		✓	✓				FDCB	C0CI

Одному синхронному триггеру может соответствовать несколько СС-аналогов в зависимости от назначения триггера и типа информационных входов и выходов, определяемого его источником.

Процедура замены состоит из следующих шагов.

1. Анализ состава входов триггера.
2. Определение его назначения (разряд регистра хранения, разряд регистра сдвига, разряд счетчика, триггер флага и т. д.) по его окружению.
3. Уточнение типа информационного входа и выхода.
4. Подбор СС-аналога из таблицы соответствия.

В некоторых случаях при замене допускается изменение типа триггера. Например, двухтактный синхронный триггер в качестве разряда регистра ступени конвейера заменяется разрядом регистра хранения на Г-триггерах (см. рис. 6)



вместо двухтактного СС-триггера. Окончательный выбор СС-аналога триггера делается после согласования типов спейсера его информационных и управляющих сигналов с их источниками в соответствии с дисциплиной функционирования СС-схем.

## 6 Заключение

Автоматизированный синтез СС-схемы на базе ее синхронного описания и системы логического синтеза Yosys для преобразования поведенческого описания синтезируемой схемы в систему логических функций и совокупность триггеров не требует от разработчика углубленных знаний теории СС-схем, ускоряет разработку САПР СС-схем и облегчает их проектирование.

Предложенный в статье метод замены синхронных триггеров СС-аналогами на основе таблицы их соответствия с учетом назначения и окружения триггера формализует и упрощает синтез СС-схем. Таблица соответствия формируется под конкретную библиотеку стандартных ячеек.

Дальнейшее направление исследования и решения проблемы синтеза СС-схем связано с разработкой методики построения последовательностных функциональных СС-устройств (регистров, счетчиков) на основе их исходного синхронного поведенческого описания.

## Литература

1. *Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V.* Concurrent hardware: The theory and practice of self-timed design. — New York, NY, USA: J. Wiley & Sons, 1994. 368 p.
2. *Zakharov V., Stephenkov Y., Diachenko Y., Rogdestvenski Y.* Self-timed circuitry retrospective // Conference (International) on Engineering Technologies and Computer Science Proceedings. — Piscataway, NJ, USA: IEEE, 2020. P. 63–69. doi: 10.1109/EnT48576.2020.00018.
3. *Рождественский Ю. В., Морозов Н. В., Степченко Ю. А., Рождественские А. В.* Подсистема анализа самосинхронных логических схем АСИАН // Проблемы разработки перспективных микроэлектронных систем. — М.: ИППМ РАН, 2006. С. 158–162. EDN: LHPAHJ.
4. *Плеханов Л. П.* Реализация функционального метода анализа самосинхронности электронных схем // Системы и средства информатики, 2009. Т. 19. № 1. С. 142–148. EDN: MBCMTD.
5. *Рождественский Ю. В., Морозов Н. В., Рождественские А. В.* Подсистема событийного анализа самосинхронных схем АСПЕКТ // Проблемы разработки перспективных микро- и наноэлектронных систем. — М.: ИППМ РАН, 2010. С. 26–31. EDN: MVWVBR.
6. *Bardsley A.* Balsa: An asynchronous circuit synthesis system: Master Thesis — Manchester, U.K.: University of Manchester, 1998. 162 p.
7. *Fuhrer R. M., Nowick S. M., Theobald M., Jha N. K., Lin B., Pandlana L.* Minimalist: An environment for the synthesis, verification and testability of burst-mode asynchronous machines. — New York, NY, USA: Columbia University, 1999. Technical Report TRUCS-020-99. 20 p. doi: 10.7916/D8WD4BQ9.

8. *Dindhuc A., Rigaud J.-B., Rezzag A., Sirianni A., Fragoso J. L., Fesquet L., Renaudin M.* TIMA asynchronous synthesis tools // Communication to ACID Workshop, 2002.
9. *Taubin A., Cortadella J., Lavagno L., Kondratyev A., Peeters A.* Design automation of real-life asynchronous devices and systems // Foundations Trends Electronic Design Automation, 2007. Vol. 2. No. 1. P. 1–133. doi:0.1561/1000000006.
10. *Poliakov I., Sokolov D., Mokhov A.* Workcraft: A static data flow structure editing, visualisation and analysis tool // Petri nets and other models of concurrency / Eds. J. Kleijn, A. Yakovlev. — Lecture notes in computer science ser. — Berlin, Heidelberg: Springer, 2007. P. 505–514. doi: 10.1007/978-3-540-73094-1\_30.
11. *Reese R. B., Smith S. C., Thornton M. A.* Uncle — an RTL approach to asynchronous design // 18th Symposium (International) on Asynchronous Circuits and Systems Proceedings. — Piscataway, NJ, USA: IEEE, 2012. P. 65–72. doi: 10.1109/ASYNC.2012.14.
12. *Palangpour P.* CAD tools for synthesis of sleep convention logic: PhD Diss. — Fayetteville, AR, USA: University of Arkansas, 2013. 85 p. <http://scholarworks.uark.edu/etd/755>.
13. *Sparsø J., Furber S.* Principles of asynchronous circuit design: A systems perspective. — Kluwer Academic Publs., 2001. 337 p. doi: 10.1007/978-1-4757-3385-3.
14. *Blunno I., Lavagno L.* Automated synthesis of micro-pipelines from behavioral Verilog HDL // 6th Symposium (International) on Advanced Research in Asynchronous Circuits and Systems Proceedings. — Los Alamitos, CA, USA: IEEE Computer Society Press, 2000. P. 84–92. doi: 10.1109/ASYNC.2000.836967.
15. *Andrikos N., Lavagno L., Pandini D., Sotiriou C. P.* A fully-automated desynchronization flow for synchronous circuits // 44th ACM/IEEE Design Automation Conference Proceedings. — Piscataway, NJ, USA: IEEE, 2007. P. 982–985.
16. *Zhou R., Chong K.-S., Gwee B.-H., Chang J. S.* Quasi-delay-insensitive compiler: Automatic synthesis of asynchronous circuits from verilog specifications // 54th Midwest Symposium (International) on Circuits and Systems. — Piscataway, NJ, USA: IEEE, 2011. Art. 6026577. 4 p. doi: 10.1109/MWSCAS.2011.6026577.
17. *Плеханов Л. П., Денисов А. Н., Дьяченко Ю. Г., Мамонов Д. И., Морозов Н. В., Степченко Д. Ю.* Реализация синтеза самосинхронных схем в базисе БМК // Наноиндустрия, 2021. Т. 14. № S7. С. 395–397. doi: 10.22184/1993-8578.2021.14.7s.395.397. EDN: TGPTHL.
18. *Денисов А. Н., Фомин Ю. П., Коняхин В. В., Фёдоров Р. А.* Библиотека функциональных ячеек для проектирования полузаказных микросхем серий 5503 и 5507. — М.: Техносфера, 2019. 317 с. [https://www.technosfera.ru/files/book\\_pdf/0/book\\_324\\_977.pdf](https://www.technosfera.ru/files/book_pdf/0/book_324_977.pdf).
19. Yosys Open SYnthesis Suite. <https://yosyshq.net/yosys>.
20. *Плеханов Л. П.* Основы самосинхронных электронных схем. — М.: Бином. Лаборатория знаний, 2013. 208 с.
21. *Степченко Ю. А., Денисов А. Н., Дьяченко Ю. Г. и др.* Библиотека функциональных ячеек для проектирования самосинхронных полузаказных БМК микросхем серий 5503/5507. — М.: Техносфера, 2017. Т. 4. 376 с.

Поступила в редакцию 22.05.23

## REPLACING SYNCHRONOUS TRIGGERS WITH SELF-TIMED COUNTERPARTS DURING CIRCUIT DESYNCHRONIZATION

*Yu. A. Stepchenkov, D. Yu. Stepchenkov, Yu. G. Diachenko, N. V. Morozov, and L. P. Plekhanov*

Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation

**Abstract:** Self-timed (ST) digital circuits have a number of advantages in comparison with synchronous counterparts and become a promising basis for the reliable computing systems implementation operating in extreme conditions. The lack of effective tools for automated synthesis of ST circuits convenient for use by developers trained in computer-aided design of the synchronous circuits significantly hinders the introduction of ST circuits into digital circuit development practice. The approach to the ST circuit synthesis based on the transformation of the original synchronous Verilog description of the circuit operation algorithm into the ST implementation according to formalized rules in automatic mode with minimal interactive participation of the developer provides a quick ST solution with acceptable characteristics and does not require deep knowledge of self-timing from the designer. It relies on the basic principles of ST circuits design and heuristic methods for their development. One of the important and controversial stages of ST circuit design in this approach is the replacement of synchronous latches and flip-flops by their ST counterparts. For this purpose, the authors propose to use the method of tabular formalized correspondence based on a ready-made library of ST latches and flip-flops and analysis of their environment.

**Keywords:** self-timed circuit; logic synthesis; trigger; Verilog; substitution; coincidence table

**DOI:** 10.14357/08696527230401

**EDN:** VPLSHI

### Acknowledgments

The research was supported by the Russian Science Foundation (project No. 22-19-00237).

### References

1. Kishinevsky, M., A. Kondratyev, A. Taubin, and V. Varshavsky. 1994. *Concurrent hardware: The theory and practice of self-timed design*. New York, NY: J. Wiley & Sons. 368 p.
2. Zakharov, V., Y. Stepchenkov, Y. Diachenko, and Y. Rogdestvenski. 2020. Self-timed circuitry retrospective. *Conference (International) Engineering Technologies and Computer Science Proceedings*. Moscow. 63–69. doi: 10.1109/EnT48576.2020.00018.
3. Rozhdestvenskiy, Yu. V., N. V. Morozov, Yu. A. Stepchenkov, and A. V. Rozhdestvenskene. 2006. Podsystema analiza samosinkhronnykh logicheskikh skhem ASIAN [ASIAN — subsystem of analysis of self-timed logical circuits]. *Problemy*

- razrabotki perspektivnykh mikroelektronnykh sistem [Problems of developing advanced microelectronic systems]. Moscow: IPPM RAN. 158–162. EDN: LHPAHJ.
4. Plekhanov, L. P. 2009. Realizatsiya funktsional'nogo metoda analiza samosinkhronnosti elektronnykh skhem [Realization of the functional methods of self-timed electronic circuits analysis]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 19(1):142–148. EDN: MBCMTD.
  5. Rozhdestvenskiy, Yu. V., N. V. Morozov, and A. V. Rozhdestvenskene. 2010. Podsystema sobytiynogo analiza samosinkhronnykh skhem ASPEKT [ASPECT — a subsystem of event analysis of self-timed circuits]. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem* [Problems of developing advanced micro- and nanoelectronic systems]. Moscow: IPPM RAN. 26–31. EDN: MVWVBR.
  6. Bardsley, A. 1998. Balsa: An asynchronous circuit synthesis system. Manchester, U.K.: University of Manchester. Master Thesis. 162 p.
  7. Fuhrer, R. M., S. M. Nowick, M. Theobald, N. K. Jha, B. Lin, and L. Pandlana. 1999. Minimalist: An environment for the synthesis, verification and testability of burst-mode asynchronous machines. New York, NY: Columbia University. Technical Report TRCUCS-020-99. 20 p. doi: 10.7916/D8WD4BQ9.
  8. Dindhuc, A., J.-B. Rigaud, A. Rezzag, A. Sirianni, J. L. Fragoso, L. Fesquet, and M. Renaudin. 2002. TIMA asynchronous synthesis tools. *Communication to ACID Workshop*.
  9. Taubin, A., J. Cortadella, L. Lavagno, A. Kondratyev, and A. Peeters. 2007. Design automation of real-life asynchronous devices and systems. *Foundations Trends Electronic Design Automation* 2(1):1–133. doi:0.1561/1000000006.
  10. Poliakov, I., D. Sokolov, and A. Mokhov. 2007. Workcraft: A static data flow structure editing, visualisation and analysis tool. *Petri nets and other models of concurrency*. Eds. J. Kleijn and A. Yakovlev. Lecture notes in computer science ser. Berlin, Heidelberg: Springer. 505–514. doi: 10.1007/978-3-540-73094-1\_30.
  11. Reese, R. B., S. C. Smith, and M. A. Thornton. 2012. Uncle — an RTL approach to asynchronous design. *Symposium (International) on Asynchronous Circuits and Systems Proceedings*. Piscataway, NJ: IEEE. 65–72. doi: 10.1109/ASYNC.2012.14.
  12. Palangpour, P. 2013. CAD tools for synthesis of sleep convention logic. Fayetteville, AR: University of Arkansas. PhD Diss. 85 p. Available at: <http://scholarworks.uark.edu/etd/755> (accessed November 22, 2023).
  13. Sparsø, J., and S. Furber 2001. *Principles of asynchronous circuit design: A systems perspective*. Kluwer Academic Publs. 337 p. doi: 10.1007/978-1-4757-3385-3.
  14. Blunno, I., and L. Lavagno. 2000. Automated synthesis of micro-pipelines from behavioral Verilog HDL. *6th Symposium (International) on Advanced Research in Asynchronous Circuits and Systems Proceedings*. Los Alamitos, CA: IEEE Computer Society Press. 84–92. doi: 10.1109/ASYNC.2000.836967.
  15. Andrikos, N., L. Lavagno, D. Pandini, and C. P. Sotiriou. 2007. A fully-automated desynchronization flow for synchronous circuits. *44th ACM/IEEE Design Automation Conference Proceedings*. Piscataway, NJ: IEEE. 982–985.
  16. Zhou, R., K.-S. Chong, B.-H. Gwee, and J. S. Chang. 2011. Quasi-delay-insensitive compiler: Automatic synthesis of asynchronous circuits from verilog specifications. *54th Midwest Symposium (International) on Circuits and Systems*. Piscataway, NJ: IEEE. Art. 6026577. 4 p. doi: 10.1109/MWSCAS.2011.6026577.
- 14 Sistemy i Sredstva Informatiki — Systems and Means of Informatics 2023 vol 33 no 4

17. Plekhanov, L. P., A. N. Denisov, Yu. G. Diachenko, D. I. Mamonov, N. V. Morozov, and D. Yu. Stepchenkov. 2021. Realizatsiya sinteza samosinkhronnykh skhem v bazise BMK [Implementing self-timed circuits synthesis in gate array basis]. *Nanoindus-triya* [Nanoindustry] 14(S7):395–397. doi: 10.22184/1993-8578.2021.14.7s.395.397. EDN: TGPThL.
18. Denisov, A. N., Yu. P. Fomin, V. V. Konyakhin, and R. A. Fedorov. 2019. *Biblioteka funkcional'nykh yacheek dlya proektirovaniya poluzakaznykh mikroskhem seriy 5503 i 5507* [Function cell library for the design of semicustom integrated circuits of the 5503 and 5507 series]. Moscow: Tekhnosfera. 317 p. Available at: [https://www.technosfera.ru/files/book\\_pdf/0/book\\_324\\_977.pdf](https://www.technosfera.ru/files/book_pdf/0/book_324_977.pdf) (accessed November 22, 2023).
19. Yosys Open SYnthesis Suite. Available at: <https://yosyshq.net/yosys> (accessed October 23, 2023).
20. Plekhanov, L. P. 2013. *Osnovy samosinkhronnykh elektronnykh skhem* [Basics of self-timed electronic circuits]. Moscow: Binom. Laboratory of Knowledge. 208 p.
21. Stepchenkov, Yu. A., A. N. Denisov, Yu. G. Diachenko, et al. 2017. *Biblioteka funkcional'nykh yacheek dlya proektirovaniya samosinkhronnykh poluzakaznykh BMK mikroskhem seriy 5503/5507* [Library of functional cells for designing self-timed semicustom chips of the 5503 and 5597 series]. Moscow: Tekhnosfera. Vol. 4. 376 p.

Received May 22, 2023

## Contributors

**Stepchenkov Yuri A.** (b. 1951) — Candidate of Science (PhD) in technology, head of department, leading scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; YStepchenkov@ipiran.ru

**Stepchenkov Dmitri Y.** (b. 1973) — senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; DStepchenkov@ipiran.ru

**Diachenko Yuri G.** (b. 1958) — Candidate of Science (PhD) in technology, senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaura@mail.ru

**Morozov Nikolai V.** (b. 1956) — senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; NMorozov@ipiran.ru

**Plekhanov Leonid P.** (b. 1943) — Candidate of Science (PhD) in technology, senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; lplekhanov@inbox.ru