



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК
G06F 7/57 (2023.08); H03K 19/173 (2023.08)

(21)(22) Заявка: 2023120319, 02.08.2023

(24) Дата начала отсчета срока действия патента:
02.08.2023

Дата регистрации:
11.01.2024

Приоритет(ы):

(22) Дата подачи заявки: 02.08.2023

(45) Опубликовано: 11.01.2024 Бюл. № 2

Адрес для переписки:

614990, Пермский край, г. Пермь,
Комсомольский пр-т, 29, ФГАОУ ВО
"ПНИПУ", Ташкинов Анатолий
Александрович

(72) Автор(ы):

Тюрин Сергей Феофентович (RU),
Васенин Иван Андреевич (RU),
Степченков Юрий Афанасьевич (RU),
Дьяченко Юрий Георгиевич (RU),
Советов Станислав Игоревич (RU)

(73) Патентообладатель(и):

Федеральное государственное автономное
образовательное учреждение высшего
образования "Пермский национальный
исследовательский политехнический
университет" (RU)

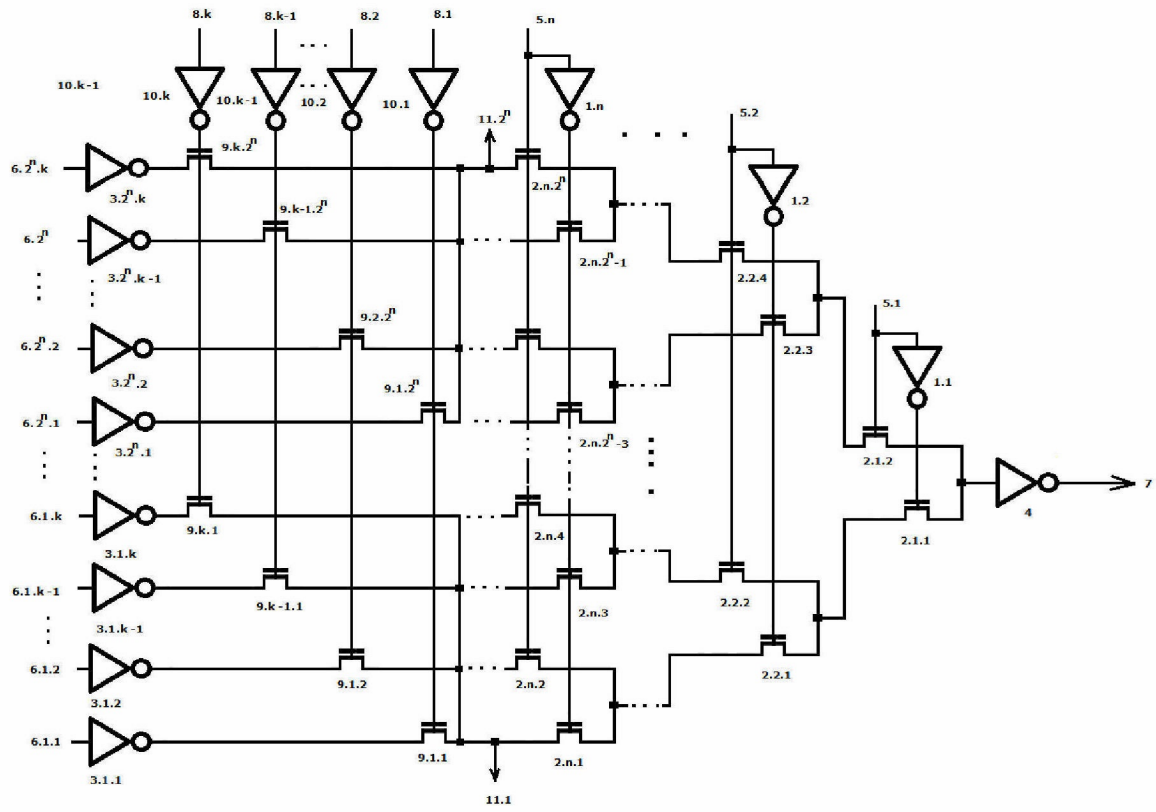
(56) Список документов, цитированных в отчете
о поиске: RU 2637462 C1, 04.12.2017. US
7839169 B2, 23.11.2010. US 2013/0293263 A1,
07.11.2013. US 7550994 B1, 23.06.2009. US 2014/
0015566 A1, 16.01.2014.

(54) ПРОГРАММИРУЕМОЕ ЛОГИЧЕСКОЕ УСТРОЙСТВО

(57) Реферат:

Изобретение относится к вычислительной технике и может быть использовано для вычисления логических функций в программируемых логических интегральных схемах (ПЛИС). Технический результат заключается в уменьшении временной задержки при реализации логических функций большого количества переменных в ПЛИС, при не увеличении сложности в количестве транзисторов. Результат достигается путем введения подгруппы k-1 дополнительных инверторов настройки для

каждого из 2^n инверторов настройки группы 2^n инверторов настройки, подгруппы k-1 дополнительных входов настройки для каждого входа из группы входов настройки, k дополнительных входов переменных, 2^n дополнительных групп передающих транзисторов по k транзистора в группе, k дополнительных инверторов входных переменных, 2^n дополнительных выходов. 4 табл., 3 ил.



Фиг. 1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.
G06F 7/57 (2006.01)
H03K 19/173 (2006.01)

(12) **ABSTRACT OF INVENTION**

(52) CPC
G06F 7/57 (2023.08); *H03K 19/173* (2023.08)

(21)(22) Application: **2023120319, 02.08.2023**

(24) Effective date for property rights:
02.08.2023

Registration date:
11.01.2024

Priority:

(22) Date of filing: **02.08.2023**

(45) Date of publication: **11.01.2024** Bull. № 2

Mail address:

**614990, Permskij kraj, g. Perm, Komsomolskij pr-
t, 29, FGAOU VO "PNIPU", Tashkinov Anatolij
Aleksandrovich**

(72) Inventor(s):

**Tiurin Sergei Feofentovich (RU),
Vasenin Ivan Andreevich (RU),
Stepchenkov Iurii Afanasevich (RU),
Diachenko Iurii Georgievich (RU),
Sovetov Stanislav Igorevich (RU)**

(73) Proprietor(s):

**federalnoe gosudarstvennoe avtonomnoe
obrazovatelnoe uchrezhdenie vysshego
obrazovaniia «Permskii natsionalnyi
issledovatel'skii politekhnicheskii universitet»
(RU)**

(54) **PROGRAMMABLE LOGIC DEVICE**

(57) Abstract:

FIELD: computer technology.

SUBSTANCE: invention can be used to calculate logical functions in programmable logic integrated circuits (FPLIC). The result is achieved by introducing a subgroup of k-1 additional tuning inverters for each of the 2ⁿ tuning inverters of the group of 2ⁿ tuning inverters, a subgroup of k-1 additional tuning inputs for each input from the group of tuning inputs, k additional

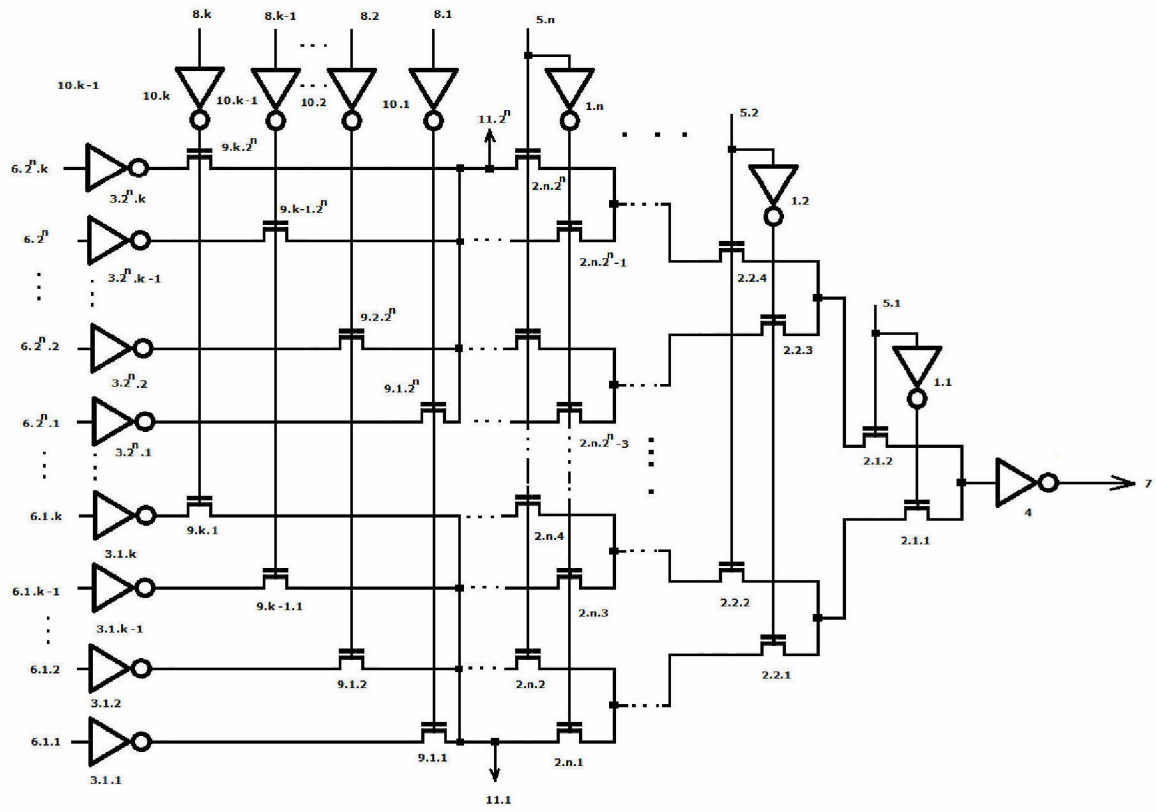
variable inputs, 2ⁿ additional groups of transmitting transistors k transistors per group, k additional input variable inverters and 2ⁿ additional outputs.

EFFECT: reducing the time delay when implementing logical functions of a large number of variables in the FPLIC, without increasing the complexity in the number of transistors.

1 cl, 4 tbl, 3 dwg

RU 2 811 404 C1

RU 2 811 404 C1



Фиг. 1

Изобретение относится к вычислительной технике и может быть использовано для вычисления логических функций в программируемых логических интегральных схемах (ПЛИС).

Известно программируемое логическое устройство, содержащее первую, вторую и третью группы D-триггеров количеством по $m \cdot 2^n$ (n - число входных переменных, m - число выходных функций), третью группу D-триггеров количеством $2(n-1)m$, группу $m(n-1)$ элементов И, счетчик, группу $m \cdot 2^n$ элементов И с тремя состояниями на выходе, дешифратор, группу $m(n-1)$ элементов ИЛИ, вторую группу $m \cdot 2^n$ элементов И с тремя состояниями на выходе и m блоков вычисления функций, каждый блок вычисления функций содержит группу $4 \cdot 2^n$ элементов И с тремя состояниями на выходе, два D-триггера, T-триггер, RS-триггер фиксации импульса, пять элементов ИЛИ, три элемента И, четыре инвертора, n групп элементов 2-2 НЕ-И-ИЛИ (в каждую i -ю группу входит 2^{n-1} элементов, $i=1, n$), элемент задержки, дополнительную группу элементов И с тремя состояниями на выходе (патент РФ № 2146840 от 20.03.2000, кл. G11C 17/00, G06F7/00).

Недостатком известного устройства являются высокие аппаратные затраты, выраженные в количестве транзисторов, на реализацию логической функции в программируемых логических интегральных схемах (ПЛИС).

Наиболее близким устройством того же назначения к заявленному изобретению по совокупности признаков является программируемое логическое устройство, содержащее группу n инверторов, n групп передающих транзисторов (n - число входных переменных) по $2^i, i=1, n$ транзисторов в группе, группу 2^n инверторов настройки, выходной инвертор, входы n переменных, группу 2^n входов настройки, выход устройства, причём затвор каждого нечётного транзистора i -й группы передающих транзисторов $i=1, n$ подключен к выходу i -го инвертора группы n инверторов, затвор каждого чётного транзистора i -й группы передающих транзисторов подключен к i -му входу входов n переменных, истоки 2^n транзисторов n -ой группы подключены к выходам инверторов группы 2^n инверторов настройки, входы которых являются группой 2^n входов настройки, стоки чётных и нечётных транзисторов n -ой группы объединены и подключены к истокам соответствующих 2^{n-1} транзисторов $n-1$ ой группы, стоки которых объединены и подключены к истокам соответствующих 2^{n-2} транзисторов $n-2$ ой группы, стоки двух последних транзисторов 1 ой группы объединены и подключены ко входу выходного инвертора, выход которого является выходом устройства (Look up table implementation of fast carry for adders and counters: US 005274581A, 28.12.1993; Строганов А., Цыбин С. Программируемая коммутация в ПЛИС: взгляд изнутри// Компоненты и технологии. - 2010. - №11. С. 56-62, рис. 9, [Электронный ресурс]. - URL: http://www.kit-e.ru/articles/plis/2010_11_56.php 20.02.23 г.).

Недостатком известного устройства, принятого за прототип, является высокая задержка при реализации логических функций большого числа аргументов.

Это обусловлено следующими обстоятельствами. Технические средства прототипа ориентированы на реализацию логической функции в совершенной дизъюнктивной нормальной форме (СДНФ) при двоичном кодировании набора n переменных, что приводит к тому, что цепочка транзисторов в соответствующем дереве содержит не менее n транзисторов. В случае $n > 3$ необходимо применение восстановителей уровня сигнала, что еще более увеличивает задержку распространения от конфигурационной памяти, в которой записаны значения логической функции на данном конкретном

наборе, до выхода значения функции.

При использовании унитарного кодирования набора n переменных логической функции в соответствующем дереве имеется только один транзистор, однако экспоненциально возрастают количество линий связи и аппаратные затраты в количестве транзисторов на реализацию входных инверторов. Одним из возможных путей преодоления этого противоречия может быть комбинированная реализация логических функций, использующая как двоичное, так и унитарное кодирование.

Признаки прототипа, совпадающие с существенными признаками заявляемого изобретения - содержит группу n инверторов входных переменных, n групп передающих транзисторов (n - число входных переменных) по $2^i, i = \overline{1, n}$ транзисторов в i -ой группе, группу 2^n инверторов настройки, инвертор, n входов переменных, группу 2^n входов настройки, выход устройства; затвор каждого нечётного транзистора i -й группы передающих транзисторов подключен к выходу i -го инвертора группы n инверторов, затвор каждого чётного транзистора i -й группы передающих транзисторов подключен к i -му входу входов n переменных; входы инверторов из группы 2^n инверторов настройки являются группой 2^n входов настройки; стоки соответствующих чётных и нечётных транзисторов n -ой группы $2.n$ объединены и подключены к истокам соответствующих транзисторов $2.n-1$ ой группы, стоки которых объединены и подключены к истокам соответствующих транзисторов $n-2$ ой группы $2.n-2$; стоки двух последних транзисторов 1-ой группы и объединены и подключены ко входу инвертора, выход которого является выходом устройства.

Задачей изобретения является уменьшение временной задержки при реализации логических функций большого количества переменных в ПЛИС, при не увеличении сложности в количестве транзисторов.

Поставленная задача была решена за счет того, что в заявляемом устройстве, содержащем группу n инверторов входных переменных, n групп передающих транзисторов (n - число входных переменных) по $2^i, i = \overline{1, n}$ транзисторов в i -ой группе, группу 2^n инверторов настройки, инвертор, n входов переменных, группу 2^n входов настройки, выход устройства,

причем

затвор каждого нечётного транзистора i -й группы передающих транзисторов подключен к выходу i -го инвертора группы n инверторов, затвор каждого чётного транзистора i -й группы передающих транзисторов подключен к i -му входу входов n переменных, входы инверторов из группы 2^n инверторов настройки являются группой 2^n входов настройки, стоки соответствующих чётных и нечётных транзисторов n -ой группы $2.n$ объединены и подключены к истокам соответствующих транзисторов $2.n-1$ ой группы, стоки которых объединены и подключены к истокам соответствующих транзисторов $n-2$ ой группы $2.n-2$, стоки двух последних транзисторов 1-ой группы и объединены и подключены ко входу инвертора, выход которого является выходом устройства, согласно изобретению дополнительно введены подгруппы $k-1$ дополнительных инверторов настройки для каждого из инверторов 2^n настройки группы 2^n инверторов настройки, подгруппы $k-1$ дополнительных входов настройки для каждого входа из группы 2^n входов настройки, k дополнительных входов

переменных, 2^n дополнительных групп передающих транзисторов по k транзистора в группе, k дополнительных инверторов входных переменных, 2^n дополнительных выходов, причем k дополнительных входов переменных подключены ко входам соответствующих k дополнительных инверторов входных переменных, выходы которых подключены к затворам соответствующих i-x ($i=1 \dots k$) k-x транзисторов в каждой из 2^n дополнительных групп передающих транзисторов по k транзистора в группе, истоки которых подключены к выходам соответствующих i-x ($i=1 \dots k$) инверторов группы 2^n инверторов настройки и подгрупп k-1 дополнительных инверторов настройки для каждого из инверторов настройки по k инверторов в группе, а стоки транзисторов в каждой группе из 2^n дополнительных групп передающих транзисторов по k транзистора в группе объединены и подключены к истокам соответствующих транзисторов в n-ой группе передающих транзисторов (n - число входных переменных) по $2^i, i = \overline{1, n}$ транзисторов в i-ой группе, а также являются выходами из 2^n дополнительных выходов.

Признаки заявляемого технического решения, отличительные от прототипа - подгруппы k-1 дополнительных инверторов настройки для каждого из 2^n инверторов настройки группы 2^n инверторов настройки, подгруппы k-1 дополнительных входов настройки для каждого входа из группы 2^n входов настройки, k дополнительных входов переменных, 2^n дополнительных групп передающих транзисторов по k транзистора в группе, k дополнительных инверторов входных переменных, 2^n дополнительных выходов, k дополнительных входов переменных подключены ко входам соответствующих k дополнительных инверторов входных переменных, выходы которых подключены к затворам соответствующих i-x ($i=1 \dots k$) k-x транзисторов в каждой из 2^n дополнительных групп передающих транзисторов по k транзистора в группе, истоки которых подключены к выходам соответствующих i-x ($i=1 \dots k$) инверторов группы 2^n инверторов настройки и подгрупп k-1 дополнительных инверторов настройки для каждого из инверторов настройки по k инверторов в группе, а стоки транзисторов в каждой группе из 2^n дополнительных групп передающих транзисторов по k транзистора в группе объединены и подключены к истокам соответствующих транзисторов в n-ой группе передающих транзисторов (n - число входных переменных) по $2^i, i = \overline{1, n}$ транзисторов в i-ой группе, а также являются выходами из 2^n дополнительных выходов.

Отличительные признаки в сочетании с известными позволяют уменьшить временную задержку за счет комбинирования унитарного и двоичного кодирования переменных путем введения двух режимов: режима смешанного кодирования, режима только унитарного кодирования.

Введение подгруппы k-1 дополнительных инверторов настройки для каждого из 2^n инверторов настройки группы 2^n инверторов настройки обеспечивает подачу констант настройки на дополнительные 2^n групп передающих транзисторов по k транзистора в группе при реализации как режима смешанного кодирования, так и режима только унитарного кодирования.

Введение подгруппы k-1 дополнительных входов настройки для каждого входа из

группы 2^n входов настройки обеспечивает прием констант настройки на дополнительные 2^n групп передающих транзисторов по k транзистора в группе при реализации как режима смешанного кодирования, так и режима только унитарного кодирования.

Введение k дополнительных входов переменных обеспечивает прием входных переменных при реализации как режима смешанного кодирования, так и режима только унитарного кодирования.

Введение 2^n дополнительных групп передающих транзисторов по k транзистора в группе обеспечивает вычисление заданных текущей настройкой логических функций при реализации как режима смешанного кодирования, так и режима только унитарного кодирования.

Введение k дополнительных инверторов входных переменных обеспечивает получение инверсных значений входных переменных при реализации как режима смешанного кодирования, так и режима только унитарного кодирования.

Введение 2^n дополнительных выходов позволяет выдавать значения логических функций внешним устройствам в режиме только унитарного кодирования.

Изменение связей по сравнению с известным устройством обеспечивает уменьшение временной задержки прохождения значения логической функции на данном наборе переменных, заданного сигналом настройки, за счет реализации комбинирования унитарного и двоичного кодирования переменных путем введения двух режимов: режима смешанного кодирования, режима только унитарного кодирования.

На фиг. 1 - изображена схема электрическая функциональная программируемого логического устройства.

На фиг. 2 - изображен график сравнения сложности предлагаемого устройства относительно прототипа.

На фиг. 3 - изображен график сравнения сложности предлагаемого устройства относительно прототипа и варианта с полностью унитарным кодированием.

Программируемое логическое устройство содержит группу n инверторов входных переменных 1, n групп передающих транзисторов 2 (n - число входных переменных) по $2^i, i = \overline{1, n}$ транзисторов в i -ой группе, группу 2^n инверторов настройки 3, инвертор 4, n входов переменных 5, группу 2^n входов настройки 6, выход устройства 7.

Затвор каждого нечётного транзистора i -й группы передающих транзисторов 2 $i = \overline{1, n}$ подключен к выходу i -го инвертора группы n инверторов 1, затвор каждого чётного транзистора i -й группы передающих транзисторов 2 подключен к i -му входу входов n переменных 5.

Стоки соответствующих чётных и нечётных транзисторов n -ой группы $2 \cdot n$ объединены и подключены к истокам соответствующих 2^{n-1} транзисторов $2 \cdot n - 1$ ой группы, стоки которых объединены и подключены к истокам соответствующих 2^{n-2} транзисторов $n - 2$ ой группы $2 \cdot n - 2$. Стоки двух последних транзисторов 1-ой группы 2.1.1 и 2.1.2 объединены и подключены ко входу инвертора 4, выход которого является выходом 7 устройства.

Дополнительно введены подгруппы $k - 1$ дополнительных инверторов настройки для каждого из 2^n инверторов настройки 3 группы 2^n инверторов настройки, подгруппы $k - 1$ дополнительных входов настройки для каждого входа из группы 2^n входов настройки

6, k дополнительных входов переменных 8.1,8.2,...8.k, 2^n дополнительных групп передающих транзисторов по k транзистора в группе 9.1,9.2,...9.k, k дополнительных инверторов входных переменных 10.1,10.2,...10.k, 2^n дополнительных выходов

5 **11.2ⁿ ...11.1.**

k дополнительных входов переменных 8.1,8.2,...8.k подключены ко входам соответствующих k дополнительных инверторов входных переменных 10.1,10.2,...10.k, выходы которых подключены к затворам соответствующих k-x транзисторов в каждой из 2^n дополнительных групп передающих транзисторов 9.1,9.2,...9.k по k транзистора в группе, истоки которых подключены к выходам соответствующих инверторов группы 2^n инверторов настройки 3 по k инверторов в группе, а стоки транзисторов в каждой группе из 2^n дополнительных групп передающих транзисторов 9.1,9.2,...9.k по k транзистора в группе объединены и подключены к истокам соответствующих транзисторов в n-ой группе передающих транзисторов 2 (n - число входных переменных) по $2^i, i = \overline{1, n}$ транзисторов в i-ой группе, а также являются выходами из 2^n дополнительных выходов **11.2ⁿ ...11.1.**

20 Программируемое логическое устройство работает следующим образом:

1.Этап программирования. В этом случае на группу 2^n входов настройки 6, состоящую из k подгрупп устанавливаются сигналы настройки одной или k (зависимости от режима работы) логических функций не более чем $n + \text{int} \log_2(k)$ переменных, где **$\text{int} \log_2(k)$** ближайшее большее натуральное число.

25 Пример

Пусть, например, необходимо реализовать логическую функцию, зависящих от четырёх переменных $y_2 y_1 x_2 x_1$ и заданную номерами конstituент единицы:

$$y_2(t+1)y_1y_2x_2x_1 = 4,5,6,7,12,13,14,15.$$

30 В этом случае на затворы транзисторов дополнительной группы 8 также подаётся унитарный код (одна логическая единица, остальные нули, допустим, для k =4 код 0001).

В прототипе и в предлагаемом устройстве, работающем в режиме двоичного кодирования переменных, настройки описываются Таблицами 1, 2:

Таблица 1

35 Настройка входов 6 в прототипе:

6	6.1	6.2	6.3	6.4	6.5	6.6	6.7	6.8	6.9	6.1	6.1	6.1	6.1	6.1	6.1	6.1
$y_2(t+1)$										0	1	2	3	4	5	6
1)	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1

40 Таблица 2

Настройка входов 6 в предлагаемом устройстве, работающем в режиме двоичного кодирования переменных k =4, n=4:

45

6	6.1.	6.1.	6.1.	6.1.	6.2.	6.2.	6.2.	6.2.	6.3.	6.3.	6.3.	6.3.	6.4.	6.4.	6.4.	6.4.
$y_2(t+1)$	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4
1)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

5

6	6.5.	6.5.	6.5.	6.5.	6.6.	6.6.	6.6.	6.6.	6.7.	6.7.	6.7.	6.7.	6.8.	6.8.	6.8.	6.8.
$y_2(t+1)$	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4
1)	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0

10

6	6.9.	6.9.	6.9.	6.9.	6.1	6.1	6.1	6.1	6.1	6.1	6.1	6.1	6.1	6.1	6.1	6.1
$y_2(t+1)$	1	2	3	4	0.1	0.2	0.3	0.4	1.1	1.2	1.3	1.4	2.1	2.2	2.3	2.4
1)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

15

В известном устройстве задержка в дереве передающих транзисторов 2 равна четырем по числу переменных. Сложность оценивается выражением

$$L0(4) = 2^{4+1} - 2 + 2 \cdot 4 + 8 \cdot 2^4 + 2 = 168 \quad (1)$$

20

В предлагаемом устройстве возьмем $n=1, k=2^{4-1}=8$, получим сложность

$$Lcomb(1,8) = (2^{1+1} + 2 \cdot 1) + 8 \cdot 2^1 \cdot 8 + 2^1 \cdot 8 + 2 \cdot 8 = 166. \quad (2)$$

Таким образом, сложность не ухудшилась, а задержка стала в два раза меньше: $1+1=2$. Настройка входов 6 в предлагаемом устройстве, работающем в комбинированном режиме, представлена Табл. 3.

25

6.1	6.1.1	6.1.2	6.1.3	6.1.4	6.1.5	6.1.6	6.1.7	6.1.8
$y_2(t+1)$	0	0	0	0	1	1	1	1
6.2	6.2.1	6.2.2	6.2.3	6.2.4	6.2.5	6.2.6	6.2.7	6.2.8
$y_2(t+1)$	0	0	0	0	1	1	1	1

30

При полностью унитарной реализации, когда $n=0, k=2^{4-0}=16$, задержка равна единице, выходной сигнал снимается с одного из выходов 11, сложность оценивается выражением:

$$Loh(16) = 8 \cdot 16 \cdot 2 + 2 \cdot (16) \cdot 2 + 2 = 322, \quad (3)$$

35

В выражении (3) принято, что оставлено только два транзистора 2.1.2 и 2.1.1 для сохранения многорежимной работы. В этом случае возникает возможность реализации не одной, а двух функций, например еще функции

$$y_1(t+1)_{y_1 y_2 x_2 x_1} = 0, 1, 2, 3, 4, 5, 6, 7, 14, 15.$$

Настройка входов 6 в предлагаемом устройстве в унитарном режиме с реализацией двух функций показана в Табл.4.

40

Таблица 4

Настройка входов 6 в предлагаемом устройстве в унитарном режиме:

45

6.1	6.1.1	6.1.2	6.1.3	6.1.4	6.1.5	6.1.6	6.1.7	6.1.8	6.1.9	6.1.10	6.1.11	6.1.12	6.1.13	6.1.14	6.1.15	6.1.16
$y_2(t+1)$	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
6.2	6.2.1	6.2.2	6.2.3	6.2.4	6.2.5	6.2.6	6.2.7	6.2.8	6.2.9	6.2.10	6.2.11	6.2.12	6.2.13	6.2.14	6.2.15	6.2.16
$y_1(t+1)$	1	1	1	1	1	1	1	1	0	0	0	0	0	1	1	1

2. Этап вычислений. На этом этапе на входы n переменных 5 и k переменных 8

поступают комбинированные значения входных переменных, причём на входы n переменных 5 - в двоичном коде, а на входы k переменных 8 - в унитарном, когда единице равен только один из входов.

2.1. Вычисления в режиме двоичного кодирования

5 В этом режиме входы 8 не меняются (на них устанавливается некоторый заданный код, например, единица на 8.1), меняются входы 5 в зависимости от наборов переменных. При этом соответствующее значение логической функции, записанное на входах 6 с учетом настройки входов 8, поступает через соответствующий инвертор группы 3, транзистор группы 9 на соответствующие транзисторы групп 2. n , 2. n -1, ..., 2.1, 10 активируемые значениями переменных 5, через инверторы 1 так, что на выходе инвертора 4 и выходе 7 формируется значение логической функции аналогично прототипу.

2.2. Вычисления в режиме комбинированного кодирования

15 В этом режиме меняются и входы 8 и входы 5. Поэтому, в отличие от первого режима, унитарный код на входах 8 определяет дополнительно для каждого двоичного набора входов 5 один из входов 6, активируя соответствующий транзистор группы 9. При этом активируются k транзисторов в k группах 9, но за счет транзисторов групп 2 выбирается только один в одной из групп. Дальнейшее прохождение сигнала аналогично первому режиму. Это позволяет уменьшить задержку реализации логических функций большого 20 числа переменных при не увеличении сложности в количестве транзисторов.

2.3. Вычисления в режиме унитарного кодирования

25 В этом режиме меняются только входы 8, которые и определяют значение логической функции (логической функций), записанные на входах 6. Эти значения поступают через соответствующие инверторы 3, транзисторы 9 на соответствующие выходы 11. При этом обеспечивается минимальная задержка, равная задержке одного транзистора 9, а также реализация систем логических функций, зависящих от одних и тех же переменных, закодированных унитарным кодом 8.

Оценка технической эффективности

30 Оценим эффективность предложенного устройства. Сложность прототипа в количестве транзисторов в зависимости от числа переменных n оценивается выражением:

$$L0(n) = 2^{n+1} - 2 + 2 \cdot n + 8 \cdot 2^n + 2, \quad (4)$$

где $2^{n+1} - 2$ - сложность n уровневого дерева передающих транзисторов;

$8 \cdot 2^n$ - сложность настройки;

35 2 - сложность выходного инвертора.

При увеличении числа входов до $n + \text{int} \log_2(k)$, где int - ближайшее большее натуральное число, получаем:

$$40 \quad L1(n) = 2^{n+\text{int} \log_2(k)+1} + 2 \cdot (n + \text{int} \log_2(k)) + 8 \cdot 2^{n+\text{int} \log_2(k)}. \quad (5)$$

Предлагаемое устройство оценивается формулой:

$$Lcomb(n, k) = (2^{n+1} + 2 \cdot n) + 8 \cdot 2^n \cdot k + 2^n \cdot k + 2 \cdot k, \quad (6)$$

45 где $(2^{n+1} + 2 \cdot n)$ - сложность n уровневого дерева передающих транзисторов + сложность выходного инвертора без учета настройки из выражения (1);

$8 \cdot 2^n \cdot k$ - сложность настройки, увеличившаяся в k раз;

$2^n \cdot k$ - сложность дополнительных передающих транзисторов;

$2 \cdot k$ - сложность дополнительных инверторов по дополнительным k входам.
В то же время, полностью унитарная реализация оценивается выражением:

$$Loh(n) = 8 \cdot 2^{k+2^n} + 2 \cdot (k + 2^n) + 2, \quad (7)$$

5 где - $8 \cdot 2^{k+2^n}$ сложность настройки;

$2 \cdot (k + 2^n)$ - сложность инверторов по $k + 2^n$ входам.

Соответствующий график при $k=8$ имеет вид, приведенный на Фиг. 2.

10 В этом случае задержка прототипа составляла бы $n+3$, а в предлагаемом устройстве $n+1$. При этом сложность меньше, чем у прототипа. При полностью унитарном кодировании задержка единичная (один транзистор), однако сложность очень высокая (Фиг. 3).

15 Предлагаемое устройство может работать в режиме полностью унитарного кодирования (при соответствующей настройке) по k дополнительным входам переменных $8.1, 8.2, \dots, 8.k$, при этом задержка также единичная, значения системы их k выходных функций от $\text{intlog}_2(k)$ переменных выдаются на выходы $11.2^n \dots 11.1$, при этом выход 7 не используется.

20 Достижение технического результата изобретения подтверждается приведёнными оценками.

(57) Формула изобретения

Программируемое логическое устройство, содержащее группу n инверторов входных переменных, n групп передающих транзисторов (n - число входных переменных) по
25 $2^i, i = \overline{1, n}$ транзисторов в i -й группе, группу 2^n инверторов настройки, инвертор, n входов переменных, группу 2^n входов настройки, выход устройства, причем затвор каждого нечётного транзистора i -й группы передающих транзисторов подключен к выходу i -го инвертора группы n инверторов, затвор каждого чётного транзистора i -й группы передающих транзисторов подключен к i -му входу входов n переменных, входы
30 инверторов из группы 2^n инверторов настройки являются группой 2^n входов настройки, стоки соответствующих чётных и нечётных транзисторов n -й группы $2.n$ объединены и подключены к истокам соответствующих транзисторов $2.n-1$ -й группы, стоки которых объединены и подключены к истокам соответствующих транзисторов
35 $n-2$ -й группы $2.n-2$, стоки двух последних транзисторов 1-й группы и объединены и подключены ко входу инвертора, выход которого является выходом устройства, отличающееся тем, что в него дополнительно введены подгруппы $k-1$ дополнительных инверторов настройки для каждого из инверторов 2^n настройки группы 2^n инверторов
40 настройки, подгруппы $k-1$ дополнительных входов настройки для каждого входа из группы 2^n входов настройки, k дополнительных входов переменных, 2^n дополнительных групп передающих транзисторов по k транзистора в группе, k дополнительных инверторов входных переменных, 2^n дополнительных выходов, причем k дополнительных входов переменных подключены ко входам соответствующих
45 k дополнительных инверторов входных переменных, выходы которых подключены к затворам соответствующих i -х ($i = \overline{1 \dots k}$) k -х транзисторов в каждой из 2^n дополнительных групп передающих транзисторов по k транзистора в группе, истоки которых

подключены к выходам соответствующих i -х ($i=1 \dots k$) инверторов группы 2^n инверторов
настройки и подгрупп $k-1$ дополнительных инверторов настройки для каждого из
инверторов настройки по k инверторов в группе, а стоки транзисторов в каждой группе
5 из 2^n дополнительных групп передающих транзисторов по k транзистора в группе
объединены и подключены к истокам соответствующих транзисторов в n -й группе
передающих транзисторов (n - число входных переменных) по $2^i, i = \overline{1, n}$ транзисторов
в i -й группе, а также являются выходами из 2^n дополнительных выходов.

10

15

20

25

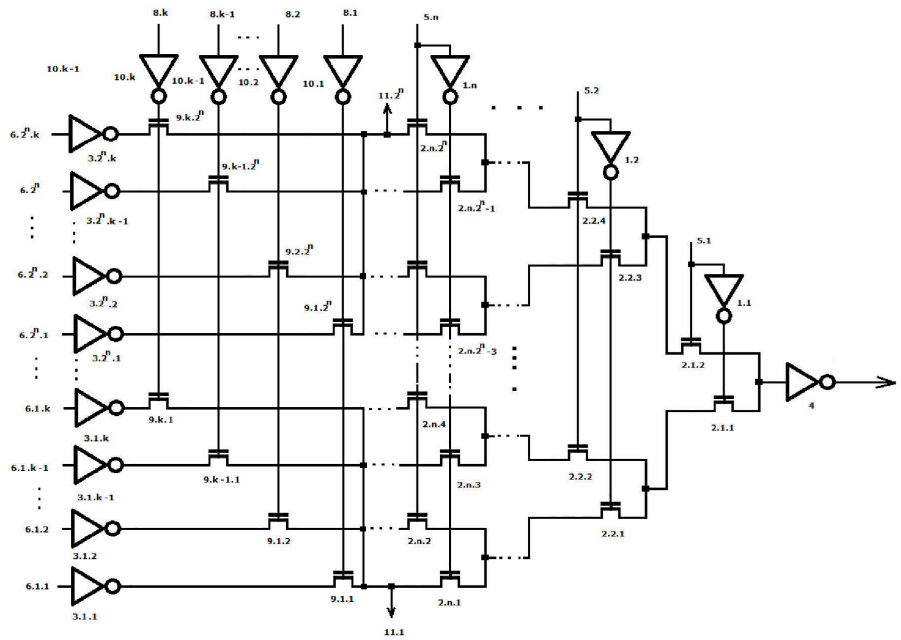
30

35

40

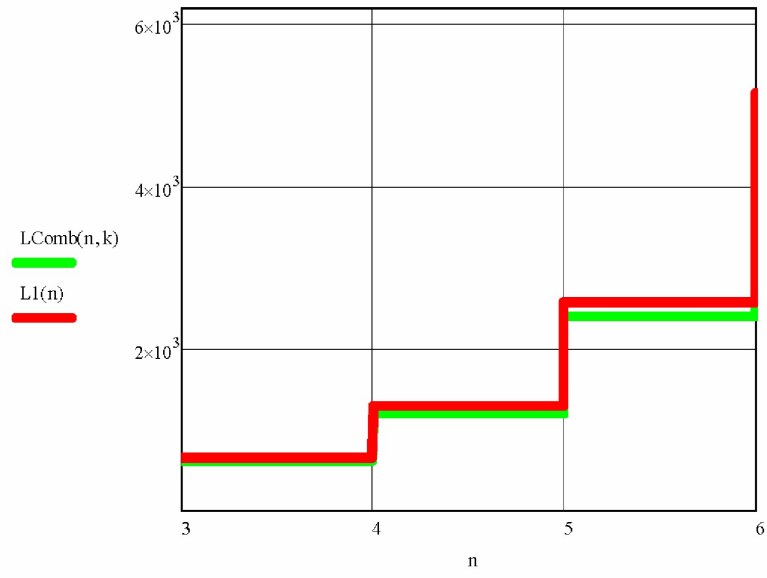
45

1

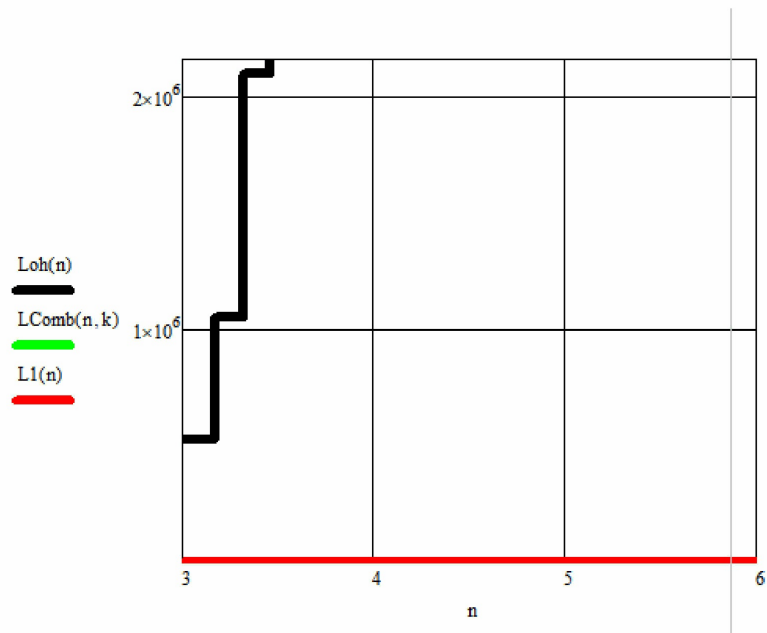


Фиг. 1

2



Фиг.2



Фиг.3