



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК

G06F 7/57 (2024.01); H03K 19/173 (2024.01)

(21)(22) Заявка: 2023127767, 27.10.2023

(24) Дата начала отсчета срока действия патента:
27.10.2023Дата регистрации:
06.05.2024

Приоритет(ы):

(22) Дата подачи заявки: 27.10.2023

(45) Опубликовано: 06.05.2024 Бюл. № 13

Адрес для переписки:

117570, Москва, ул. Днепропетровская, 37, корп.
1, кв. 111, Степченкову Юрию Афанасьевичу

(72) Автор(ы):

Тюрин Сергей Феофентович (RU),
Дьяченко Юрий Георгиевич (RU),
Советов Станислав Игоревич (RU),
Степченков Юрий Афанасьевич (RU)

(73) Патентообладатель(и):

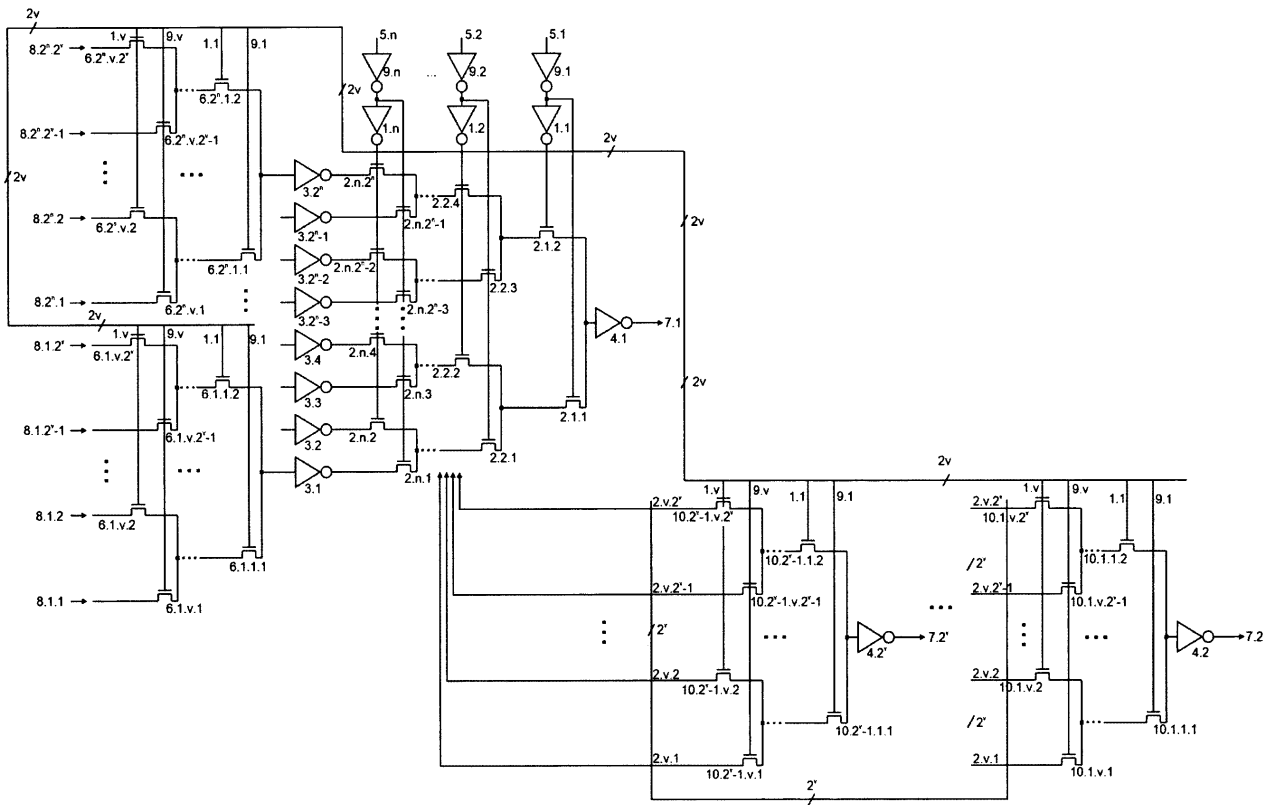
Тюрин Сергей Феофентович (RU),
Дьяченко Юрий Георгиевич (RU),
Советов Станислав Игоревич (RU),
Степченков Юрий Афанасьевич (RU)(56) Список документов, цитированных в отчете
о поиске: RU 2637462 C1, 04.12.2017. RU
2805759 C1, 23.10.2023. US 6873182 B2,
29.03.2005. US 6320421 B1, 20.11.2001. US 4912345
A, 27.03.1990.

(54) Программируемое логическое устройство

(57) Реферат:

Настоящее техническое решение относится к области вычислительной техники. Технический результат заключается в увеличении количества одновременно реализуемых логических функций. Технический результат достигается за счет введения группы 2^v-2 ($v=2, 3, \dots, n-1$) выходов устройства; группы 2^v-2 выходных инверторов; 2^v-1 групп дополнительных передающих

транзисторов выходов, всего по $2^{v+1}-2$ транзисторов в каждой группе; 2^n групп дополнительных передающих транзисторов входов, всего по $2^{v+1}-4$ транзисторов в каждой группе; вторая группа из n инверторов n переменных; 2^n групп дополнительных входов настройки по 2^v-2 входов. 3 ил., 5 табл.



Фиг. 1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.
G06F 7/57 (2006.01)
H03K 19/173 (2006.01)

(12) **ABSTRACT OF INVENTION**

(52) CPC
G06F 7/57 (2024.01); H03K 19/173 (2024.01)

(21)(22) Application: **2023127767, 27.10.2023**

(24) Effective date for property rights:
27.10.2023

Registration date:
06.05.2024

Priority:

(22) Date of filing: **27.10.2023**

(45) Date of publication: **06.05.2024** Bull. № 13

Mail address:

**117570, Moskva, ul. Dnepropetrovskaya, 37, korp.
1, kv. 111, Stepchenkovu Yuriyu Afanasevichu**

(72) Inventor(s):

**Tyurin Sergej Feofentovich (RU),
Dyachenko Yuriy Georgievich (RU),
Sovetov Stanislav Igorevich (RU),
Stepchenkov Yuriy Afanasevich (RU)**

(73) Proprietor(s):

**Tyurin Sergej Feofentovich (RU),
Dyachenko Yuriy Georgievich (RU),
Sovetov Stanislav Igorevich (RU),
Stepchenkov Yuriy Afanasevich (RU)**

(54) **PROGRAMMABLE LOGIC DEVICE**

(57) Abstract:

FIELD: computer engineering.

SUBSTANCE: present technical solution relates to computer engineering. Result is achieved by introducing group of 2^v-2 ($v=2, 3, \dots, n-1$) outputs of the device; groups of 2^v-2 output inverters; 2^v-1 groups of additional transmitting transistors of outputs, total by $2^{v+1}-2$ transistors in each group; 2^n groups of additional

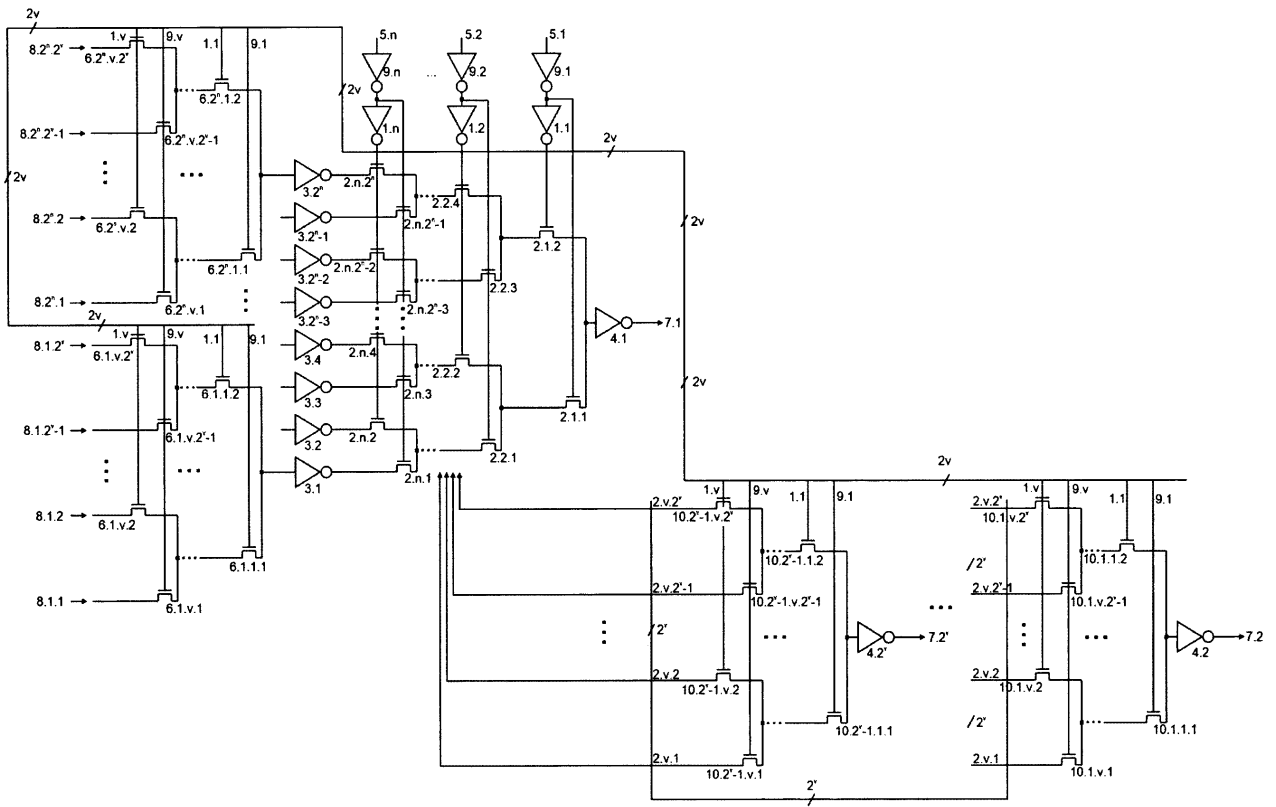
transmitting transistors of inputs, total by $2^{v+1}-4$ transistors in each group; second group of n inverters of n variables; 2^n groups of additional inputs are set by 2^v-2 inputs.

EFFECT: increase in the number of simultaneously realized logical functions.

1 cl, 3 dwg, 5 tbl

RU 2 818 802 C1

RU 2 818 802 C1



Фиг. 1

Изобретение относится к вычислительной технике и может быть использовано для вычисления систем логических функций в программируемых логических интегральных схемах (ПЛИС).

Из уровня техники известен аналог заявляемого устройства, а именно - программируемое логическое устройство (ПЛУ) [1], содержащее группу из четырех инверторов четырех переменных, четыре группы передающих транзисторов по 2^i ($i=1, 2, 3, 4$) транзисторов в i -ой группе, группу из шестнадцати инверторов настройки, выходной инвертор, входы четырех переменных, шестнадцать входов настройки и выход устройства.

Недостатком данного устройства является невозможность реализации более одной функции при заданной настройке (конфигурации).

Наиболее близким аналогом заявляемого устройства по совокупности признаков является ПЛУ [2], содержащее группу из четырех инверторов переменных, четыре группы передающих транзисторов выходов по 2^i транзисторов в i -ой группе ($i=1, 2, 3, 4$), группу из шестнадцати инверторов настройки, два выходных инвертора, входы четырех переменных, две группы по шестнадцать входов настройки, два выхода устройства, два дублирующих передающих транзистора первой группы и две группы транзисторов входов настройки. Данное устройство может рассматриваться как прототип заявляемого изобретения.

Признаки прототипа, совпадающие с существенными признаками заявляемого изобретения, - содержит группу из n инверторов n переменных, n групп передающих транзисторов выходов по 2^i ($i=1, 2, \dots, n$) транзисторов в i -й группе, всего $2^{n+1}-2$ транзисторов; группу 2^n инверторов настройки, два выходных инвертора, входы n переменных, две группы по 2^n входов настройки; два выхода устройства; две группы транзисторов входов настройки по 2^n транзисторов в группе.

Недостатком прототипа является невозможность реализации более двух логических функций одновременно. Это обусловлено следующими обстоятельствами. Технические средства прототипа ориентированы на реализацию всего двух логических функций n переменных в совершенной дизъюнктивной нормальной форме (СДНФ) для $n=4$. В связи с этим половина передающих транзисторов выходов в прототипе всегда неактивна при заданном состоянии первых $n-1$ переменных, но их нельзя использовать для реализации каких-то дополнительных функций, помимо двух основных. Для реализации 2^v ($v=2, 3, \dots, n-1$) функций от данного числа переменных с помощью схемы прототипа необходимо использовать дополнительно $2^{v-1}-1$ схем, идентичных прототипу.

Техническая задача, решаемая заявляемым изобретением, заключается в уменьшении аппаратных затрат ПЛУ при реализации дополнительных 2^v-2 ($v=2, 3, \dots, n-1$) логических функций с использованием неактивных частей n групп передающих транзисторов выходов по 2^i ($i=1, 2, \dots, n$) транзисторов в i -й группе.

Технический результат изобретения заключается в обеспечении реализации одновременно более двух (2^v , $v=2, 3, \dots, n-1$) логических функций, используя неактивные $1 - \frac{1}{2^v}$; $v>1$ части групп передающих транзисторов, где n - число переменных. Он достигается за счет введения группы 2^v-2 ($v=2, 3, \dots, n-1$) выходов устройства; группы 2^v-2 выходных инверторов; 2^v-1 групп дополнительных передающих транзисторов

выходов, всего по $2^{v+1} - 2$ транзисторов в каждой группе; 2^n групп дополнительных передающих транзисторов входов, всего по $2^{v+1} - 4$ транзисторов в каждой группе; вторая группа из n инверторов n переменных; 2^n групп дополнительных входов

5 настройки по $2^v - 2$ входов.

Решение поставленной задачи достигается тем, что в ПЛУ, содержащее первую группу из n инверторов переменных, первую группу передающих транзисторов выходов,

содержащую n каскадов по 2^i транзисторов в i -м каскаде ($i=1, 2, \dots, n$), 2^n инверторов

10 настройки, два выходных инвертора, входы n переменных, 2^n групп по два входа

настройки, два выхода устройства, 2^n однокаскадных групп передающих транзисторов входов настройки по два транзистора в каждой группе, причем затворы каждого

четного и нечетного транзистора i -го каскада первой группы передающих транзисторов выходов подключены соответственно к выходу и входу i -го ($i=1, 2, \dots, n$) инвертора из

15 первой группы инверторов переменных, стоки $(2 \cdot b)$ -го и $(2 \cdot b - 1)$ -го транзисторов i -го каскада первой группы передающих транзисторов выходов подключены к истоку b -го

транзистора $(i-1)$ -го каскада первой группы передающих транзисторов выходов ($b=1, 2, \dots, 2i-1; i=2, 3, \dots, n$), стоки транзисторов первого каскада первой группы передающих

20 транзисторов выходов подключены к входу первого выходного инвертора, выход которого является первым выходом устройства, выход j -го инвертора настройки

соединен с истоком j -го транзистора n -го каскада первой группы передающих

транзисторов выходов ($j=1, 2, 2^n$), вход j -го инвертора настройки подключен к стокам

обоих транзисторов j -й однокаскадной группы транзисторов входов настройки ($j=1,$

25 $2, \dots, 2^n$), затворы четных и нечетных транзисторов всех однокаскадных групп

передающих транзисторов входов настройки подключены соответственно к выходу и входу первого инвертора из первой группы инверторов переменных, дополнительно

введены $2^v - 2$ ($v=2, 3, \dots, n-1$) выходов устройства, $2^v - 2$ выходных инверторов; $2^v - 1$

30 дополнительных групп передающих транзисторов выходов, каждая из которых содержит v каскадов по 2^d передающих транзисторов в d -м каскаде ($d=1, 2, \dots, v$), всего $2^{v+1} - 2$

транзисторов в каждой группе; $(v-1)$ дополнительных каскадов в каждую из 2^n групп

передающих транзисторов входов настройки, причем f -й каскад в каждой группе

35 содержит по 2^f передающих транзисторов ($f=2, 3, \dots, v$); вторая группа из n инверторов

переменных; $2^v - 2$ дополнительных входов настройки в каждую из 2^n групп входов

настройки, причем вход и выход i -го инвертора из второй группы инверторов

переменных подключены соответственно к входу i -й переменной и входу i -го инвертора

из первой группы инверторов переменных ($i=1, 2, \dots, n$), затворы каждого четного и

40 нечетного транзистора d -го каскада k -й дополнительной группы передающих

транзисторов выходов подключены соответственно к выходу и входу d -го инвертора

первой группы инверторов переменных ($d=1, 2, \dots, v; k=1, 2, \dots, 2^v - 1$), исток i -го ($i=1, 2,$

45 $\dots, 2^v$) транзистора v -го каскада k -й ($k=1, 2, \dots, 2^v - 1$) дополнительной группы передающих

транзисторов выходов подключен к истоку $|k - 1 + N_0$ -го транзистора v -го каскада первой

группы передающих транзисторов выходов, где " $|$ " означает абсолютную величину

транзистора v -го каскада первой дополнительной группы передающих транзисторов выходов, стоки $(2 \cdot p)$ -го и $(2 \cdot p - 1)$ -го транзисторов q -го каскада каждой k -й дополнительной группы передающих транзисторов выходов подключены к истоку p -го транзистора $(q-1)$ -го каскада этой же группы ($p=1, 2, \dots, 2^{q-1}$; $k=1, 2, \dots, 2^v-1$; $q=2, 3, \dots, v$), стоки транзисторов первого каскада k -й дополнительной группы передающих транзисторов выходов подключены к входу $(k+1)$ -го выходного инвертора, выход которого является $(k+1)$ -м выходом устройства ($k=1, 2, \dots, 2^v-1$), стоки $2 \cdot h$ -го и $(2 \cdot h - 1)$ -го транзисторов f -го каскада g -й группы передающих транзисторов входов настройки подключены к истоку h -го транзистора $(f-1)$ -го каскада этой же группы ($h=1, 2, \dots, 2^{f-1}$; $f=2, 3, \dots, v$; $g=1, 2, \dots, 2^n$), исток w -го транзистора v -го каскада g -ой группы передающих транзисторов входов настройки подключен к w -му входу настройки из g -ой группы ($g=1, 2, \dots, 2^n$; $w=1, 2, \dots, 2^v$), затворы четных и нечетных транзисторов f -го каскада каждой группы передающих транзисторов входов настройки подключены соответственно к выходу и входу f -го инвертора из первой группы инверторов переменных ($f=2, 3, \dots, v$).

Предлагаемое устройство удовлетворяет критерию "существенные отличия".
 Признаки заявляемого технического решения, отличительные от прототипа -
 дополнительно введены группа 2^v-2 , $v=2, 3, \dots, n-1$, выходов устройства; группа 2^v-2
 выходных инверторов; 2^v-1 дополнительных групп передающих транзисторов выходов,
 всего по $2^{v+1}-2$ транзисторов в каждой группе; $(v-1)$ дополнительных каскадов в каждую
 из 2^n групп передающих транзисторов входов настройки, всего по $2^{v+1}-2$, транзисторов
 в группе; вторая группа из n инверторов n переменных; 2^v-2 дополнительных входов
 настройки в каждую из 2^n групп входов настройки, а также связи между ними.

Отличительные признаки в сочетании с известными позволяют увеличить количество
 одновременно реализуемых логических функций до 2^v ($v=2, \dots, n-1$). Введение группы
 2^v-2 дополнительных выходов устройства и соответствующих связей позволяет
 передавать во внешние устройства дополнительные реализуемые функции. Введенные
 2^v-2 дополнительных выходных инверторы и соответствующие связи позволяют
 формировать логические уровни сигналов, поступающих с дополнительных групп
 передающих транзисторов выходов, для выдачи их на группу дополнительных выходов
 устройства. Введение дополнительных групп передающих транзисторов выходов и
 соответствующих связей позволяет вычислять дополнительные функции. Введение
 дополнительных каскадов в группы передающих транзисторов входов настройки и
 соответствующих связей позволяет передавать настроечные сигналы основной и
 дополнительных функций в группы передающих транзисторов выходов. Введение
 второй группы из n инверторов переменных и соответствующих связей позволяет
 обеспечить логические уровни переменных, используемые в 2^v группах передающих
 транзисторов выходов и 2^n группах передающих транзисторов входов настройки.

Введение 2^v-2 дополнительных входов настройки в каждую из 2^n групп входов настройки
 и соответствующих связей позволяет обеспечить настройку устройства на реализацию
 дополнительных логических функций с помощью внешнего оборудования.

На фиг. 1 изображена схема электрическая принципиальная ПЛУ.

На фиг. 2 изображены графики изменения сложности в транзисторах 2^{v-x} прототипа ($L_1(v)$) и предлагаемого устройства ($L_2(v)$), обеспечивающие реализацию 2^v логических функций от четырех переменных в зависимости от v .

5 На фиг. 3 изображены графики изменения сложности в транзисторах 2^{v-1} схем, реализованных аналогично прототипу и способных сформировать только две функции от n переменных, ($L_1(v)$) и предлагаемого устройства ($L_2(v)$), обеспечивающие

реализацию 2^v логических функций от восьми переменных в зависимости от v .

10 ПЛУ (фиг. 1) содержит первую (1.1, 1.2, ..., n) и вторую (9.1, 9.2, 9.n) группы инверторов n переменных, первую группу передающих транзисторов выходов, содержащую n каскадов по 2^i транзисторов в i -м каскаде (2.1, 2.2, ..., 2.n); $2n$ инверторов настройки (3.1, 3.2, ..., 3.2n), $2v$ выходных инверторов (4.1, 4.2, ..., 4.2 v), входы n

15 переменных (5.1, 5.2, ..., 5.n), 2^n групп передающих транзисторов входов настройки (6.1, 6.2, ..., 6.2 n), каждая группа содержит v каскадов ($v=1, 2, \dots, n-1$) с 2^f передающих транзисторов в f -м каскаде ($f=1, 2, \dots, v$), 2^v выходов устройства (7.1, 7.2, ..., 7.2 v), 2^n групп входов настройки (8.1, 8.2, ..., 8.2 n) по 2^v входов в группе, 2^v дополнительных

20 групп передающих транзисторов выходов (10.1, 10.2, ..., 10.(2 $^v-1$)), состоящих из v каскадов по 2^d передающих транзисторов в d -ом каскаде ($d=1, 2, \dots, v$), индексы в метках $6.i.j.w$ и $10.i.j.w$ обозначают w -ый транзистор в j -ом каскаде i -ой группы. Затворы каждого четного и нечетного транзистора каскада 2. i первой группы передающих транзисторов выходов подключены соответственно к выходу и входу инвертора

25 переменных 1. i ($i=1, 2, \dots, n$), стоки транзисторов 2. i (2. b) и 2. i (2. 1) первой группы передающих транзисторов выходов подключены к истоку транзистора 2.($i-1$). b этой же группы ($b=1, 2, \dots, 2i-1$; $i=2, 3, \dots, n$), стоки транзисторов 2.1.1 и 2.1.2 первой группы передающих транзисторов выходов подключены к входу выходного инвертора 4.1, выход которого является первым выходом устройства 7.1, выход инвертора настройки

30 3. j соединен с истоком транзистора 2. $n.j$ первой группы передающих транзисторов выходов ($j=1, 2, \dots, 2^n$), а его вход - со стоками транзисторов 6. j .1.1 и 6. j .1.2 группы 6. j транзисторов входов настройки ($j=1, 2, \dots, 2n$), вход и выход инвертора переменных 9. i подключены соответственно к входу переменной 5. i и входу инвертора переменной 1. i

35 ($i=1, 2, \dots, n$), затвор каждого четного и нечетного транзистора d -го каскада группы 10. k дополнительных передающих транзисторов выходов подключены соответственно к выходу и входу инвертора переменной 1. d ($d=1, 2, \dots, v$; $k=1, 2, \dots, 2v-1$), исток транзистора 10. $k.v.l$ подключен к истоку транзистора 2. $v.k-1+N_0$ первой группы передающих транзисторов выходов ($l=1, 2, \dots, 2v$; $k=1, 2, \dots, 2v-1$), где "||" означает

40 абсолютную величину выражения, а N_0 ($N_0=1, 2, \dots, 2v$) задает номер транзистора 2. $v.N_0$ первой группы передающих транзисторов выходов, к истоку которого подключен исток транзистора 10. $v.1$ первой дополнительной группы передающих транзисторов выходов, стоки 10. $k.q$ (2. p) и 10. $k.q$ (2. $p-1$) транзисторов дополнительных групп передающих транзисторов выходов подключены к истоку транзистора 10. k ($q-1$). p этой

45 же группы ($p=1, 2, \dots, 2q-1$; $k=1, 2, \dots, 2v-1$; $q=2, 3, \dots, v$), стоки транзисторов 10. $k.1.1$ и 10. $k.1.2$ дополнительных групп передающих транзисторов выходов подключены к входу выходного инвертора 4.($k+1$), выход которого является выходом устройства 7.($k+1$) ($k=1, 2, \dots, 2v-1$), стоки (2. h)-го и (2. $h-1$)-го транзисторов f -го каскада g -ой группы

передающих транзисторов входов настройки подключены к истоку h-го транзистора (f-1)-го каскада этой же группы (h=1, 2, ..., 2^f-1; f=2,3, ..., v; g=1,2, ..., 2n), исток транзистора б.g.v.w группы передающих транзисторов входов настройки подключен к входу настройки 8.g.w (g=1, 2, ..., 2n; w=1, 2, ..., 2v), затворы четных и нечетных транзисторов f-го каскада каждой б.g группы передающих транзисторов входов настройки подключены соответственно к выходу и входу инвертора переменной 1.f (f=1, 2, ..., v; g=1, 2, ..., 2ⁿ).

ПЛУ работает в следующих режимах: 1) режим программирования; 2) режим вычисления нескольких логических функций одновременно. 1. Режим программирования.

В этом режиме с помощью внешних по отношению к устройству технических средств на 2ⁿ групп входов настройки по 2^v входов в каждой группе (8.1.1, 8.1.2, ..., 8.2ⁿ.2^v) устанавливаются логические уровни, соответствующие 2^v (v=1, 2, n-1) логическим функциям n переменных, которые необходимо вычислять (по таблицам истинности заданных логических функций n переменных, содержащих 2ⁿ строк). Так, для реализации функции сложения по модулю два (исключающего ИЛИ) трех переменных (n=3) A⊕B⊕C,

$$F_1(ABCf) = f_{1.0} \cdot \overline{ABC} \vee f_{1.1} \cdot \overline{AB}C \vee f_{1.2} \cdot \overline{A}BC \vee f_{1.3} \cdot \overline{A}B\overline{C} \vee f_{1.4} \cdot \overline{A}BC \vee f_{1.5} \cdot \overline{A}B\overline{C} \vee f_{1.6} \cdot \overline{A}BC \vee f_{1.7} \cdot ABC; \quad (1)$$

где A, B, C - сигналы на входах переменных 5.1, 5.2, 5.3; f_{ij} - настроечная константа, где i - номер функции, j - номер набора переменных A, B, C. На настроечных входах 8.1.1, ..., 8.1.8 для реализации этой функции устанавливаются логические уровни, показанные в таблице 1.

Таблица 1. Настройка устройства для реализации первой функции сложения по модулю два (исключающего ИЛИ) трёх переменных 8.1.i

№ Входа 8.1.i	A (5.1)	B (5.2)	C (5.3)	Сигнал на 8.1.i
1	0	0	0	0 (f _{1.0})
2	0	0	1	1 (f _{1.1})
3	0	1	0	1 (f _{1.2})
4	0	1	1	0 (f _{1.3})
5	1	0	0	1 (f _{1.4})
6	1	0	1	0 (f _{1.5})
7	1	1	0	0 (f _{1.6})
8	1	1	1	1 (f _{1.7})

Реализация двух функций одновременно (v=1) предполагает следующую декомпозицию настройки ПЛУ по старшей переменной A:

$$F_1(ABCf) = \overline{A}[f_{1.0} \cdot \overline{BC} \vee f_{1.1} \cdot \overline{BC} \vee f_{1.2} \cdot \overline{BC} \vee f_{1.3} \cdot BC] \vee A[f_{1.4} \cdot \overline{BC} \vee f_{1.5} \cdot \overline{BC} \vee f_{1.6} \cdot \overline{BC} \vee f_{1.7} \cdot BC];$$

$$F_2(ABCf) = A[f_{2.4(0)} \cdot \overline{BC} \vee f_{2.5(1)} \cdot \overline{BC} \vee f_{2.6(2)} \cdot \overline{BC} \vee f_{2.7(3)} \cdot BC] \vee \overline{A}[f_{2.0(4)} \cdot \overline{BC} \vee f_{2.1(5)} \cdot \overline{BC} \vee f_{2.2(6)} \cdot \overline{BC} \vee f_{2.3(7)} \cdot BC], \quad (2)$$

где f_{i,j}; i=1,2(2^v); j=1, 2, 3, 4...2³ (2ⁿ).

Здесь используется настроечная константа в формате f_{i,j(k)}, где символ в скобке k

означает реальный номер набора функции, а j - номер входа, который используется для его подключения. При этом k из j получается инверсией старшего разряда.

Для реализации второй функции, например, мажоритарной или выбора большинства единиц (выбор двух из трех), на второй группе входов настройки 8.2.1, ..., 8.2.8
 5 устанавливаются сигналы, приведенные в Табл. 2. Здесь таблица истинности записывается следующим образом: старшая половина меняется местами с младшей, чтобы использовать неактивную часть трех каскадов передающих транзисторов группы 2.

Реализация двух функций одновременно ($v=2$) предполагает следующую
 10 декомпозицию настройки ПЛУ сразу по двум старшим переменным А, В:

$$\begin{aligned}
 F_1(ABCf) &= \overline{AB}[f_{1,0} \cdot \overline{C} \vee f_{1,1} \cdot C] \vee & F_2(ABCf) &= \overline{AB}[f_{2,2(0)} \cdot \overline{C} \vee f_{2,3(1)} \cdot C] \vee \\
 &\vee \overline{AB}[f_{1,2} \cdot \overline{C} \vee f_{1,3} \cdot C] \vee & &\vee \overline{AB}[f_{2,4(2)} \cdot \overline{C} \vee f_{2,5(3)} \cdot C] \vee \\
 &\vee \overline{AB}[f_{1,4} \cdot \overline{C} \vee f_{1,5} \cdot C] \vee & &\vee \overline{AB}[f_{2,6(4)} \cdot \overline{C} \vee f_{2,7(5)} \cdot C] \vee \\
 &\vee \overline{AB}[f_{1,6} \cdot \overline{C} \vee f_{1,7} \cdot C]. & &\vee \overline{AB}[f_{2,0(6)} \cdot \overline{C} \vee f_{2,1(7)} \cdot C].
 \end{aligned}$$

Таблица 2. Настройка устройства для реализации двух функций: сложения по модулю два (исключающего ИЛИ) трёх переменных 8.1.i и мажоритарной 8.2.i

№ Входа 8.1.i	A (5.1)	B (5.2)	C (5.3)	Сигнал на 8.1.i	№ Входа 8.2.i	Сигнал на 8.2.i
1	0	0	0	0	1	0 ($f_{2,4(0)}$)
2	0	0	1	1	2	1 ($f_{2,5(1)}$)
3	0	1	0	1	3	1 ($f_{2,6(2)}$)
4	0	1	1	0	4	1 ($f_{2,7(3)}$)
5	1	0	0	1	5	0 ($f_{2,0(4)}$)
6	1	0	1	0	6	0 ($f_{2,1(5)}$)
7	1	1	0	0	7	0 ($f_{2,2(6)}$)
8	1	1	1	1	8	1 ($f_{2,3(7)}$)

$$\begin{aligned}
 F_3(ABCf) &= \overline{AB}[f_{3,4(0)} \cdot \overline{C} \vee f_{3,5(1)} \cdot C] \vee & F_4(ABCf) &= AB[f_{4,6(0)} \cdot \overline{C} \vee f_{4,7(1)} \cdot C] \vee \\
 &\vee \overline{AB}[f_{3,6(2)} \cdot \overline{C} \vee f_{3,7(3)} \cdot C] \vee & &\vee \overline{AB}[f_{4,0(2)} \cdot \overline{C} \vee f_{4,1(3)} \cdot C] \vee \\
 &\vee \overline{AB}[f_{3,0(4)} \cdot \overline{C} \vee f_{3,1(5)} \cdot C] \vee & &\vee \overline{AB}[f_{4,2(4)} \cdot \overline{C} \vee f_{4,3(5)} \cdot C] \vee \\
 &\vee \overline{AB}[f_{3,2(6)} \cdot \overline{C} \vee f_{3,3(7)} \cdot C]. & &\vee \overline{AB}[f_{4,4(6)} \cdot \overline{C} \vee f_{4,5(7)} \cdot C].
 \end{aligned}$$

В этих выражениях номер настройки по отношению к первой функции определяется
 40 следующим образом: номер набора старших переменных А, В (0, 1, 2 или 3) плюс номер группы (1, 2, 3) по модулю 2^v . Далее выполняется конкатенация с младшей переменной С и получается номер подключения (указан в скобках).

Поэтому для реализации четырех функций, например, помимо суммы по модулю два F_1 и мажоритарной F_4 , еще и дизъюнкции F_2 и конъюнкции F_3 устанавливаются
 45 сигналы, показанные в таблицах 3, 4, 5. Здесь комбинируются четвертые части таблиц истинности дополнительных трех функций.

2. Режим вычислений

В этом режиме на входы переменных 5.1, 5.2, ..., 5.n поступают значения входных

переменных. Допустим, на входы А (5.1) и В (5.2) поступает логическая единица, а на вход С (5.3) - логический нуль (вторая снизу строка Табл. 2). В этом случае через инверторы 9.3, 1.2, 1.1 активированы затворы транзисторов 6.7.2.4, 6.7.1.2, и настроечный сигнал $[f_{1.6}]$ Табл. 3] со входа 8.7.2 проходит через эти транзисторы, через инвертор 3.7, через три транзистора группы передающих транзисторов 2: 2.3.7; 2.2.4; 2.1.2, - и через инвертор 4.1 поступает на выход 7.1. Таким образом, задействована верхняя «четверть» дерева предающих транзисторов 2: 2.3.7, 2.2.4, 2.1.2.

Остальные три «четверти» отключены от инвертора 4.1 и выхода 7.1 на данном наборе переменных А, В транзисторами 2.2.3, 2.2.1, 2.1.1, но используются для реализации трех других функций с помощью дополнительных передающих транзисторов выходов 10.

Таблица 3. Настройка ПЛУ для реализации четырех функций от трёх переменных: сложения по модулю два (исключающего ИЛИ) 8.1.i, мажоритарной 8.2.i, дизъюнкции 8.1.i и конъюнкции 8.2.i

№ Входа 8.1.i; 8.2.i	A (5.1)	B (5.2)	C (5.3)	Сигнал на 8.1.i (F_1)	Сигнал на 8.2.i (F_4)	Сигнал на 8.3.i (F_2)	Сигнал на 8.4.i (F_3)
1	0	0	0	0 ($f_{1.0}$)	1 ($f_{4.6(0)}$)	1 ($f_{2.2(0)}$)	0 ($f_{3.4(0)}$)
2	0	0	1	1 ($f_{1.1}$)	1 ($f_{4.7(1)}$)	1 ($f_{2.3(1)}$)	0 ($f_{3.5(1)}$)
3	0	1	0	1 ($f_{1.2}$)	0 ($f_{4.0(2)}$)	1 ($f_{2.4(2)}$)	0 ($f_{3.6(2)}$)
4	0	1	1	0 ($f_{1.3}$)	0 ($f_{4.1(3)}$)	1 ($f_{2.5(3)}$)	1 ($f_{3.7(3)}$)
5	1	0	0	1 ($f_{1.4}$)	0 ($f_{4.2(4)}$)	1 ($f_{2.6(4)}$)	0 ($f_{3.0(4)}$)
6	1	0	1	0 ($f_{1.5}$)	1 ($f_{4.3(5)}$)	1 ($f_{2.7(5)}$)	0 ($f_{3.1(5)}$)
7	1	1	0	0 ($f_{1.6}$)	0 ($f_{4.4(6)}$)	0 ($f_{2.0(6)}$)	0 ($f_{3.2(6)}$)
8	1	1	1	1 ($f_{1.7}$)	1 ($f_{4.5(7)}$)	1 ($f_{2.1(7)}$)	0 ($f_{3.3(7)}$)

Так, настройка ($f_{4.4(6)}$) (Табл. 2) со входа 8.1.5 проходит через инвертор 3.5, передающие транзисторы 2.3.5, через соответствующие дополнительные передающие транзисторы выходов группы 10.1, через инвертор 4.2 на выход 7.2.

Аналогично проходят настройки ($f_{3.6(2)}$) (Табл. 2, 3, 4) со входа 8.3.2 на выход 7.2 и ($f_{2.6(4)}$) (Табл. 2, 3, 4) со входа 8.2.5 на выход 7.3.

Таблица 4. Подключения настройки для реализации четырех функций от трёх переменных: сложения по модулю два (исключающего ИЛИ) 8.1.i, мажоритарной 8.2.i, дизъюнкции 8.3.i и конъюнкции 8.4.i

№	Настройка f_3	Настройка f_2	Настройка f_1	Настройка f_0
	8.1.4 ($f_{1,3}$) 0	8.1.3 ($f_{1,2}$) 1	8.1.2 ($f_{1,1}$) 1	8.1.1 ($f_{1,0}$) 0
	8.2.4 ($f_{3,7(3)}$) 1	8.2.3 ($f_{3,6(2)}$) 0	8.2.2 ($f_{3,5(1)}$) 0	8.2.1 ($f_{3,4(0)}$) 0
	8.3.4 ($f_{2,5(3)}$) 1	8.3.3 ($f_{2,4(2)}$) 1	8.3.2 ($f_{2,3(1)}$) 1	8.3.1 ($f_{2,2(0)}$) 1
	8.4.4 ($f_{4,1(3)}$) 0	8.4.3 ($f_{4,0(2)}$) 0	8.4.2 ($f_{4,7(1)}$) 1	8.4.1 ($f_{4,6(0)}$) 1
	Настройка f_7	Настройка f_6	Настройка f_5	Настройка f_4
	8.1.8 ($f_{1,7}$) 1	8.1.7 ($f_{1,6}$) 0	8.1.6 ($f_{1,5}$) 0	8.1.5 ($f_{1,4}$) 1
	8.2.8 ($f_{3,3(7)}$) 0	8.2.7 ($f_{3,2(6)}$) 0	8.2.6 ($f_{3,1(5)}$) 0	8.2.5 ($f_{3,0(4)}$) 0
	8.3.8 ($f_{2,1(7)}$) 1	8.3.7 ($f_{2,0(6)}$) 0	8.3.6 ($f_{2,7(5)}$) 1	8.3.5 ($f_{2,6(4)}$) 1
	8.4.8 ($f_{4,5(7)}$) 1	8.4.7 ($f_{4,4(6)}$) 0	8.4.6 ($f_{4,3(5)}$) 1	8.4.5 ($f_{4,2(4)}$) 0

Таблица 5. Подключения дополнительных передающих транзисторов выходов 10 для реализации четырех функций

№	Подключения к выходу 7.1 (F_1)	Подключения к выходу 7.4 (F_2)	Подключения к выходу 7.3 (F_3)	Подключения к выходу 7.2 (F_4)
1	\overline{AB} (2.2.1)	10.3.2.4 \overline{AB} (2.2.2)	10.2.2.4 \overline{AB} (2.2.3)	10.1.2.4 AB (2.2.4)
2	\overline{AB} (2.2.2)	10.3.2.3 \overline{AB} (2.2.3)	10.2.2.3 AB (2.2.4)	10.1.2.3 \overline{AB} (2.2.1)
3	AB (2.2.3)	10.3.2.2 AB (2.2.4)	10.2.2.2 \overline{AB} (2.2.1)	10.1.2.2 \overline{AB} (2.2.2)
4	AB (2.2.4)	10.3.2.1 \overline{AB} (2.2.1)	10.2.2.1 \overline{AB} (2.2.2)	10.1.2.1 \overline{AB} (2.2.3)

Оценка техникой эффективности

Таким образом, в отличие от прототипа, в котором используется одна половина (в зависимости от значения старшей переменной) группы передающих транзисторов выходов 2, в предлагаемом устройстве используются обе половины группы передающих транзисторов выходов 2 по значению не одной, а нескольких (2^v , $v=2, 3, \dots, n-1$) старших переменных.

То есть одновременно реализуются не две, а 2^v , $v=2, 3, n-1$ логических функций, что увеличивает функциональность устройства. Для реализации того же количества логических функций с помощью прототипа требуется 2^{v-1} устройств, аналогичных прототипу. Несмотря на дополнительные затраты в предлагаемом устройстве, получается выигрыш по количеству требуемых транзисторов.

Так, сложность ПЛУ-прототипа в транзисторах в зависимости от числа переменных n оценивается как:

$$L_1(n) = (2 + 2) \cdot 2^n + (2^{n+1} - 2) + 2n + 2 + 4 =$$

$$= 2^{n+2} + 2^{n+1} + 2n + 4 = 3 \cdot 2^{n+1} + 2n + 4. \quad (3)$$

Для вычисления 2^v функций на устройстве-прототипе необходимо взять 2^{v-1}

прототипов, суммарная сложность которых будет равна:

$$L_1(v, n) = 2^{v-1} \cdot L_{v1}(n) = 2^{v-1} \cdot (3 \cdot 2^{n+1} + 2n + 4).$$

Для вычисления такого же количества логических функций в предлагаемом устройстве получаем сложность:

$$L_2(y, n) = (2^{v+1} - 2 + 2) \cdot 2^n + 2^{n+1} + 4n + (2^{v+1} - 2)(2^v - 1) + 2(2^v - 1) = \\ = (2^v + 1) \cdot 2^{n+1} + 4n + 2^{v+1} \cdot (2^v - 1).$$

Так, например, для реализации четырех логических функций ($v=2$) от одних и тех же переменных при $n=4$ необходимы два устройства-прототипа при общих затратах, равных 216 транзисторам, а в предлагаемом устройстве, реализующем все четыре функции, они равны 200 транзисторам.

Выигрыш растет при увеличении n и v (при $n > 4$ в качестве альтернативы предлагаемому устройству рассматривается схема, реализующая принципы построения и использования групп передающих транзисторов, заложенные в прототип, сложность которой в транзисторах соответствует формуле (3)). Так, при $n=5$ затраты на реализацию восьми логических функций от одних и тех же переменных ($v=3$) равны соответственно 824 в прототипе и 708 в предлагаемом устройстве.

Сравнительные диаграммы изменения сложности известного устройства $L_1(v, 8)$ и предлагаемого $L_2(v, 8)$ при реализации 2^v ($v=2, 3, 4, 5$) логических функций при $n=8$ представлены на фиг. 3. Они показывают выигрыш по числу транзисторов предлагаемого устройства по отношению к соответствующему количеству в прототипе.

Достижение технического результата изобретения подтверждается приведенными оценками.

Источники:

1. Строганов А., Цыбин С. Программируемая коммутация в ПЛИС: взгляд изнутри // Компоненты и технологии. - 2010. - №11. С. 56-62. Рис. 9, 12. URL: http://www.kit-e.ru/articles/plis/2010_11_56.php 10.02.22 г).

2. Патент РФ №2 637 462 от 04.12.2017.

(57) Формула изобретения

Программируемое логическое устройство, содержащее первую группу из n инверторов переменных (n - число переменных), первую группу передающих транзисторов выходов, содержащую n каскадов по 2^i транзисторов в i -м каскаде ($i=1, 2, n$), 2^n инверторов настройки, два выходных инвертора, входы n переменных, 2^n групп по два входа настройки, два выхода устройства, 2^n однокаскадных групп передающих транзисторов входов настройки по два транзистора в каждой группе, причем затворы каждого четного и нечетного транзистора i -го каскада первой группы передающих транзисторов выходов подключены соответственно к выходу и входу i -го ($i=1, 2, n$) инвертора из первой группы инверторов переменных, стоки $(2 \cdot b)$ -го и $(2 \cdot b - 1)$ -го транзисторов i -го каскада первой группы передающих транзисторов выходов подключены к истоку b -го транзистора $(i-1)$ -го каскада первой группы передающих транзисторов выходов ($b=1, 2, \dots, 2^{i-1}; i=2, 3, \dots, n$), стоки транзисторов первого каскада первой группы передающих транзисторов выходов подключены к входу первого выходного инвертора, выход которого является первым выходом устройства, выход j -го инвертора настройки соединен с истоком j -го транзистора n -го каскада первой группы передающих транзисторов выходов ($j=1, 2, \dots, 2^n$), вход j -го инвертора настройки

5 подключен к стокам обоих транзисторов j -й однокаскадной группы транзисторов входов настройки ($j=1, 2, \dots, 2^n$), затворы четных и нечетных транзисторов всех однокаскадных групп передающих транзисторов входов настройки подключены

10 соответственно к выходу и входу первого инвертора из первой группы инверторов переменных, отличающееся тем, что дополнительно введены 2^v-2 ($v=2, 3, \dots, n-1$) выходов устройства, 2^v-2 выходных инверторов; 2^v-1 дополнительных групп передающих транзисторов выходов, каждая из которых содержит v каскадов по 2^d передающих

15 транзисторов в d -м каскаде ($d=1, 2, \dots, v$), всего $2^{v+1}-2$ транзисторов в каждой группе; $(v-1)$ дополнительных каскадов в каждую из 2^n групп передающих транзисторов входов настройки, причем f -й каскад в каждой группе содержит по 2^f передающих транзисторов ($f=2, 3, \dots, v$); вторая группа из n инверторов переменных; 2^v-2 дополнительных входов

20 настройки в каждую из 2^n групп входов настройки, причем вход и выход i -го инвертора из второй группы инверторов переменных подключены соответственно к входу i -й переменной и входу i -го инвертора из первой группы инверторов переменных ($i=1, 2, \dots, n$), затворы каждого четного и нечетного транзистора d -го каскада k -й дополнительной группы передающих транзисторов выходов подключены

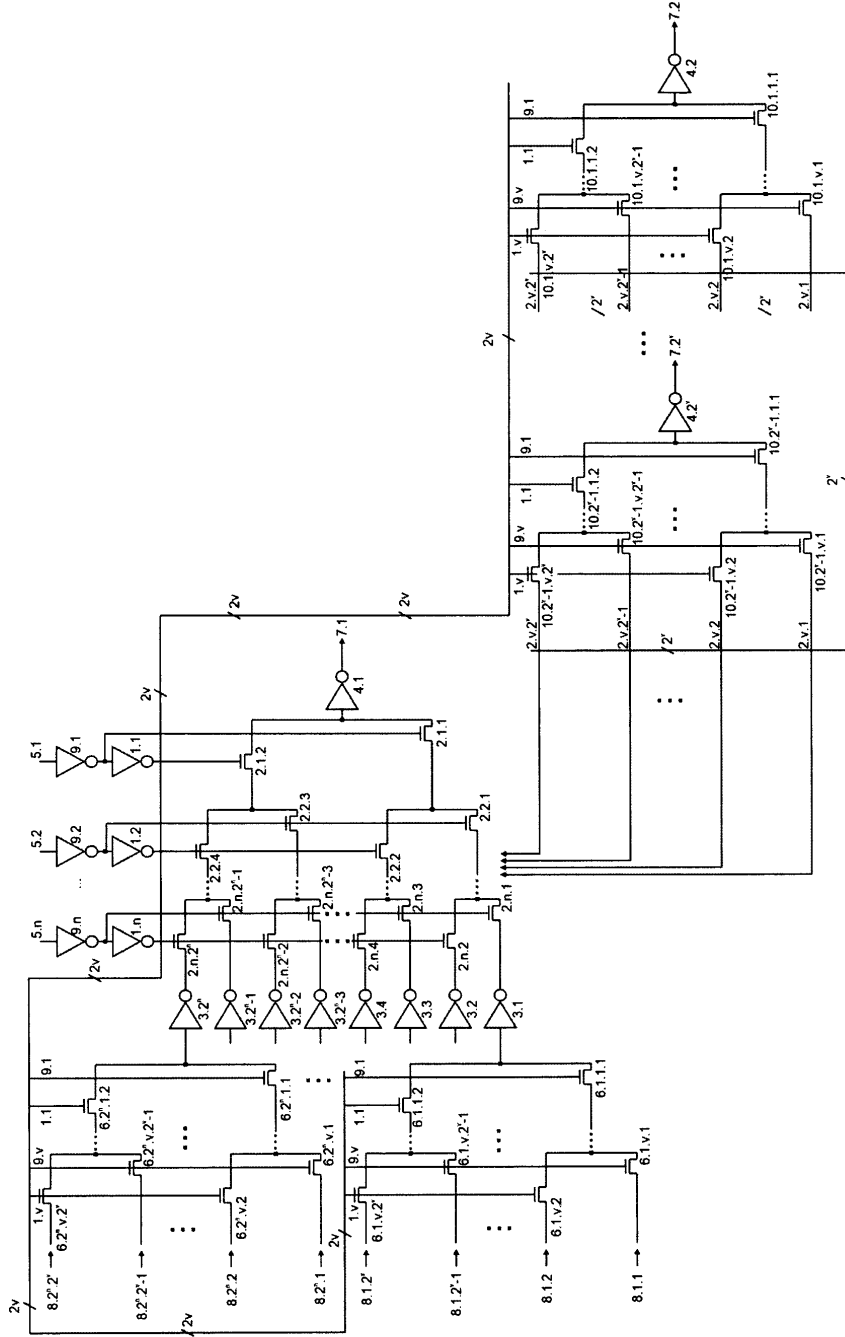
25 соответственно к выходу и входу d -го инвертора первой группы инверторов переменных ($d=1, 2, \dots, v$; $k=1, 2, 2^v-1$), исток l -го транзистора v -го каскада k -й дополнительной группы передающих транзисторов выходов подключен к истоку $|k-1+N_0|$ -го транзистора v -го каскада первой группы передающих транзисторов выходов ($l=1, 2, \dots, 2^v$; $k=1, 2, \dots, 2^v-1$), где " $|$ " означает абсолютную величину выражения, а N_0 ($N_0=1, 2, \dots, 2^v$) задает

30 номер транзистора v -го каскада первой группы передающих транзисторов, к истоку которого подключен исток первого транзистора v -го каскада первой дополнительной группы передающих транзисторов выходов, стоки $(2 \cdot p)$ -го и $(2 \cdot p-1)$ -го транзисторов q -го каскада каждой k -й дополнительной группы передающих транзисторов выходов

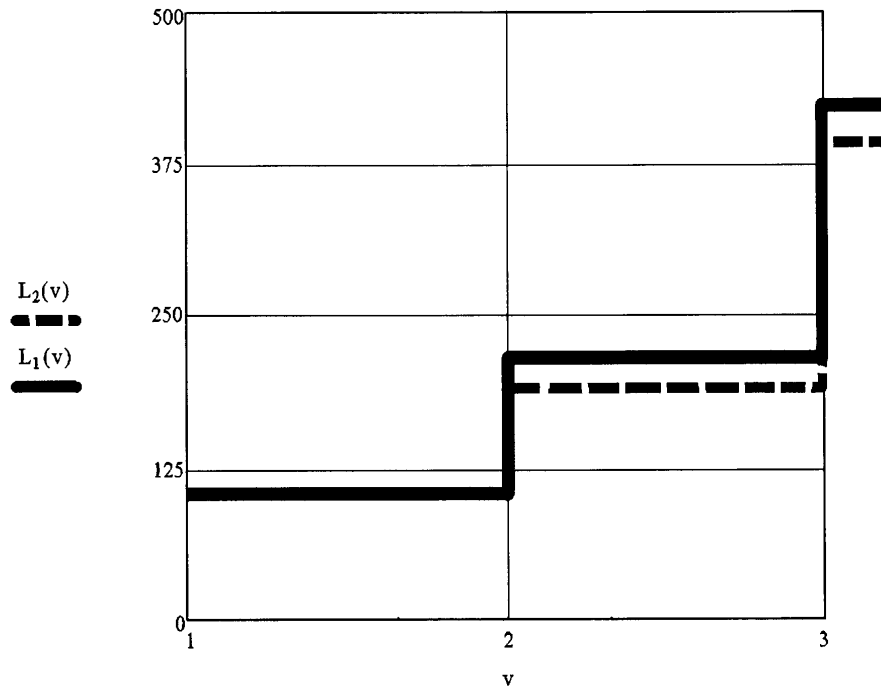
35 подключены к истоку p -го транзистора $(q-1)$ -го каскада этой же группы ($p=1, 2, \dots, 2^{q-1}$; $k=1, 2, \dots, 2^v-1$; $q=2, 3, v$), стоки транзисторов первого каскада k -й дополнительной группы передающих транзисторов выходов подключены к входу $(k+1)$ -го выходного инвертора, выход которого является $(k+1)$ -м выходом устройства ($k=1, 2, \dots, 2^v-1$), стоки $2 \cdot h$ -го и $(2 \cdot h-1)$ -го транзисторов f -го каскада g -й группы передающих транзисторов входов настройки

40 подключены к истоку h -го транзистора $(f-1)$ -го каскада этой же группы ($h=1, 2, \dots, 2^{f-1}$; $f=2, 3, \dots, v$; $g=1, 2, \dots, 2^n$), исток w -го транзистора v -го каскада g -й группы передающих транзисторов входов настройки подключен к w -му входу

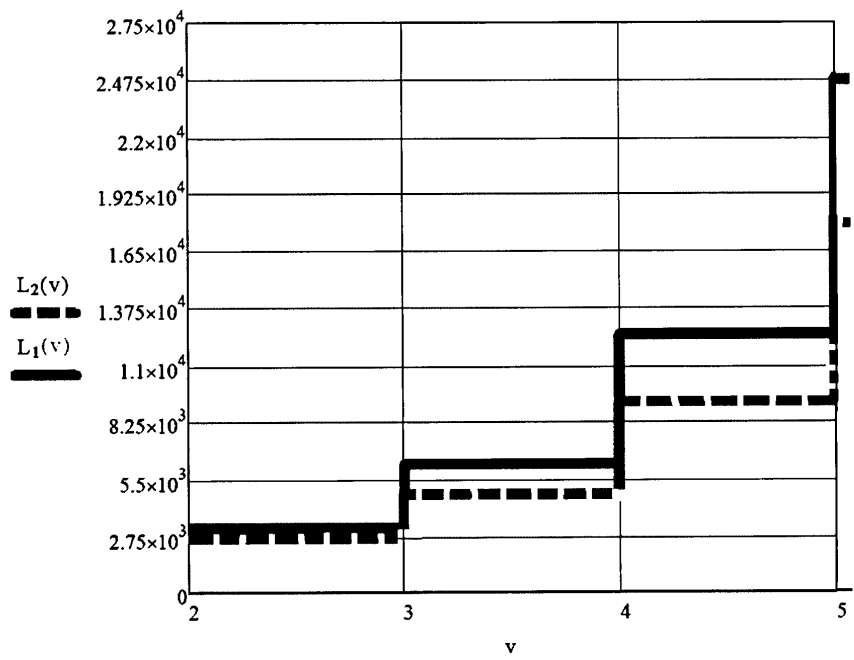
45 настройки из g -й группы ($g=1, 2, \dots, 2^n$; $w=1, 2, \dots, 2^v$), затворы четных и нечетных транзисторов f -го каскада каждой группы передающих транзисторов входов настройки подключены соответственно к выходу и входу f -го инвертора из первой группы инверторов переменных ($f=2, 3, \dots, v$).



Фиг. 1



Фиг. 2



Фиг. 3